

Systemy cyfrowe i podstawy elektroniki

Adam Szmigielski

aszmigie@pjwstk.edu.pl

materiały: *ftp(public) : //aszmigie/SYC*

Systemy komputerowe, mikroprocesory i mikrokontrolery - wykład 11

Maszyny liczące - rys historyczny

- nacięcia na drewnie, znaki na ścianach
- *pierwszy kalendarz* - Stonehenge (obecnie Salisbury, Anglia) skonstruowany ok. 2800 r. pne.
- *calculi* - kamyczki do liczenia u starożytnych Rzymian
- *abacus* - pierwsze liczydła (600-500 pne - Egipt lub Chiny)
- 650 r. - Hindusi odkrywają numeryczne zero - początek obliczeń pisanych.
- 1100 r. - pierwsza tabliczka mnożenia na piśmie
- 1612 - Szkot John Napier (1550-1617) odkrywa logarytmy i używa kropki dziesiętnej (wynalezionnej w Holandii)
- 1617 - narzędzie pomagające w mnożeniu - “kostki Napiera”
- 1622 - William Oughtred (1574-1660) tworzy *suwak logarytmiczny*.

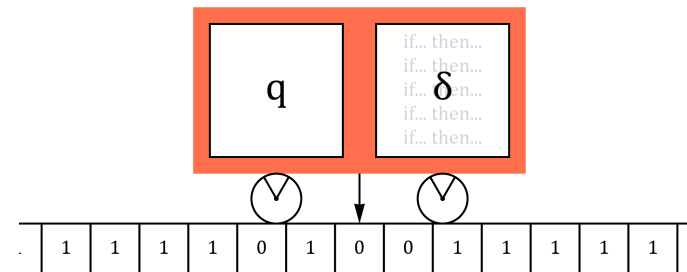
- 1623 - Wilhelm Schickard (1592-1635) skonstruował czterodziałaniowy kalkulator-zegar.
- 1642 - Blaise Pascal (1623-1662) tworzy "Pascaline" - 5-cio cyfrową *maszynę do dodawania*, uznaną za *pierwszą maszynę liczącą*.
- Gottfried Wilhelm von Leibniz (1646-1716) buduje czterodziałaniową maszynę liczącą
- 1822 - Charles Babbage (1792-1871) rozpoczął budowę maszyny do obliczeń nawigacyjnych.
- 1842 - Ada Augusta King (córka Lorda Byrona) pierwszą programistką (użyła maszyny Babbage'a)
- 1854 - George Bool opracowuje rachunek logiczny,
- 1903 - Nicola Tesla patentuje elektryczne bramki logiczne
- 1935-1938 - Konrad Zuse (1910- 1995) buduje **Z1** - *pierwszy komputer na przełącznikach* (system dwójkowy).

Komputer współczesny

- 1937 - **Alan Turing (1912-1954)** rozwija teorię maszyny uniwersalnej (wykonującej algorytmy)
- 1941 - Zuse tworzy **Z3** z wykorzystaniem arytmetyki zmiennoprzecinkowej
- 1943 - *Colossus* - komputer deszyfrujący
- 1944 - Howard Aiken (1900-1973) i inżynierowie z IBM budują Harvard Mark
- 1945 - John von Neumann publikuje ideę “maszyny z Princeton”
- 1943-1946 *ENIAC* - pierwszy komputer na lampach (Uniwersytet Pensylwania)
- 1948 - *EDSAC* komputer oparty na idei von Neumanna (Cambridge)
- 1949 - *EDVAC* - komputer uniwersalny von Neumanna
- 1950 - *ACE* - komputer zbudowany według projektu Turinga

- 1951 - *UNIVAC* - pierwszy komercyjnie sprzedawany komputer
- 1954 - *IBM 704* - pierwszy komputer z systemem operacyjnym
- 1963 - *DEC PDP-5* - pierwszy minikomputer
- 1964 - komputery trzeciej generacji na obwodach scalonych
- 1971 - *Intel 4004* - pierwszy mikroprocesor
- 1972 - *Cray Research* - pierwsze superkomputery
- 1974 - *procesor Intel 8080*
- 1975 - komputer osobisty *Altair* - 256 bajtów pamięci
- 1981 - początek ery komputerów osobistych - pierwszy IBM PC

Algorytm i maszyna Turinga



Opis formalny - $\{Q, \Sigma, \delta, q_0, F\}$, gdzie:

- Q - zbiór *stanów maszyny*,
- Σ - *alfabet* (zbiór symboli) taśmy,
- δ - *funkcja przejścia*: $\delta : Q \times \Sigma \longrightarrow Q \times \Sigma \times \{R, L, N\}$
 R, L, N odpowiadają kierunkowi przemieszczenia się czytnika na taśmie.
- q_0 - *początkowy stan*,
- F - zbiór *końcowych stanów*.

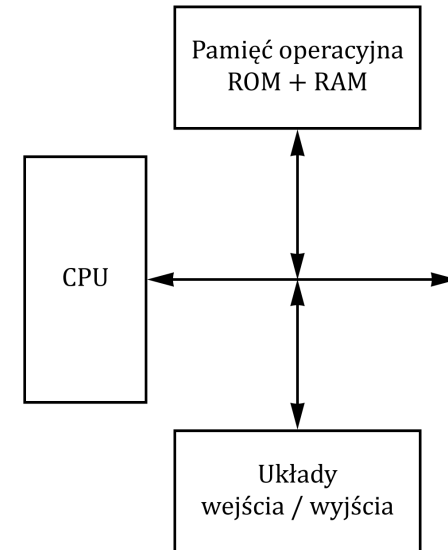
Architektura harwardzka

- *Pamięć danych programu jest oddzielona od pamięci rozkazów (inaczej niż w architekturze von Neumanna).*
- Prostsza, w stosunku do architektury von Neumanna, budowa ma większą szybkość działania - wykorzystuje się w procesorach sygnałowych oraz przy dostępie procesora do pamięci cache.
- *Architektura harwardzka jest obecnie powszechnie stosowana w mikrokomputerach jednoukładowych (program w pamięci ROM (ang. Read Only Memory), dane w RAM (Random Access Memory)).*

Komputer von Neumanna - 1945

Elementy składowe komputera von Neumanna:

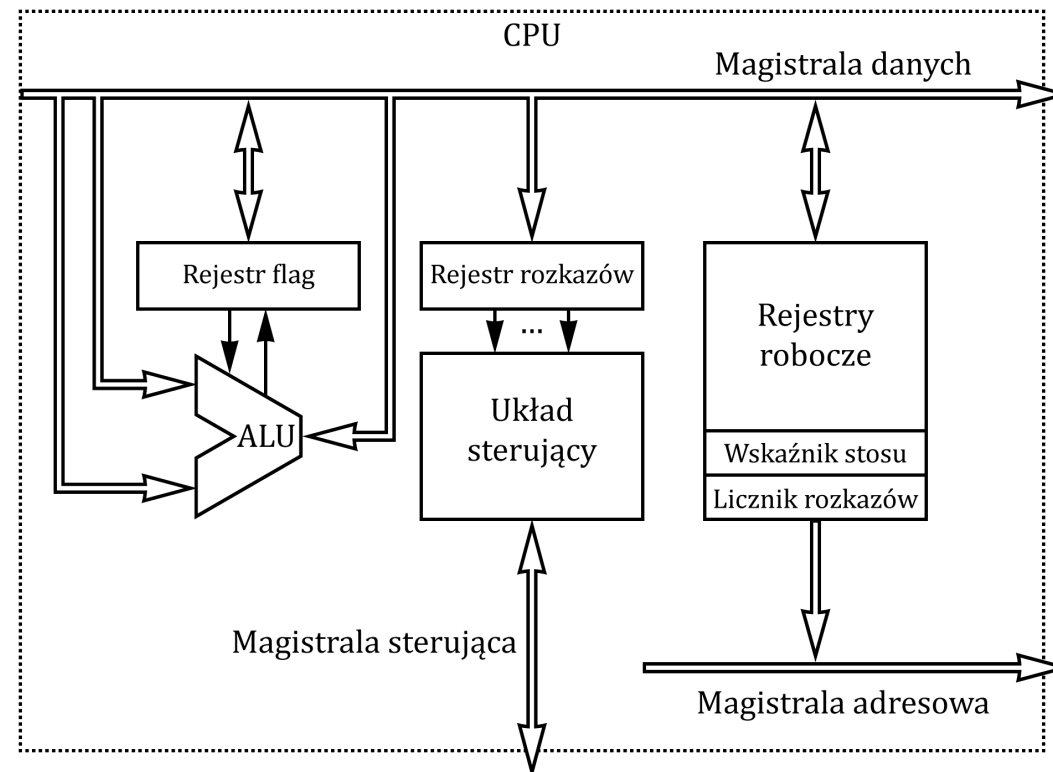
- procesor z ALU
- pamięć komputera (zawierająca *dane* i *program*)
- urządzenia wejścia/wyjścia



Cechy komputera von Neumanna:

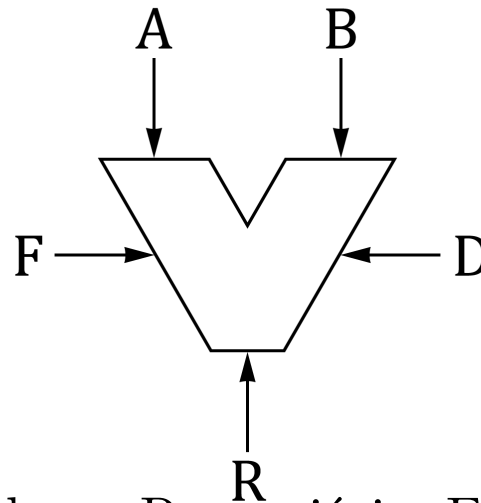
- skończona lista rozkazów,
- możliwość wprowadzenia programu i jego przechowywanie w pamięci (tak jak dane),
- sekwencyjne odczytywanie instrukcji z pamięci i ich wykonywanie.

Architektura procesora vs organizacja



- Architektura procesora - funkcjonalna.

ALU i układ sterujący



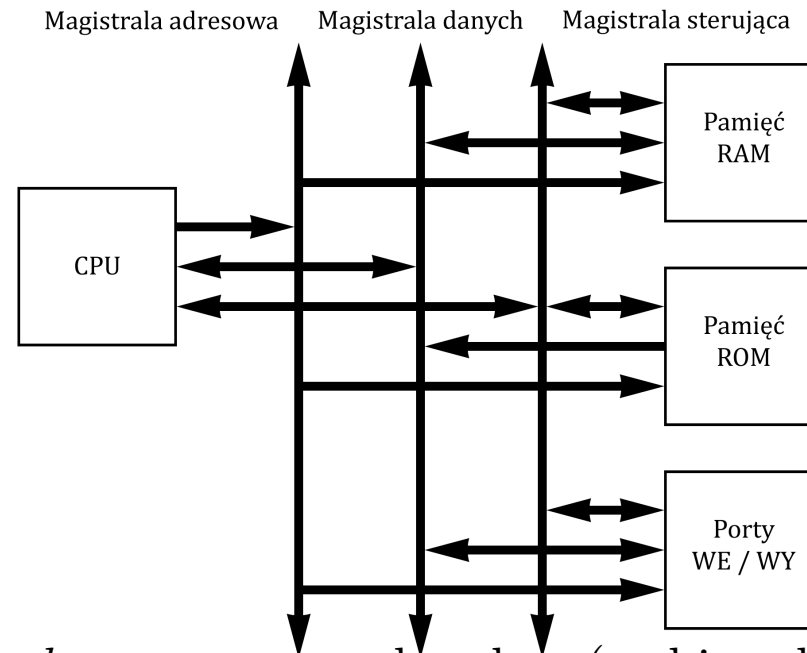
Rysunek 1: A i B - dane; R - wyjście; F - wybór operacji; D - status wyjścia

- *Jednostka Arytmetyczno-Logiczna* (ang. Arithmetic Logic Unit, ALU) układ kombinacyjny, wykonujący na danych w rejestrach operacje arytmetyczne (np. suma, różnica) oraz logiczne (np. OR, AND),
- *Układ sterujący* - dekoduje rozkazy i steruje jego wykonaniem.

Rejestry procesorze

- *Akumulator A, ACC* - rejestr bezpośrednio współpracujący z ALU
- *Wskaźnik stosu SP* - wskazuje koniec stosu (wyróżnionego obszaru pamięci)
- *Licznik rozkazów PC* - adres komórki pamięci programu z następnym rozkazem do wykonania
- *Rejestr rozkazów* - zawiera kod rozkazu wykonywanego rozkazu
- *Rejestr flag* - zawiera flagi (znaczniki bitowe) ustawiane w zależności od wyniku wykonanej operacji (np. nadmiar, zero, bit parzystości)
- *rejestry ogólnego przeznaczenia* - robocze

Magistrale systemu μ -procesorowego



- *magistrala adresowa* - przesyła adres (wybiera komórkę pamięci lub urządzenie we/wy),
- *magistrala danych* - przesyła dane między μ P a pamięcią lub urządzenie we/wy),
- *magistrala systemowa* - zawiera sygnały sterujące.

Cykl rozkazowy

Format rozkazu:

kod rozkazu	argumenty rozkazu
-------------	-------------------

Cykl rozkazu:

- *pobranie kodu rozkazu* - pobranie do rejestru rozkazu kodu rozkazu. Kody rozkazów przechowywane są w pamięci tak jak dane (architektura von Neumanna)
- *zdekodowanie rozkazu* - interpretacja wczytanego kodu rozkazu (zazwyczaj bajtu) jako polecenia z listy rozkazów procesora
- *wykonanie rozkazu* - wczytanie kolejnych argumentów rozkazu, w zależności od konkretnego rozkazu wykonanie ciągu operacji przez układ sterujący. Zapisanie wyniku w pamięci zewnętrznej lub rejestrze procesora

Cechy architektury CISC

CISC (ang. *Complex Instruction Set Computers*) – nazwa architektury mikroprocesorów o następujących cechach:

- Występowanie złożonych, specjalistycznych rozkazów (instrukcji) - wymagają od kilku do kilkunastu cykli maszynowych (zmienna liczba cykli),
- Szeroka gama trybów adresowania (skomplikowana konstrukcja dekodatorów adresu),
- Stosunkowo długa listy rozkazów procesora.

Wady architektury CISC:

- zbyt długa lista rozkazów - część z nich jest rzadko używana,
- zbyt dużo czasu traci się na operacje przepisania z pamięci do rejestrów i odwrotnie,
- ogólnie mała efektywność w obliczeniach numerycznych.

Cechy architektury RISC

RISC (ang. *Reduced Instruction Set Computers*) - nazwa architektury mikroprocesorów o następujących cechach:

- Zredukowana liczba rozkazów do niezbędnego minimum
- Redukcja trybów adresowania, dzięki czemu kody rozkazów są prostsze, bardziej zunifikowane, (upraszcza dekodery rozkazów).
- Ograniczenie komunikacji pomiędzy pamięcią, a procesorem.
- *Przetwarzanie potokowe* (ang. *pipelining*) - równoległe wykonywanie rozkazów.

Obecnie popularne procesory z punktu widzenia programisty są widziane jako CISC, ale ich rdzeń jest RISC-owy. Rozkazy CISC są rozbijane na mikrorozkazy (ang. *microops*), które są następnie wykonywane przez RISC-owy blok wykonawczy.

Systemy komputerowe w sterowaniu

1. Systemy mikroprocesorowe,
2. mikrokontrolery,
3. komputery jednopłytkowe,

Mikrokontrolery

Mikrokontroler - komputer zrealizowany w postaci pojedynczego układu scalonego, zawierającego jednostkę centralną (CPU), pamięć RAM, na ogół, pamięć programu oraz rozbudowane układy wejścia-wyjścia.

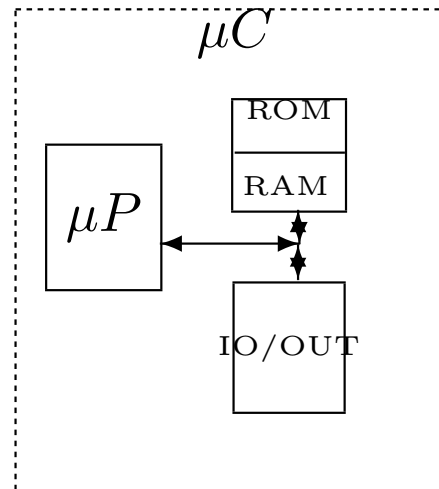
Określenie mikrokontroler pochodzi od głównego obszaru zastosowań, jakim jest sterowanie urządzeniami elektronicznymi.

Budowa mikrokontrolerów

Typowy mikrokontroler zawiera:

- Jednostkę obliczeniową (ALU) - przeważnie 8-bitową,
- Pamięć danych (RAM),
- Pamięć programu,
- Uniwersalne porty wejścia - część tych portów może pełnić alternatywne funkcje, wybierane programowo,
- Kontrolery transmisji szeregowej lub równoległej (UART, SPI, I2C, USB, CAN, itp.),
- Przetworniki analogowo-cyfrowe lub cyfrowo-analogowe,
- timery,
- Układ kontroli poprawnej pracy (watchdog)
- wewnętrzne czujniki wielkości nieelektrycznych (np. temperatury)

Elementy składowe mikrokontrolera μC



Podstawowe elementy składowe:

- procesor z ALU
- pamięć komputera (zawierająca *dane* i *program*)
- urządzenia wejścia/wyjścia

Taktowanie mikrokontrolerów

Zegar systemowy mikrokontrolera może być taktowany:

- *zewnętrznym sygnałem taktującym* (rozwiązanie często stosowane w dużych układach wymagających synchronicznej współpracy wielu jednostek),
- *własnym generatorem*, wymagającym podłączenia zewnętrznych elementów ustalających częstotliwość taktowania (najczęściej jest to rezonator kwarcowy i dwa kondensatory),
- *wewnętrznym układem taktującym*, nie wymagającym podłączania dodatkowych elementów

Zegary współczesnych mikrokontrolerów osiągają częstotliwości do kilkuset MHz, jednak w większości zastosowań taktowanie może być znacznie wolniejsze.

Języki programowania μP

- Języki wysokiego rzędu (np. VB, C, Java)
- Asembler

Sposoby programowania μC

Pamięci programu ROM można programować na trzy sposoby:

1. *High voltage Programming* czyli sposób programowania wprowadzony ponad 15lat temu do programowania pamięci EPROM za pomocą sygnałów 12V - wymaga programatora.
2. *ISP (In-System Programmable)* które nie wymaga wyjmowania pamięci z systemu w którym pracuje.
3. *Bootloader* - po resecie μC uruchamiany jest program znajdujący się w sekcji Bootloadera, który poprzez łącze (np. port szeregowy) łączy się z komputerem nadrzędnym, pobiera kod programu i umieszcza go w przeznaczonej do tego obszarze pamięci ROM.

Przegląd obecnych mikrokontrolerów

Do najbardziej popularnych mikrokontrolerów należą:

1. Niekwestionowany standard dla rynku masowego narzuciła firma *Intel*, która wprowadziła na rynek mikrokontroler *8051*,
2. Bardzo popularne są również mikrokontrolery *AVR* firmy *Atmel* - w oparciu o nie będą prowadzona zajęcia laboratoryjne,
3. *PIC* firmy *Microchip Technology*,
4. inne.

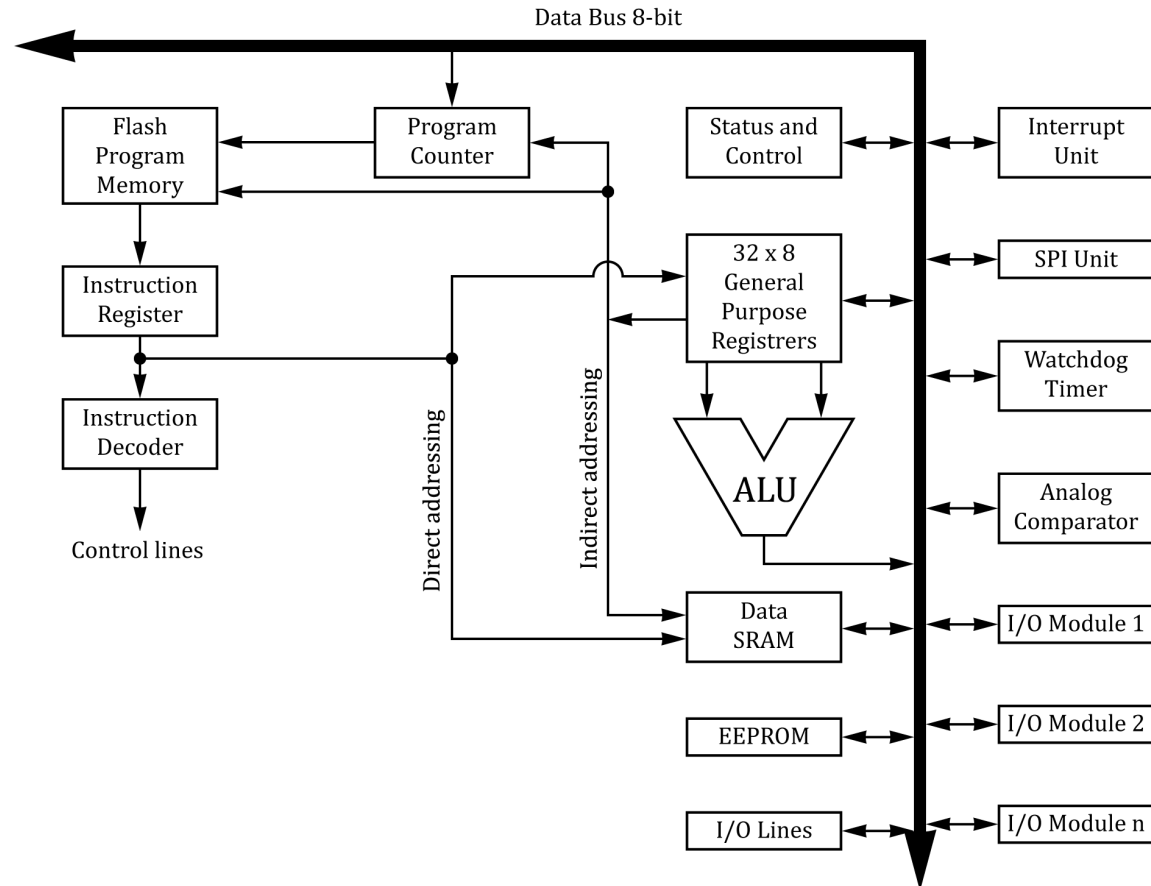
Systemy wbudowane

- Ogólna definicja *systemów wbudowanych* określa je jako urządzenia używane do kontroli, monitoringu lub wspomagania pracy urządzeń i maszyn. Pojęcie “wbudowane” odnosi się do faktu, że stanowią one integralną częścią systemu w którym pracują. W wielu przypadkach obecność *systemów wbudowanych* może nie być oczywista dla niewtajemniczonych obserwatorów.
- System wbudowany (ang. Embedded system) - system komputerowy specjalnego przeznaczenia, który staje się integralną częścią obsługiwanego przez niego sprzętu.
- System wbudowany spełnia określone wymagania, zdefiniowane do zadań które ma wykonywać,
- Typowy system wbudowany oparty jest na mikrokontrolerze, zaprogramowanym do wykonywania konkretnych zadań,
- Niektóre systemy wbudowane zawierają system operacyjny.

Cechy μC ATmega328

1. Architektura RISC - 131 instrukcji procesora (wykonywanych w jednym cyklu zegara), 32×8 -bitowych rejestrów ogólnego przeznaczenia,
2. Nieulotna pamięć programu i danych - $32kB$ pamięci programu, ISP, z opcją Bootloadera, 1024 bajty pamięci danych EEPROM, $2kB$ wewnętrznej pamięci SRAM,
3. Peryferia - 8-bitowe i 16-bitowy timery/liczniki z opcją preskalera, cztery kanały PWM, 8×10 – *bitowych* przetworników ADC, interface Two-wire, programowalny Serial USART, interface Master/Slave SPI, programowalny Watchdog, komparator analogowy,
4. Inne cechy - wewnętrzny generator RC, wewnętrzne i zewnętrzne źródła przerwań, układy oszczędności energii, zasilanie $3.3 - 5.5V$, częstotliwość pracy zegara do 16MHz.

Schemat blokowy ARV ATmega328



Wyprowadzenia μC AVR ATmega328

- **VCC** - Zasilanie układu,
- **GND** - Masa,
- **Port B** ($PB_7 \dots PB_0$) - Dwukierunkowe porty I/O z wewnętrznymi rezystorami podciągającymi,
- **Port C** ($PC_6 \dots PC_0$) - Dwukierunkowe porty I/O z wewnętrznymi rezystorami podciągającymi lub wejścia przetworników AC, reset,
- **Port D** ($PD_7 \dots PD_0$) - Dwukierunkowe porty I/O z wewnętrznymi rezystorami podciągającymi,
- **XTAL1, XTAL2** - wejścia zewnętrznego generatora (zegara),
- **AREF** - wejście zewnętrznego napięcia odniesienia przetwornika AC,

(PCINT14/RESET) PC6	1	28	PC5 (ADC5/SCL/PCINT13)
(PCINT16/RXD) PD0	2	27	PC4 (ADC4/SDA/PCINT12)
(PCINT17/TXD) PD1	3	26	PC3 (ADC3/PCINT11)
(PCINT18/INT0) PD2	4	25	PC2 (ADC2/PCINT10)
(PCINT19/OC2B/INT1) PD3	5	24	PC1 (ADC1/PCINT9)
(PCINT20/XCK/T0) PD4	6	23	PC0 (ADC0/PCINT8)
VCC	7	22	GND
GND	8	21	AREF
(PCINT6/XTAL1/TOSC1) PB6	9	20	AVCC
(PCINT7/XTAL2/TOSC2) PB7	10	19	PB5 (SCK/PCINT5)
(PCINT21/OC0B/T1) PD5	11	18	PB4 (MISO/PCINT4)
(PCINT22/OC0A/AIN0) PD6	12	17	PB3 (MOSI/OC2A/PCINT3)
(PCINT23/AIN1) PD7	13	16	PB2 (SS/OC1B/PCINT2)
(PCINT0/CLKO/ICP1) PB0	14	15	PB1 (OC1A/PCINT1)

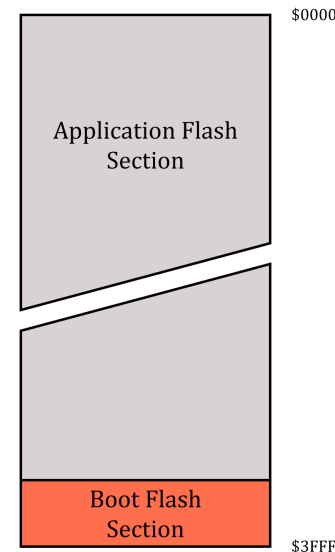
Dostępne rejestry μC AVR ATmega328

- **Status Register** - rejestr flag monitorujący stan operacji ALU (znaczenia bitów w dokumentacji),
- **Rejestry ogólnego przeznaczenia**
- **Wskaźnik stosu** (ang. Stack Pointer) - Dwa 8-bitowe rejestry SPH, SPL wskazujący obecne miejsce na stosie (szczyt stosu) - jest dekrementowany.
- **Rejestry X, Y i Z** - rejestry ogólnego przeznaczenia, dodatkowo służące do adresowania pośredniego w przestrzeni danych:
- **Rejestry EEARH, EEARL, EEDR i EECR** - rejestry umożliwiające dostęp do pamięci danych EEPROM. Znaczenia rejestrów: EEARH i EEARL - adres, EEDR - wpisywane lub odczytywane dane, EECR - rejestr kontrolny.

Dokładny opis wszystkich rejestrów w dokumentacji.

Pamięć programu μC AVR ATmega328P

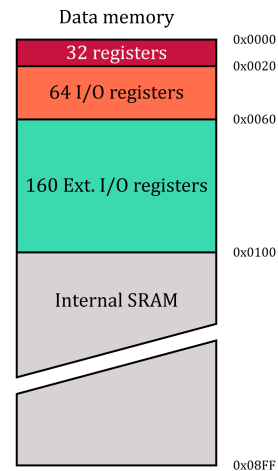
- 32kB pamięci Flash do przechowywania programu o organizacji $16k \times 16$. Instrukcje AVR są 16 lub 32 bitowe. Licznik programu (PC) jest 14 bitowy, umożliwia zaadresowanie $2^{14} = 16kB$ komórek pamięci.
- Pamięć programu jest podzielona na dwa obszary - *sekcja aplikacji* i *sekcja bootloadera*.



- Pamięć FLESH przewidziana jest na 10.000 cykli zapisu/kasowania.

Pamięć danych SRAM μC AVR ATmega328P

- Najmłodsze 2144 komórek pamięci zawiera *rejestry ogólnego przeznaczenia* (32), *rejestry wejścia/wyjścia* (64 komórek) oraz wewnętrzną pamięć SRAM (2048 komórek).



- Istnieje pięć różnych trybów adresowania: Bezpośrednie, Pośrednie, Pośrednie z przesunięciem, Pośrednie z pre i post inkrementacją. Adresowania pośrednie odbywają się za pomocą rejestrów X, Y i Z,
- Do każdej komórki pamięci SRAM można się odwołać w dowolnym trybie adresowania.

Nieulotna pamięć danych EEPROM μC AVR ATmega328P

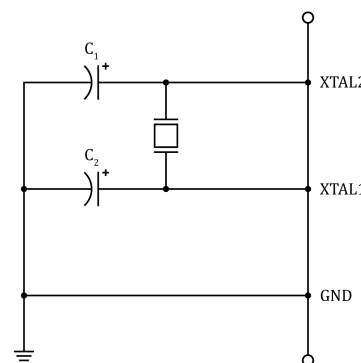
- μC AVR ATmega328P zawiera 1024 bajty nieulotnej pamięci danych, zorganizowanej w osobnej przestrzeni adresowej.
- W przestrzeni tej mogą być zapisane lub odczytane pojedyncze bajty,
- Pamięć EEPROM data przewidziana jest na 100.000 cykli zapisu/kasowania,
- Dostęp do tej pamięci możliwy jest za pomocą rejestrów **EEARH**, **EEARL**, **EEDR** i **EECR**. Rejestry te pełnią następujące funkcje: EEARH i EEARL - adres, EEDR - wpisywane lub odczytywane dane, EECR - rejestr kontrolny,
- Pamięć EEPROM data jest chroniona przed zniszczeniem, które może powodować zbyt niskie napięcie zasilania V_{CC} .

Pamięć urządzeń wejścia/wyjścia μC AVR ATmega328P

- Do wszystkich peryferii μC AVR ATmega328P odwołuje się za pomocą rejestrów I/O umieszczonych w tej samej przestrzeni adresowej co *Rejestry ogólnego przeznaczenia* i pamięć SRAM,
- Używając mnemoników *IN* lub *OUT* należy używać adresów \$00 – \$3F, w przypadku, gdy odwołujemy się do nich używając mnemoników *LD* i *ST* należy dodać \$20_{HEX} tj. 32₁₀ do ich adresu (gdyż poprzedzają je 32 rejestry ogólnego przeznaczenia).
- Niektóre rejestry I/O, w zależności od pełnionej funkcji w urządzeniach peryferyjnych, są chronione przed zapisem. Do niektórych rejestrów można się odwołać dopiero po ustawieniu odpowiedniej flagi (patrz dokumentacja).

Źródła sygnału zegara w μC AVR ATmega328P

- **Wewnętrzny generator** - nie wymaga żadnych elementów zewnętrznych. Uzyskane nominalne częstotliwości wynoszą 1, 2, 4, lub 8 MHz,
- **Zewnętrzny rezonator kwarcowy**

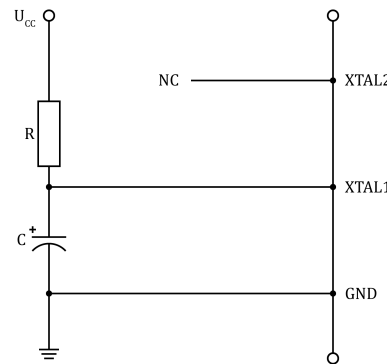


Wejścia XTAL1 i XTAL2 są wejściami wzmacniacza wewnętrznego układu. Maksymalna częstotliwość pracy wynosi $16MHz$,

- **Zewnętrzny generator niskich częstotliwości** - Kwarce powinien być dołączony jak w poprzednim przypadku. Dołączane są wewnętrzne pojemności $36pF$. Uzyskana częstotliwość wynosi $32,768kHz$.

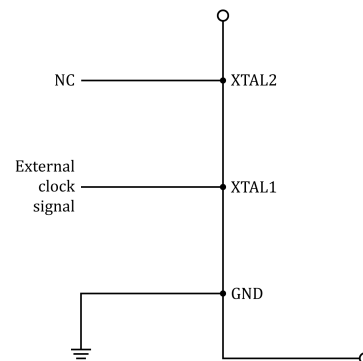
Źródła sygnału zegara w μC AVR ATmega328P cd.

- Zewnętrzny generator RC



Zewnętrzne elementy R i C są wykorzystane do budowy generatora,

- Zegar zewnętrzny



Umożliwia podanie zewnętrznego sygnału zegarowego.

Reset w μC AVR ATmega328P

- *Power-on Reset* - μC resetuje się wskutek obniżenia napięcia zasilającego poniżej pewnego progu V_{POT} ,
- *External Reset* - μC resetuje się wskutek podania na pin RESETU niskiego poziomu przez odpowiednio długi czas,
- *Watchdog Reset* - μC resetuje się wskutek przekroczenia okresu oczekiwania przez Watchdoga (Watchdog musi być włączony),
- *Brown-out Reset* - μC resetuje się, gdy napięcie zasilania V_{CC} spadnie poniżej poziomu V_{BOT} (detektor Brown-out musi być włączony),
- *JTAG AVR Reset* - μC resetuje się, gdy jest logiczna 1 w Reset Register (możliwość wykrycia tylko w ramach systemu JTAG).

System przerwań μC AVR ATmega328P

Przerwania zewnętrzne

- Przerwania zewnętrzne są wyzwalane na pinach INT0, INT1, i INT2,
- Jeśli system przerwań jest włączony wejścia INT0, INT1, i INT2 wykryją przerwanie, nawet jeśli piny są ustawione jako wyjścia - umożliwia to wykorzystanie ich jako przerwania programowe,
- Przerwania mogą być wyzwalane zboczem narastającym, opadającym lub poziomem (INT2 tylko zboczem).

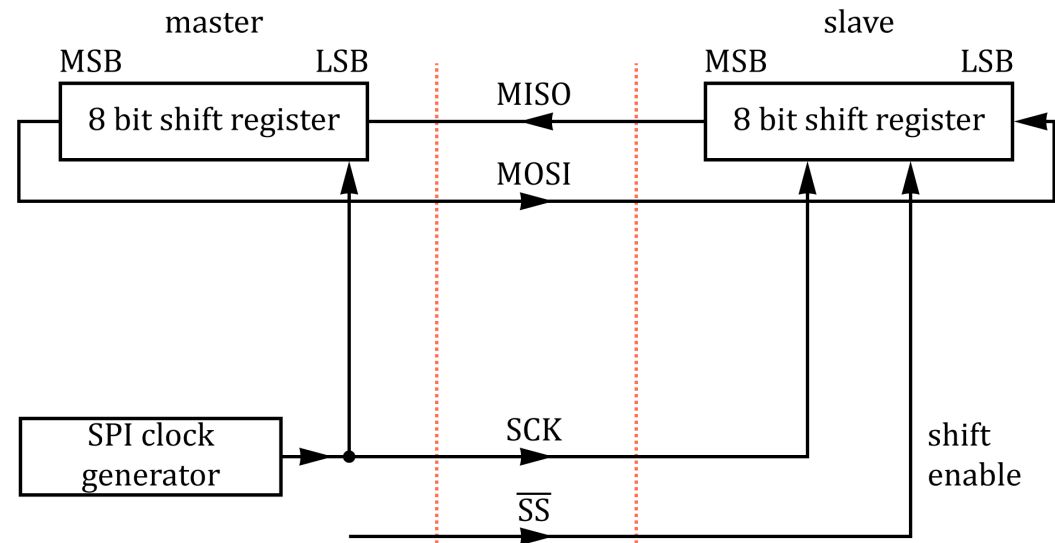
Dokładny opis na następnych wykładach.

Liczniki i timery - Timer0 i Timer1

- Możliwość wyzerowania liczników,
- Generator częstotliwości,
- Licznik zdarzeń zewnętrznych,
- Możliwość pracy w trybie PWM,
- Preskaler zegara 10 – *bitowy*,
- Przepełnienie licznika jest źródłem przerwania.

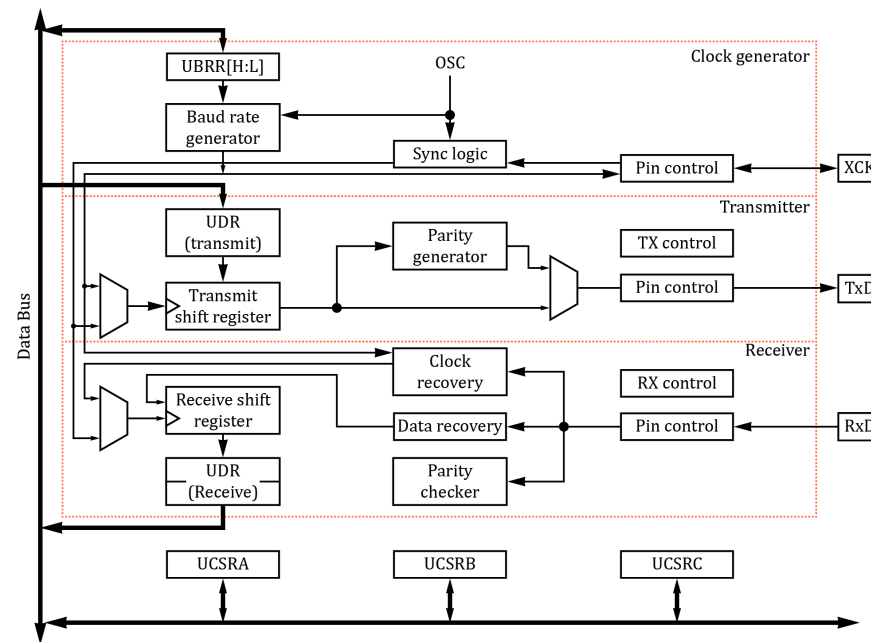
Dokładny opis na następnych wykładach.

Interface szeregowy SPI - ang. Serial Peripheral Interface



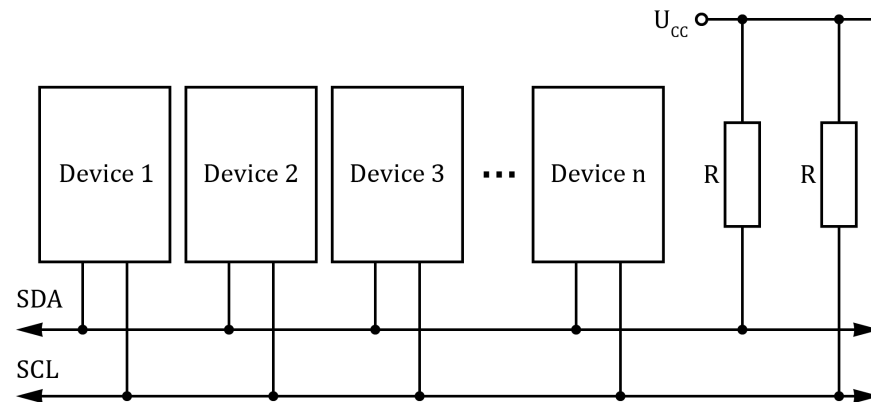
- Full-duplex, synchroniczny transfer danych, 7 programowalnych prędkości transmisji,
- Możliwość pracy w trybie Master lub Slave,
- Koniec transmisji identyfikowany flagą przerwań.

Interfejs szeregowy USART



- Full Duplex Operation, transmisja synchroniczna i asynchroniczna,
- Możliwość transmisji danych 5, 6, 7, 8 lub 9 bitowych z 1 lub 2 bitami stopu, bit parzystości wykrywany sprzętowo, wykrywanie błędów transmisji,
- Przerwania: TX Complete, TX Data Register Empty, RX Complete.

Interface szeregowy - Two-wire



- Obsługa trybów Master i Slave, arbitraż Multi-master,
- 7-bitowy adres (128 adresów Slave), w pełni programowalny adres Slave-a w ramach General Call Support
- Prędkość transmisji do $400kHz$

Przetworniki analogowo-cyfrowy ADC

- Rozdzielczość 10-bitowa,
- Nieliniowość na poziomie $\frac{1}{2}$ LSB,
- Dokładność bezwzględna na poziomie ± 2 LSB,
- Czas konwersji $65 \div 260 \mu s$,
- 8 multipleksowanych kanałów,
- 7 kanałów różnicowych,
- 2 wejść różnicowych ze wzmocnieniem $10\times$ and $200\times$,
- Zakres mierzonych napięć $0 \div V_{CC}$,
- Wybór napięcia odniesienia: wewnętrzne $2,56V$ lub zewnętrzne,
- W tryb konwersji *Single* przetwornik pracuje w sposób ciągły,
- Zgłaszane przerwanie po zakończeniu konwersji.

Zadania na ćwiczenia

1. Napisz program, który ze sterownika AVR poprzez łącze szeregowe (po resecie) wysyłać będzie komunikat “Hello world”,
2. Zrealizuj kalkulator wykonujący podstawowe operacje arytmetyczne na dwóch operandach w notacji infiksowej. Każdą daną (w tym liczby i znaki) należy zatwierdzić enterem.
3. Zrealizuj kalkulator wykonujący podstawowe operacje arytmetyczne na dwóch operandach w notacji infiksowej, który wczytuje całe wyrażenie i dokonuje jego analizy.