



西安电子科技大学
XIDIAN UNIVERSITY

基于 FPGA 的数字系统设计

实验报告

实验名称：LAB5:比较器实验报告

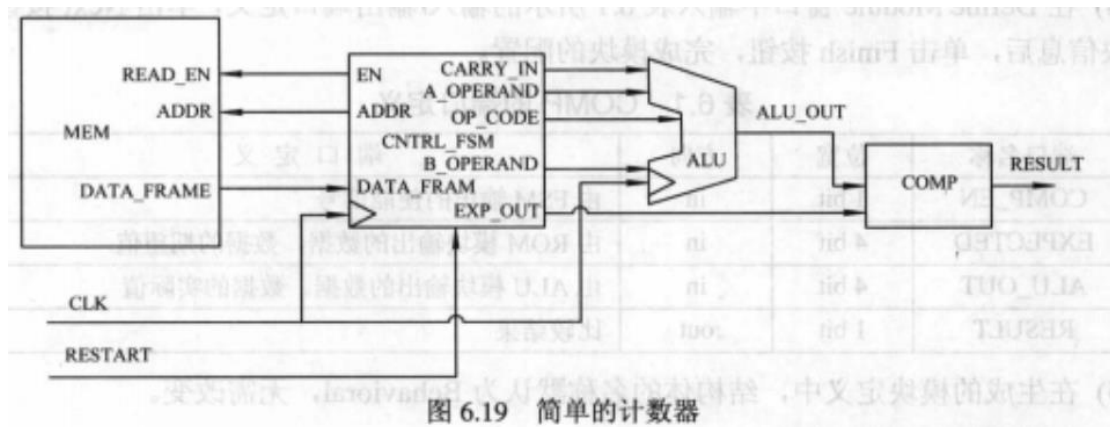
任课教师：沈沛意老师

学号姓名：

提交日期：

一、 实验介绍

本实验将完成图 6.19 中比较器 COMP 的两种描述方式下的独立描述,一种为行为描述方式,应用 VHDL 中的 Assert 语句和条件信号赋值语句;另一种为 RTL 描述方式,用 if/else 语句。



二、 实验目标

学习使用 assert 语句;

学习使用 VHDL 中的基本条件描述结构 if/else;

用行为描述方式和 RTL 描述方式分别对给定的模块进行描述;

验证设计文件的正确性。

三、 实验过程与步骤

本实验包含四个主要的部分:创建一个新的 ISE 工程;创建 COMP 的行为描述代码;创建 COMP 的 RTL 描述代码;创建测试平台文件,验证描述模型的正确性。

1. 启动 ISE 创建一个新的工程 LAB5

过程不再赘述

2. 创建 COMP 的行为描述

1)创建 COMP 的行为描述

(1) 选择菜单栏中的 Project→New Source。

(2) 在 Select Source Type 窗口中,选择左侧的 VHDL Module,在右侧 File Name 栏中填入文件名 COMP。

(3)单击 Next 按钮,进入 Define Module 窗口。

(4) 在 Define Module 窗口中输入表 6.1 所示的输入/输出端口定义,单击 Next 按钮,确认模块信息后,单击 Finish 按钮,完成模块的配置。

表 6.1 COMP 的端口定义			
端口名称	位宽	方向	端口定义
COMP_EN	1 bit	in	由 FSM 输出的使能信号
EXPECTED	4 bit	in	由 ROM 模块输出的数据,数据的期望值
ALU_OUT	4 bit	in	由 ALU 模块输出的数据,数据的实际值
RESULT	1 bit	out	比较结果

(5)在生成的模块定义中,结构体的名称默认为 Behavioral,无需改变。

2) 完成模块的结构体描述:

本步骤主要完成行为描述方式的结构体,最主要的目的是仿真。使用 VHDL 中的 assert 语句比较两个输入信号,并配以 severity level 和 report 结构完成比较。用条件信号赋值语句对输出信号 RESULT 赋值,如果输入的两个信号相等,则赋值为 1,否则赋值为 0。

3)语法检查

在 Sources 窗口中选 COMP.VHD,在 Processes 窗口中展开 Synthesis,并双击 Check Syntax .

3. 创建 COMP 的 RTL 描述

创建 RTL 描述方式的 COMP。

(1)选择菜单栏中的 Project→New Source。

(2)在 Select Source Type 窗口的左侧选择 VHDL Module,右侧 File

Name 栏中填入文件名 COMP_RTL。

(3)单击 Next 按钮,进入 Define Module 窗口。

(4)在 Define Module 窗口中将模块的结构体名称改为 RTL,并按照与行为描述方式中相同的方法填写模块的端口定义。

(5)在 COMP_RTL 的结构体描述中使用 if/else 语句描述 COMP_RTL 的功能,实现的功能与行为描述中实现的功能相同。

4. 创建测试平台文件

创建一个简单的测试平台,并验证行为描述方式下的 COMP 模块功能是否正确。在仿真的时候请注意查看 ISE 的 console 窗口,如果输入的两个数据不同,则在 console 窗口中会打印出用户定制的消息。

使用 ISE Simulator 对创建的测试平台进行仿真,并调试工程源代码。

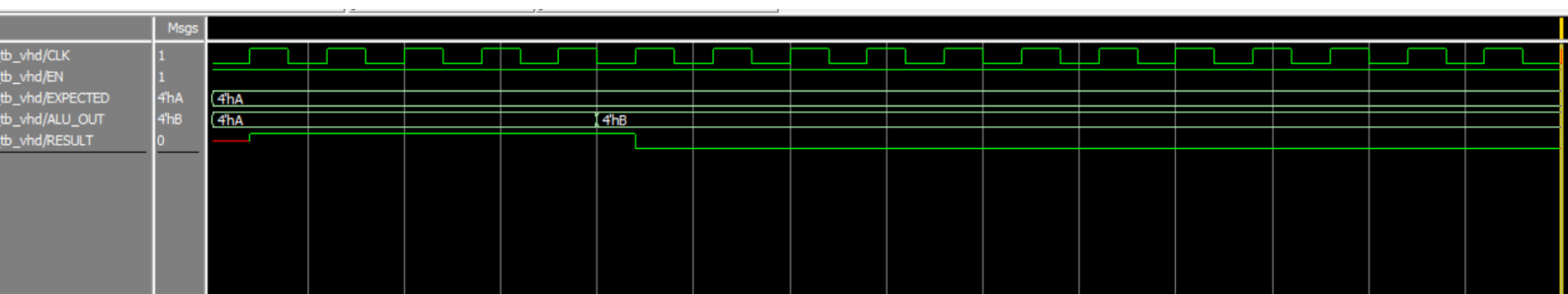
四、 实验总结

在本实验中,我们创建了 COMP 模块的两种描述方式下的代码,第一种为行为级描述方式,主要用于仿真,使用的描述语句为 assert 语句和 report 语句;第二种为 RTL 描述,主要用于综合生成最终的电路,使用的描述语句为 if/else 语句。

在实验中,用户需要使用 VHDL 中的 generate 语句在两种结构体描述中做出选择。

五、 实验结果及分析

前仿波形：



可以看见在 ALU_OUT 和 EXP 一致时, RESULT 为高电平; 而 ALU_OUT 和 EXP 不一致时, 遇到下一个上升沿后 RESULT 变为低电平

六、 实验代码

```
--COMP.vhd:

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;    -- 定义 STD_LOGIC 和
STD_LOGIC_VECTOR 类型

use IEEE.STD_LOGIC_ARITH.ALL;    -- 提供算术运算支持 (非标准, 建议用
numeric_std)

use IEEE.STD_LOGIC_UNSIGNED.ALL;-- 无符号算术运算支持 (非标准, 建
议用 numeric_std)

-- 实体定义: 比较器模块
entity COMP is
    Port (
        CLK          : in std_logic;          -- 时钟输入, 用于同步操作

        EXPECTED : in std_logic_vector(3 downto 0); -- 预期值 (4 位)

        ALU_OUT   : in std_logic_vector(3 downto 0); -- 实际运算结果 (4 位)

        EN        : in std_logic;              -- 使能信号, 高电平有效

        RESULT    : out std_logic              -- 比较结果输出 (1: 相等, 0: 不
等)
    );
end COMP;

-- 结构体定义: 描述模块行为
```

```
architecture Behavioral of COMP is
begin
```

```
-- 同步比较进程（仅在时钟上升沿触发）
```

```
process (CLK)
begin
```

```
-- 检测时钟上升沿
```

```
if rising_edge(CLK) then
```

```
-- 当使能信号有效时进行比较
```

```
if (EN = '1') then
```

```
-- 比较预期值与实际输出
```

```
if (EXPECTED = ALU_OUT) then
```

```
    RESULT <= '1'; -- 相等时输出高电平
```

```
else
```

```
    RESULT <= '0'; -- 不等时输出低电平
```

```
end if;
```

```
-- 断言语句（用于仿真调试）
```

```
-- 当比较不等时，报告警告信息（不会停止仿真）
```

```
assert (EXPECTED = ALU_OUT)
```

```
    report "Warning: Simulation mismatch has occurred!" -- 警告信息
```

```
    severity warning; -- 严重级别为警告（注意/警告/错误/失败）
```

```
end if; -- 使能信号判断结束
```

```
end if; -- 时钟边沿判断结束
```

```
end process;
```

```
end Behavioral;
```

```

--COMP_RTL
library IEEE;

use IEEE.STD_LOGIC_1164.ALL;    -- 标准逻辑类型定义

use IEEE.STD_LOGIC_ARITH.ALL;   -- 算术运算扩展（非 IEEE 标准，建议
改用 numeric_std)

use IEEE.STD_LOGIC_UNSIGNED.ALL;-- 无符号数运算支持（非 IEEE 标准，
建议改用 numeric_std)

entity COMP_RTL is
    Port (
        CLK      : in std_logic;          -- 系统时钟输入（同步信号）

        EXPECTED : in std_logic_vector(3 downto 0); -- 4 位预期值输入

        EN       : in std_logic;          -- 使能信号（高电平激活比较）

        ALU_OUT  : in std_logic_vector(3 downto 0); -- 4 位 ALU 计算结果输
入

        RESULT   : out std_logic          -- 比较结果输出（1=相等，0=不
等)
    );
end COMP_RTL;

architecture RTL of COMP_RTL is -- RTL 级架构（寄存器传输级描述）
begin

    -- 同步比较控制进程 -----
    process (CLK)
    begin
        -- 仅在时钟上升沿触发
        if rising_edge(CLK) then

```

```

-- 使能信号有效时才执行比较
if EN = '1' then
    -- 比较预期值与实际运算结果
    if EXPECTED = ALU_OUT then
        RESULT <= '1'; -- 相等时输出高电平
    else
        RESULT <= '0'; -- 不等时输出低电平
    end if;
end if; -- 使能条件结束

end if; -- 时钟边沿检测结束
end process;

end RTL;

```

七、 实验中遇到的问题

为了对应测试文件 COMP_TB 中的实体名称，我们需将 COMP_TB 建立在 COMP.vhd 上