

TEMA. EL PAR DIFERENCIAL

TEMA. EL PAR DIFERENCIAL	1
1 Introducción	1
2. El par diferencial.	1
2.1. Polarización	2
2.2. Análisis de Gran Señal	3
2.3. Análisis de Pequeña Señal	4
2.4. El par diferencial con carga activa	9
3. Aumento de Ganancia	11
3.1. El par diferencial cascode.....	12
3.2. El amplificador de dos etapas	13
3.3. Respuesta en Frecuencia.....	14
Referencias	16

1 Introducción.

En este tema abordaremos el par diferencial que es uno de los bloques fundamentales de la electrónica analógica. Realizaremos un análisis completo, empezando por su polarización, su comportamiento en gran señal (calculando su distorsión), y terminando por su análisis de pequeña señal.

El par diferencial es el bloque de entrada al amplificador operacional. Éste será el objeto de estudio temas posteriores. Empezaremos obteniendo expresiones para su ganancia, sus factores de distorsión y su resistencia de salida. Posteriormente intentaremos aumentar su ganancia en bucle abierto y veremos dos técnicas: el uso de transistores cascode y la disposición de etapas de ganancia en cascada. Finalmente estudiaremos su respuesta en frecuencia. En cada caso se discutirán las ventajas e inconvenientes.

2. El par diferencial.

El par diferencial es uno de los bloques fundamentales de la electrónica analógica. Tiene como principales características el amplificar señales diferenciales y atenuar las señales de modo común. El par diferencial es un circuito muy sencillo, capaz de trabajar con baja tensión de alimentación, de elevada ganancia y ancho de banda. El amplificador operacional es el bloque de entrada y núcleo principal de la mayor parte de amplificadores, tales como el amplificador operacional y el amplificador operacional de transconductancia. Por ello merece que le dediquemos una especial atención.

La Figura 1 muestra el bloque fundamental del par diferencial. En la Figura 1b se dispone una carga pasiva R_D , mientras que en la Figura 1c la carga es activa formada por espejos de corriente de valor nominal $I_B/2$.

Empezaremos trabajando con carga pasiva y luego estudiaremos el par diferencial con carga activa.

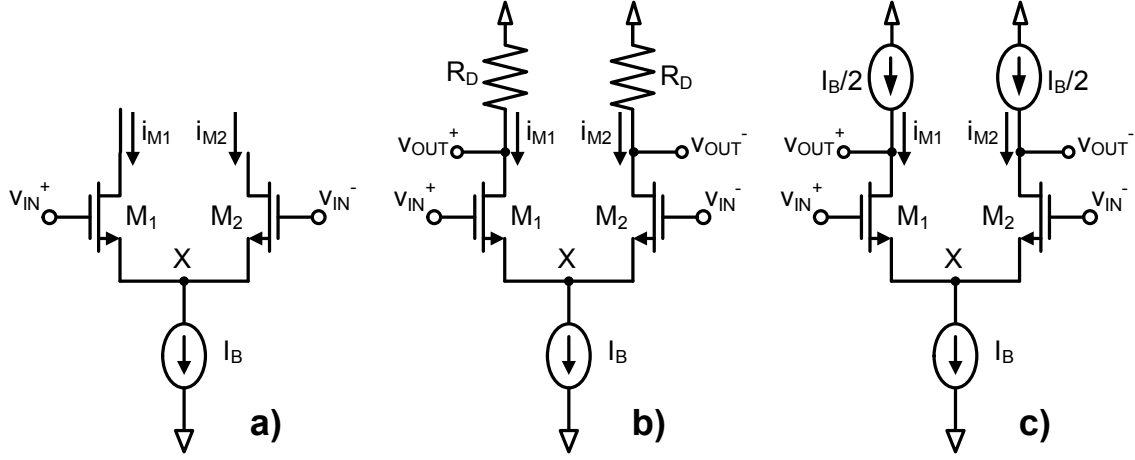


Figura 1. Par diferencial *nMOS*.

2.1. Polarización

El par diferencial se considera que está bien polarizado cuando sus transistores de entrada trabajan en saturación y las corrientes de polarización trabajan con una tensión suficiente para asegurar su correcto funcionamiento como espejo.

Para que permanezca en saturación, el transistor M_1 (M_2) necesitará una tensión de entrada $V_{IN} = V_{IN}^+ = V_{IN}^-$ que cumpla:

$$V_{IN} - V_T > V_X + \sqrt{\frac{I_B/2}{\frac{\mu_n C'_{ox} W}{L}}} \quad (1)$$

$$V_{DS} > V_{GS} - V_T \rightarrow V_{DD} - I_B/2 R_D - V_X > V_{IN} - V_X - V_T \quad (2)$$

Si llamamos V_{DS}^{SAT} a la tensión mínima que requiere la fuente I_B para su correcto funcionamiento, entonces

$$V_{DS}^{SAT} + \sqrt{\frac{I_B}{\mu_n C'_{ox} W/L}} < V_{IN} - V_T < V_{DD} - \frac{I_B}{2} R_D \quad (3)$$

Para $V_{DD} = 1.8$ V, $R_D = 1$ k Ω , $I_B = 200$ μ A, $V_{DS}^{SAT} = 0.2$ V, $\mu_n C'_{ox} = 200$ μ A/V², $W/L = 4$, y $V_T = 0.65$ V, resulta 0.90 V $< V_{IN} < 2.35$ V. En la práctica V_{IN} no puede superar la tensión de alimentación, por lo que el rango efectivo de tensión a la entrada será entre 0.90 y 1.8 V.

El diseñador deberá escoger un valor intermedio para V_{IN} a fin de permitir la superposición de la señal de entrada.

2.2. Análisis de Gran Señal

Para el análisis de gran señal supondremos que los transistores se encuentran en saturación y consideraremos un modelo de primer orden ignorando el efecto sustrato y la modulación de longitud del canal. Entonces

$$\begin{aligned} v_{GSM1} &= \sqrt{\frac{i_{M1}}{\frac{\mu_n C'_{ox}}{2} \left(\frac{W}{L}\right)_{M1}}} + V_{TM1} = \frac{1}{\sqrt{\frac{\mu_n C'_{ox}}{2} \left(\frac{W}{L}\right)_{M1}}} \sqrt{\frac{I_B}{2} + \frac{i_d}{2}} + V_{TM1} \\ v_{GSM2} &= \sqrt{\frac{i_{M2}}{\frac{\mu_n C'_{ox}}{2} \left(\frac{W}{L}\right)_{M2}}} + V_{TM2} = \frac{1}{\sqrt{\frac{\mu_n C'_{ox}}{2} \left(\frac{W}{L}\right)_{M2}}} \sqrt{\frac{I_B}{2} - \frac{i_d}{2}} + V_{TM2} \end{aligned} \quad (4)$$

donde, dado que $i_{M1} + i_{M2} = I_B$ y, por definición, $i_d = i_{M1} - i_{M2}$, entonces $i_{M1} = I_B/2 + i_d/2$ e $i_{M2} = I_B/2 - i_d/2$.

Como el par diferencial es un circuito simétrico, $(W/L)_{M1} = (W/L)_{M2} = W/L$ y $V_{TM1} = V_{TM2} = V_T$. Restando las dos ecuaciones de (4):

$$v_d = v_{GSM1} - v_{GSM2} = \frac{\sqrt{\frac{I_B}{2}}}{\sqrt{\frac{\mu_n C'_{ox}}{2} \frac{W}{L}}} \left(\sqrt{1 + \frac{i_d}{I_B}} - \sqrt{1 - \frac{i_d}{I_B}} \right) \quad (5)$$

Elevando la expresión (5) dos veces al cuadrado, y despejando, resulta

$$\frac{i_d}{I_B} = \frac{v_d}{V_{EFF}} \sqrt{1 - \left(\frac{v_d}{2V_{EFF}} \right)^2} \quad (6)$$

donde $V_{EFF} = V_{GS} - V_T$ es la *tensión efectiva de puerta*.

Para valores pequeños de v_d , la relación entre la corriente de salida diferencial y la tensión de entrada diferencial iguala la transconductancia de pequeña señal del par diferencial. De (6), para $v_d \ll V_{EFF}$,

$$i_d = \frac{I_B}{V_{EFF}} = gm v_d \quad \text{con} \quad gm = gm_{M1} = \sqrt{2 \mu_n C'_{ox} \frac{W}{L} \frac{I_B}{2}} = \frac{2 (I_B/2)}{V_{EFF}} \quad (7)$$

2.2.1. Distorsión.

Desarrollando en serie la expresión (7)

$$\frac{i_d}{I_B} = \frac{v_d}{V_{EFF}} \left[1 - \frac{1}{8} \left(\frac{v_d}{V_{EFF}} \right)^2 - \frac{1}{128} \left(\frac{v_d}{V_{EFF}} \right)^4 + \dots \right] = a_0 + a_1 v_d + a_2 v_d^2 + \dots \quad (8)$$

Consideremos ahora una señal de entrada diferencial senoidal de amplitud A . Ya sea a partir de la expresión (8), o por el simple hecho de ser un circuito diferencial y balanceado,

$$HD_2 = \frac{1}{2} \left| \frac{a_2}{a_1} \right| A = 0, \quad HD_4 = 0, \dots \quad (9)$$

El armónico de menor orden es el tercero y la distorsión armónica correspondiente viene dada por:

$$HD_3 = \frac{1}{4} \left| \frac{a_3}{a_1} \right| A^2 = \frac{1}{32} \left(\frac{A}{V_{EFF}} \right)^2 \quad (10)$$

En la práctica, la variación de la movilidad $\mu_n = \frac{\mu_0}{1 + \theta V_{EFF}}$ puede ser el factor determinante de la linealidad, en este caso

$$HD_3 = \frac{1}{16} \frac{(\theta A)^2}{[1 + \theta(V_{GS} - V_t)]} \quad (11)$$

La linealidad alcanzable con un par diferencial es normalmente mala. El uso de circuitos diferenciales y balanceados nos permite ignorar los armónicos de orden par, pero, incluso así, de acuerdo con (10) un par diferencial unipolar polarizado con una V_{EFF} de 0.2 V tendría un HD_3 del 3.13% para una señal de entrada de 0.2 V de amplitud, lo que es inadmisibile para muchas aplicaciones.

2.3. Análisis de Pequeña Señal

El par diferencial es un circuito completamente simétrico. Si bien los circuitos se diseñan para que la entrada al par diferencial sea igualmente diferencial, en la práctica efectos de segundo orden harán que la entrada tenga alguna componente de modo común. Como en pequeña señal los circuitos son lineales podemos estudiar el comportamiento del par diferencial frente a entrada diferencial y frente a entrada de modo común y sumar posteriormente ambos efectos. Veremos que, frente a una señal diferencial, el par diferencial amplifica, mientras que frente a una señal de modo común, atenúa.

Posteriormente veremos que si el circuito es idealmente simétrico, una entrada de modo común no produce variación de la señal diferencial ni viceversa. Sin embargo, la presencia

de desapareamientos provoca un acoplamiento entre ambos modos que es indeseable. Una medida de este acoplamiento entre modos es el Rechazo al Modo Común.

2.3.1. Entrada Diferencial

Los circuitos en pequeña señal son lineales. Como el par diferencial de la Figura 1b es simétrico, la influencia, a través de M_1 , de una variación positiva de v_{IN}^+ sobre la tensión de fuente común v_X , será la misma, pero de sentido contrario, que tendrá una variación negativa de v_{IN}^- a través del transistor M_2 . En consecuencia, siempre que la señal sea diferencial y el circuito simétrico, el nodo de fuente común X no tendrá variaciones en su tensión de pequeña señal, o lo que es lo mismo, $v_X = 0$. Esto nos conduce al modelo de pequeña señal de la Figura 2.

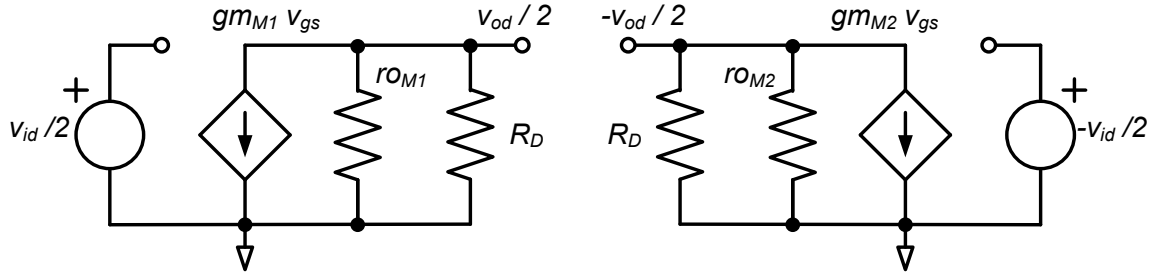


Figura 2. Modelo de pequeña señal del par diferencial frente a entrada diferencial

Como ambas ramas del par diferencial en el modelo son idénticas, podemos estudiar una sola de ellas para concluir que:

- a) la ganancia de pequeña señal del par diferencial viene dada por

$$A_{dd} = v_{od} / v_{id} = - gm (r_o || R_D) = - gm r_{od} \quad y \quad (12)$$

- b) la resistencia de salida viene dada por

$$r_{od} = r_o || R_D \quad (13)$$

Nótese que la transconductancia del par diferencial coincide con la transconductancia de los transistores que forma el par diferencial. A la vista de la Figura 2 y las expresiones (12) y (13) cabe preguntarnos cuál es la diferencia entre un par diferencial y dos amplificadores en fuente común enfrentados, como los representados en la Figura 3. Para hallar la respuesta debemos volver a consideraciones de polarización. Siempre que se cumpla la expresión (3), la corriente de polarización de los transistores del par diferencial es $I_B/2$, independientemente de V_{IN} . No ocurre lo mismo en los transistores de la Figura 3, cuya corriente de polarización (despreciando la modulación de longitud del canal) viene dada por

$$I_{M1} = I_{M2} = \frac{\mu_n C'_{ox}}{2} \frac{W}{L} V_{EFF}^2 \quad (14)$$

y crece, por tanto, con el cuadrado de V_{IN} .

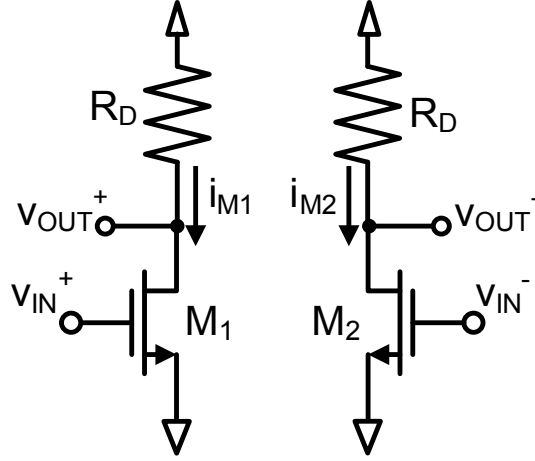


Figura 3. Par de amplificadores en fuente común con entrada diferencial

2.3.2. Entrada en Modo Común

Consideremos ahora el par diferencial de la Figura 1b ante una entrada de modo común. Nuevamente, al ser un circuito simétrico, la influencia, a través de M_1 , de una variación positiva de v_{IN}^+ sobre la tensión de fuente común v_X , será la misma, y del mismo sentido, que la que tendrá la misma variación positiva de v_{IN}^- a través del transistor M_2 . En consecuencia, siempre que la señal sea de modo común y el circuito simétrico, el nodo de fuente común X tendrá una variación en su tensión de pequeña señal que es doble de la que tendría si tan sólo existiera una en el par diferencial. El mismo efecto se consigue si sólo ponernos una de las ramas del par diferencial con una carga de valor doble en el nodo X . Esto nos conduce al modelo de pequeña señal de la Figura 2, donde r_B es la resistencia de pequeña señal equivalente de la fuente I_B .

Del modelo de la Figura 4 resulta:

$$A_{cc} = \frac{v_{ocm}}{v_{icm}} = - \frac{gm R_D}{1 + 2 gm r_B + \frac{2 r_B}{r_o}} \approx - \frac{R_D}{2 r_B} \quad (15)$$

Conviene que esta ganancia sea pequeña, a fin de que variaciones en el modo común de entrada no produzcan variaciones significativas en la salida. De ahí que sea importante diseñar una buena fuente de corriente de cola para el par diferencial. Esto normalmente se consigue realizando la fuente de corriente mediante un espejo cascode y procurando que los transistores del espejo permanezcan en saturación.

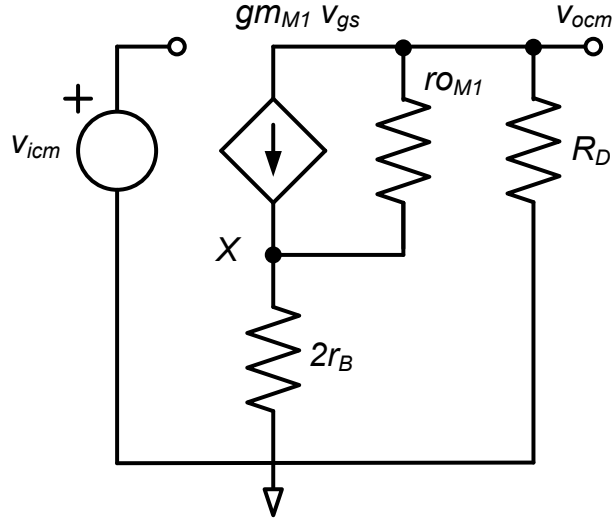


Figura 4. Modelo de pequeña señal del par diferencial frente a entrada en modo común

Nuevamente vemos el diferente comportamiento del par diferencial de la Figura 1b y del par de amplificadores en fuente común enfrentados de la Figura 3, cuya ganancia de modo común es igual a su ganancia de modo diferencial, es decir: $A_{cc}=v_{ocr}/v_{icm} = -gm(r_o || R_D)$.

2.3.3. Desapareamientos

Hasta ahora hemos supuesto que el par diferencial es completamente simétrico. Las asimetrías producen efectos indeseados como la tensión de offset o un rechazo a modo común finito.

a. Causas

El desapareamiento aparece como consecuencia de las tolerancias en el proceso de fabricación. Para el circuito de la Figura 1b el desapareamiento puede aparecer en la resistencia de carga o en los parámetros del transistor, de forma que, en la práctica

$$\begin{aligned} R_{D1} &= R_D (1 + \Delta R_D / R_D), \quad K_{M1} = K (1 + \Delta K / K) \text{ y } V_{TM1} = V_T (1 + \Delta V_T / V_T) \\ R_{D2} &= R_D (1 - \Delta R_D / R_D), \quad K_{M2} = K (1 - \Delta K / K) \text{ y } V_{TM2} = V_T (1 - \Delta V_T / V_T) \end{aligned} \quad (16)$$

donde $K = \mu_n C'_{ox} W/L$ es la ganancia del transistor

El desapareamiento se minimiza con un cuidadoso layout del circuito (que respete estrictamente las simetrías tanto en el trazado de los dispositivos, como en sus interconexiones, incluyendo los parásitos), aumentando el tamaño de los dispositivos y reduciendo la distancia entre los dispositivos apareados. Para un número elevado de muestras el desapareamiento puede ser considerado un proceso aleatorio cuya media debería ser cero y su desviación típica, en primera aproximación, consta de dos términos, el

primero es inversamente proporcionalmente al tamaño del dispositivo y el segundo es proporcional al cuadrado de la distancia entre los dispositivos apareados, es decir:

$$\sigma_{\Delta P,1}^2 = \frac{S_{P,1}}{WL} + D^2 S_{P,g} \quad (17)$$

donde $S_{P,l}$ y $S_{P,g}$ son constantes de la tecnología para el parámetro P [5].

b. Efectos del desapareamiento: Tensión de offset

Definimos la tensión de offset V_{OFF} como el valor de la tensión diferencial de entrada con la que debemos polarizar al par diferencial para que su salida diferencial sea cero. Está claro que, en ausencia de asimetría, $V_{OFF} = 0$.

En presencia de asimetrías:

$$\Delta R_D : v_{OD} (v_{IN}^+ = v_{IN}^-) = \frac{I_B}{2} \Delta R_D \Rightarrow V_{OFF} = \frac{I_B/2}{gm} \frac{\Delta R_D}{R_D} \quad (18)$$

$$\Delta V_T : V_{TM1,2} = V_T \pm \frac{\Delta V_T}{2} \Rightarrow V_{OFF} = \Delta V_T \quad (19)$$

$$\Delta K : i_{1,2} = \frac{I_B}{2} \left(1 \pm \frac{\Delta K}{K} \right) \Rightarrow V_{OFF} = \frac{I_B/2}{gm} \frac{\Delta K}{K} \quad (20)$$

Sumando las distintas componentes

$$V_{OFF} = \Delta V_T + \frac{I_B/2}{gm} \left(\frac{\Delta R_D}{R_D} + \frac{\Delta K}{K} \right) = \Delta V_T + \frac{V_{EFF}}{2} \left(\frac{\Delta R_D}{R_D} + \frac{\Delta K}{K} \right) \quad (21)$$

c. Efectos del desapareamiento: Rechazo al Modo Común

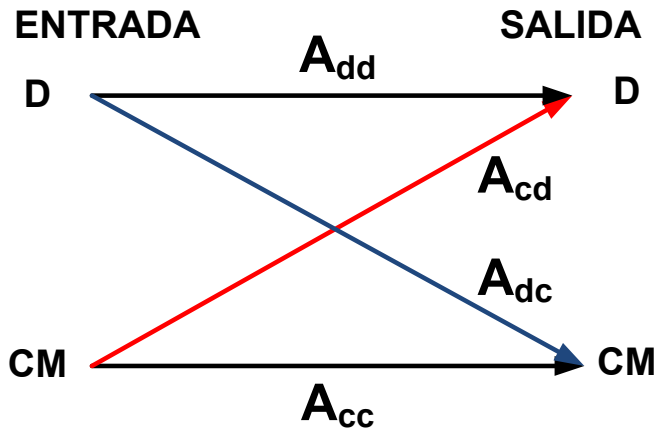


Figura 5. Esquema de ganancias entre los modos diferencial y común en la entrada y la salida de un par diferencial

La Figura 5 muestra de manera esquemática las cuatro ganancias posibles entre la salida y la entrada en los modos diferencial y común de un par diferencial. De las cuatro ganancias posibles, las ganancias directas (A_{dd} y A_{cc}) ya se han estudiado. Es fácil comprender que, en un circuito completamente diferencial (en pequeña señal), las ganancias cruzadas (A_{cd} y A_{dc}) son nulas. Sin embargo, la presencia de desapareamientos da lugar a ganancias cruzadas no nulas. Si bien las dos ganancias cruzadas son indeseables, la ganancia A_{dc} suele ser tener poca importancia, ya que pequeñas las variaciones del modo común en la salida no afectan (en primera aproximación) al modo diferencial, que es el que contiene la información. Además los circuitos de control de modo común (si son suficientemente rápidos) suelen compensar dichas desviaciones. Sin embargo, la ganancia cruzada A_{cd} es muy peligrosa, ya que variaciones en el modo común de entrada (que pueden o no ser independientes de la señal) producirán variaciones en el modo común de salida, modificando la información allí contenida.

Se denomina Rechazo al Modo Común o *CMRR* (Common Mode Rejection Ratio en inglés) al cociente:

$$CMRR = \left| \frac{A_{dd}}{A_{dc}} \right| \quad (22)$$

Nótese que, en el caso ideal, $CMRR = \infty$.

Vamos a calcular ahora el valor del *CMRR* debido a un desapareamiento en las resistencias de carga R_D (de igual manera se haría frente a un desapareamiento en los parámetros de los transistores de entrada)

$$\frac{v_o^+}{v_{icm}} \approx -\frac{1}{2r_b} \left(R_D + \frac{\Delta R_D}{2} \right) \text{ y } \frac{v_o^-}{v_{icm}} = -\frac{1}{2r_b} \left(R_D - \frac{\Delta R_D}{2} \right) \rightarrow A_{cd} \approx -\frac{\Delta R_D}{2r_b} \quad (23)$$

de donde

$$CMRR = 2 gm r_b \frac{R_D}{\Delta R_D} \quad (24)$$

Nótese que, si multiplicamos el *CMRR* debido al desapareamientos en las resistencias con el offset debido a la misma causa, resulta $CMRR \cdot V_{OFF} = 2 gm r_b \frac{R_D}{\Delta R_D} \cdot \frac{I_B/2}{gm} \frac{\Delta R_D}{R_D} = I_B$, que es una constante del circuito, lo que pone de nuevo de manifiesto que ambos efectos tienen la misma causa.

2.4. El par diferencial con carga activa

Volvamos a la expresión de la ganancia de pequeña señal (12). Para una tensión efectiva de puerta de 0.4 V, una corriente de polarización del par diferencial $I_B = 200 \mu A$ y una resistencia de carga $R_D = 1 k\Omega$, la ganancia diferencial viene dada por:

$$A_{dd} = -gm (r_o \parallel R_D) \approx -gm R_D = - (2 (I_B/2) / V_{EFF}) R_D = - 0.5 \quad (25)$$

ganancia que resulta muy pequeña para la mayor parte de las aplicaciones. Si queremos una ganancia de 50 para la misma corriente de polarización necesitaríamos aumentar la resistencia de carga hasta 100 kΩ. Este nuevo valor de R_D exigiría una tensión de alimentación, como mínimo superior a la caída DC en la resistencia, que sería de 10 V, lo que es incompatible con las tecnologías actuales que limitan la tensión de alimentación por debajo de los 2 V.

Parece pues, que la limitación de la tensión de alimentación que existe en las tecnologías actuales, limita las ganancias alcanzables a valores muy bajos (en torno a 10). Este problema de polarización puede resolverse mediante el empleo de cargas activas. En efecto, el espejo que constituye la carga en el circuito de la Figura 1c es capaz de proporcionar una resistencia elevada de pequeña señal (del orden de varias decenas de kΩ) con tensiones de polarización tan bajas como V_{DS}^{SAT} que puede ser tan pequeño como 0.2 V. Para aclarar este concepto, la Figura 6 muestra la tensión DC que requerirían el transistor pMOS de un espejo dispuesto como carga activa y una resistencia pasiva R_D que tuvieran la misma resistencia de pequeña señal para proporcionar una corriente de paso igual a $I_B/2$.

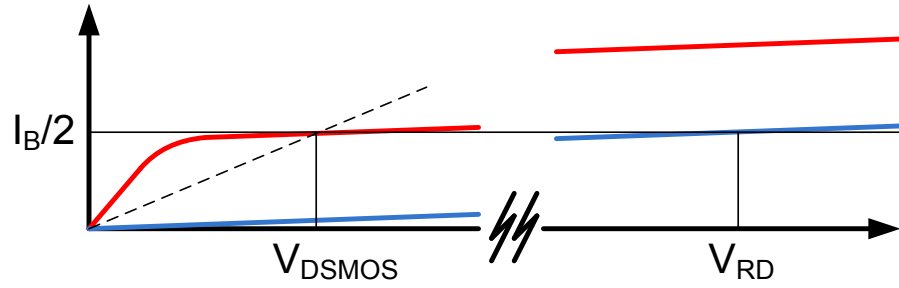


Figura 6. Diferencias entre carga activa y carga pasiva

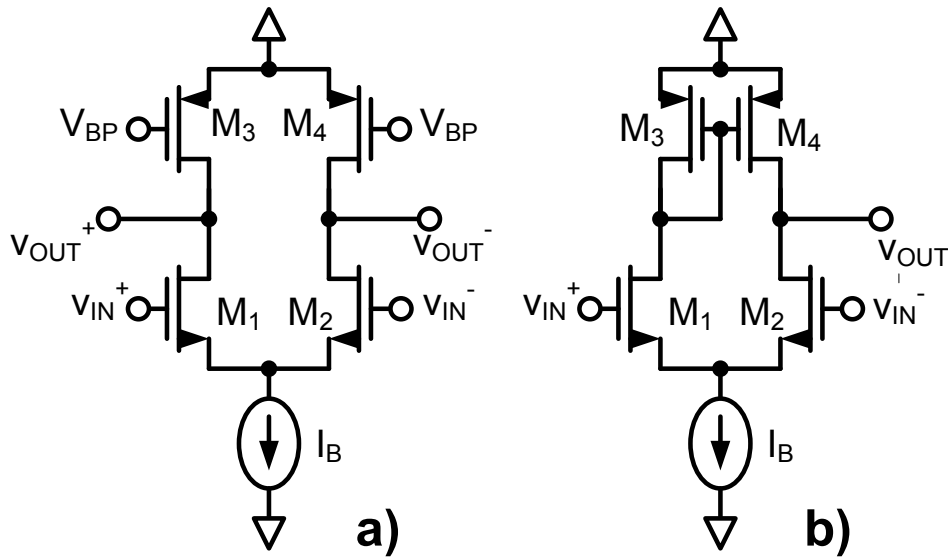


Figura 7. Par diferencial con carga activa: a) salida diferencial, b) salida unipolar.

La Figura 7 muestra dos realizaciones del par diferencial con carga activa. En la primera realización la salida es diferencial. En la segunda, la corriente que viaja por el transistor M_3 se copia en el transistor M_4 , de forma que en el nodo de salida se obtiene la diferencia entre las corrientes que atraviesan M_1 y M_2 .

Todas las expresiones de pequeña señal obtenidas hasta este momento para un par diferencial con carga pasiva son igualmente válidas para un par con carga activa. Tan sólo dejan de ser válidas algunas aproximaciones (como la de desprestigiar la resistencia de salida del transistor MOS cuando queda en paralelo con la resistencia de carga).

La elevada resistencia de pequeña señal de una carga activa presenta un problema adicional que no hemos tenido en cuenta hasta ahora. Los nodos de salida en el circuito de la Figura 7a tienen ahora una elevada impedancia, lo que les hace muy sensibles a cualquier desviación entre la corriente de polarización del par diferencial y la suma de las corrientes de los transistores pMOS que actúan como carga. Cualquier pequeña desviación produciría un desplazamiento enorme de la tensión de polarización de salida que la podría llevar a sus valores extremos (V_{DD} o tierra). Para evitar ese efecto indeseable es necesario disponer de un circuito auxiliar de control del modo común de salida.

Es necesario indicar aquí que una elevada impedancia de salida no es muy útil para un amplificador en tensión. Pero no hay que alarmarse, veremos en su momento que la realimentación adecuada de un amplificador de tensión reduce su impedancia de salida hasta valores aceptables. Nuevamente la realimentación nos proporcionará una solución a este problema.

Por otra parte, los pares diferenciales también pueden usarse como amplificadores operacionales de transconductancia (OTAs), también llamados transconductores, que son circuitos que transforman tensión (normalmente diferencial) en corriente. En este caso la impedancia de salida debe ser muy elevada. Estos circuitos trabajan sin realimentación (al menos sin una realimentación externa), pero, como ya hemos dicho, una impedancia de salida elevada no es un problema en este caso. Los OTAs, sin embargo, al no tener realimentación externa, sufrirán de una mala linealidad: Más adelante veremos cómo atacar este problema.

3. Aumento de Ganancia

El par diferencial es la estructura sobre la que montaremos el amplificador operacional, que es, básicamente un circuito realimentado. En su momento veremos que la realimentación sólo es efectiva cuando el amplificador en bucle abierto tiene una elevada ganancia.

En muchos casos la ganancia del par diferencial simple no es suficiente y se requiere el empleo de técnicas de aumento de la ganancia. En este caso caben dos aproximaciones. En la primera se mantiene la estructura de una única etapa, pero se incluyen técnicas de aumento de ganancia en el par diferencial. En la segunda, se añaden etapas de ganancia en

cascada. Cada aproximación tiene sus ventajas e inconvenientes que discutiremos más adelante. Empezaremos por la primera aproximación.

3.1. El par diferencial cascodeo

Observando la expresión (12), para aumentar la ganancia podemos aumentar la transconductancia del par diferencial (o lo que es lo mismo, la de sus transistores de entrada) o su resistencia de salida. Recordando que $gm = 2I_D / V_{EFF}$, un aumento de la transconductancia requiere un aumento de la corriente de polarización o una disminución de la tensión efectiva. Por mucho que queramos disminuir la tensión efectiva de puerta, valores inferiores a 0.2 V no son adecuados, pues llevarían al transistor MOS al borde la zona óhmica, en la que dejan de ser válidas las expresiones anteriormente obtenidas y, para las mismas corrientes de polarización, bajarían las ganancias. En la práctica, los diseñadores analógicos escogen V_{EFF} entre 0.2 y 0.3 V. Aumentar la corriente de polarización es algo indeseable porque aumenta el consumo. Esto hace que, en la práctica, con un simple par diferencial no sea posible alcanzar ganancias superiores a 100.

Para aumentar la ganancia por encima de este límite nos queda aumentar la resistencia de salida. Una técnica sencilla de aumentar la resistencia de salida es colocar un transistor cascodeo, como se muestra en la Figura 8a. La presencia del transistor cascodeo incrementa la resistencia de salida del transistor M1 (M2) aproximadamente en $gm_5 r_{o5}$. Nótese que el espejo que actúa como carga debe ser también cascodeo, por lo que su resistencia de salida aumenta de la misma manera en $gm_7 r_{o7}$. Por tanto, en el par diferencial cascodeo

$$A_{dd} = v_{od} / v_{id} = - gm_1 r_{od} \quad (26)$$

donde la resistencia de salida viene dada por

$$r_{od} \approx (r_{o1} gm_5 r_{o5}) \parallel (r_{o3} gm_7 r_{o7}) \quad (27)$$

pudiendo llegar a obtenerse ganancias del orden de 10.000.

El circuito de la Figura 8b es similar al de la Figura 8a. Tan sólo los transistores M_9 y M_{10} han plegado la corriente de los transistores M_1 y M_2 . Ahora hay menos transistores que lleven señal entre alimentación y tierra, lo que permite tener una menor tensión de alimentación, y, lo que es más importante, permite que los modos comunes de entrada y salida sean iguales. Como inconveniente, los transistores M_9 y M_{10} deben llevar la corriente necesaria para mantener polarizadas las ramas de entrada y de salida, por lo que aumenta el consumo estático respecto del circuito de la Figura 8a.

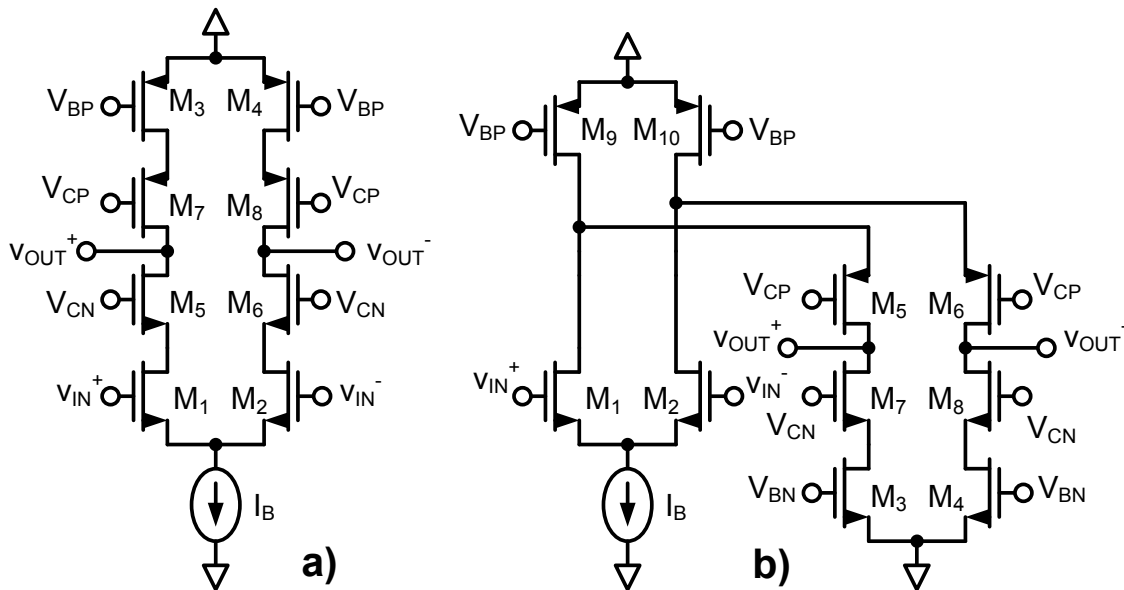


Figura 8. Par diferencial cascode: a) telescópico, b) plegado.

La solución cascode es una solución muy elegante, que permite aumentar la ganancia del par diferencial sin sacrificar su comportamiento en frecuencia. Desgraciadamente, la resistencia de salida aumenta en la misma proporción que la ganancia, llegando a ser de varios MΩ. Veremos más adelante que al aumentar en la misma proporción la ganancia y la resistencia de salida del amplificador en bucle abierto, la resistencia de salida del amplificador realimentado sigue siendo prácticamente la misma. Por ello este tipo de circuitos se emplea normalmente para atacar cargas capacitivas que son las únicas que tienen una impedancia muy alta en bajas frecuencias. Conviene destacar, no obstante, que en los circuitos CMOS las impedancias de entrada son normalmente de tipo capacitivo (ya sean capacidades o puertas de transistores MOS), por lo que el par diferencial cascode es muy empleado como amplificador operacional en la tecnología CMOS.

El aumento de ganancia tampoco será un problema si el par diferencial trabaja como un transconductor (OTA), en aplicaciones que se verán más adelante.

3.2. El amplificador de dos etapas

La otra manera de aumentar la ganancia consiste en añadir etapas de ganancia en cascada (Figura 9). Las primeras etapas deben proporcionar elevada ganancia, aunque su rango de salida es limitado. Por el contrario, las últimas etapas deben tener un rango elevado de salida.

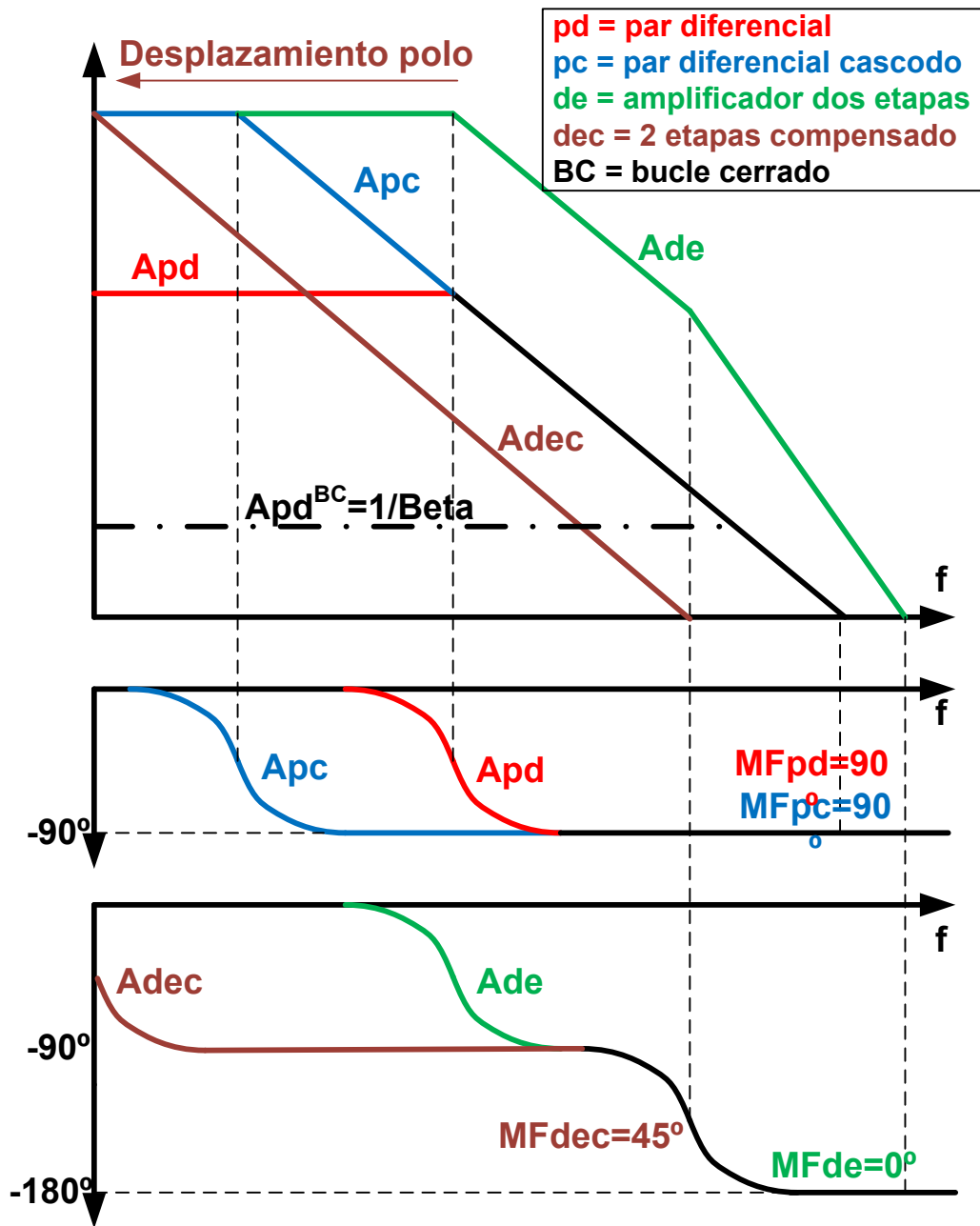


Figura 11. Diagrama de Bode del par diferencial (pd), par diferencial cascode (pc), amplificador de dos etapas (de) y amplificador de dos etapas compensado (dec), en bucle abierto. También se muestra la ganancia para una red de alimentación β . En las gráficas inferiores se muestra el margen de fase para una realimentación unitaria, que es el peor caso.

Desafortunadamente los amplificadores de varias etapas presentan múltiples polos de alta impedancia (localizados a la salida de cada etapa) relativamente próximos. Cuando el circuito se realimenta, el margen de fase medido en la frecuencia de ganancia unidad es muy pequeño o negativo, lo que obliga a introducir compensación. La técnica de

compensación más popular consiste en hacer uno de los nodos dominantes (normalmente el que se encuentra a la salida de la primera etapa) añadiendo una capacidad de compensación que aumenta la capacidad equivalente en ese nodo desplazándolo a baja frecuencia (Figura 11). El valor de la capacidad de compensación puede disminuirse aprovechando el efecto Miller del resto de las etapas de ganancia (siempre que su ganancia total sea negativa). Esta técnica de compensación, inicialmente formulada para el caso de dos etapas, puede extrapolarse a múltiples etapas, dando lugar a la técnica conocida como “compensación Miller anidada” (o “nested Miller” en inglés). Estas soluciones se estudiarán en temas posteriores.

Referencias

- [1] Y.P.Tsividis. *Operation and Modeling of the MOS Transistor*. McGraw-Hill, New York: 1987.
- [2] P.R.Gray, P.J.Hurst, S.H.Lewis, and R.G.Meyer, “Analysis and design of analog integrated circuits,” 4th ed., John Wiley & Sons, New York, 2001.
- [3] M. Pelgrom, 1988.