

ADC

Usando el modulo 0 y 1 , configurar la tarjeta a la frecuencia asignada, para adquirir 6 señales analógicas a una velocidad de 1 millón de muestras por segundo, por los canales asignados y guardar los valores en un arreglo para ser enviados con un botones externos asociado al gpio D a través del protocolo de comunicación asíncrona a una velocidad de 115200 todo esto usando interrupciones.

Table 13-2. Samples and FIFO Depth of Sequencers

Sequencer	Number of Samples	Depth of FIFO
SS3	1	1
SS2	4	4
SS1	4	4
SS0	8	8

d),11,9,6,7,4,2 33MHZ 19200 -sec3,sec0,sec2

PB5	57	AIN11
PE4	59	AIN9
PD1	62	AIN6
PD0	61	AIN7
PD3	64	AIN4
PE1	8	AIN2

ADC0
SEC3 PD1-AIN6
SEC2 PD0-AIN7
SEC0 PB5-AIN11

ADC1
SEC3 PE4-AIN9
SEC2 PE1-AIN2
SEC0 PD3-AIN4

INICIALIZACIÓN ADC

1. HABILITAR RCGADC

1	R1	RW	0	ADC Module 1 Run Mode Clock Gating Control
Value Description				
0	ADC module 1 is disabled.			
1	Enable and provide a clock to ADC module 1 in Run mode.			
0	R0	RW	0	ADC Module 0 Run Mode Clock Gating Control
Value Description				
0	ADC module 0 is disabled.			
1	Enable and provide a clock to ADC module 0 in Run mode.			

PONER EN ALTO BIT 0 Y 1

2. Habilitar GPIO para los puertos que me tocaron Puerto E, D Y B

Adcssctl

SEC0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TS3	IE3	END3	D3	TS2	IE2	END2	D2	TS1	IE1	END1	D1	TS0	IE0	END0	D0
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

it/Field Name Type Reset Description

0

6

A

A

ADCSSCTL2
base: 0x4003.8000
base: 0x4003.9000
0x064
RW, reset 0x0000.0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
reserved															
RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TS3	IE3	END3	D3	TS2	IE2	END2	D2	TS1	IE1	END1	D1	TS0	IE0	END0	D0
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

t/Field Name Type Reset Description

0X0064

ADC Sample Sequence Control 0 (ADCSSCTL0)

ADC0 base: 0x4003.8000
ADC1 base: 0x4003.9000
Offset 0x044
Type RW, reset 0x0000.0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TS7	IE7	END7	D7	TS6	IE6	END6	D6	TS5	IE5	END5	D5	TS4	IE4	END4	D4
Type	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TS3	IE3	END3	D3	TS2	IE2	END2	D2	TS1	IE1	END1	D1	TS0	IE0	END0	D0
Type	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

0X00000644

Control de trigger

Seleccionar que evento inicia la conversión del adc

Se puede hacer por un timer, por software poner un bit en alto

Tiene dos módulos con 12 canales independientes

Hay secuenciador el 0 puede tomar 8 muestras el ss1 puede 4

Velocidad por default 250kmuestras por segundo

INICIALIZAR

2 LISTAS DE VERIFICACION UNA PARA CONFIGURAR LOS PINES de entradas analogicas

OTRA PARA SABER COMO SE VAN A TOMAR LAS MUESTRAS como se configura el modulo

1. SEÑAL RELOJ ADC REGISTRO RCGCADC

Solo hay dos bits el 0 es el modulo 0 y el 1 el modulo 1

Le escribo un uno desplazado 0 posiciones, o sea poner el alto el bit 1

1. Habilitar reloj para el los pines correspondientes REGISTRO RCGCGPIO

Utilizo canal 01 y 2, 4 5 6 en puertos

Table 13-1. ADC Signals (64LQFP)

Pin Name	Pin Number	Pin Mux / Pin Assignment	Pin Type	Buffer Type ^a	Description
AIN0	6	PE3	I	Analog	Analog-to-digital converter input 0.
AIN1	7	PE2	I	Analog	Analog-to-digital converter input 1.
AIN2	8	PE1	I	Analog	Analog-to-digital converter input 2.
AIN3	9	PE0	I	Analog	Analog-to-digital converter input 3.
AIN4	64	PD3	I	Analog	Analog-to-digital converter input 4.
AIN5	63	PD2	I	Analog	Analog-to-digital converter input 5.
AIN6	62	PD1	I	Analog	Analog-to-digital converter input 6.
AIN7	61	PD0	I	Analog	Analog-to-digital converter input 7.
AIN8	60	PE5	I	Analog	Analog-to-digital converter input 8.

June 12, 2014

801

Entonces debo habilitar el puerto donde esten, sea PE, PD, ETC
El registro se puede modificar 6 bits

El adc ocupa ED Y b

Reserved															
RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Reserved															
RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RW	RW	RW	RW	RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit/Field	Name	Type	Reset	Description
31:6	reserved	RO	0	Software should not rely on the value of a reserved bit. To provide compatibility with future products, the value of a reserved bit should be preserved across a read-modify-write operation.
5	R5	RW	0	GPIO Port F Run Mode Clock Gating Control
	Value	Description		
	0	GPIO Port F is disabled.		
	1	Enable and provide a clock to GPIO Port F in Run mode.		

1. AFSEL

2. Bits para las entradas del adc, es dependiendo de cada puerto, voy a modificar el afsel de los puertos que ocupo
Dependiendo de los pines que voy a ocupar tambien

1- GPIODEN poner en blanco el den del registro, porque quiero que sea analogico

Para escribir 0 es con la & y negando la mascara

- Desabilitar el asilamiento del circuito analogo, debo escribir un uno en el GPIOAMSEL , registro para cada uno de los puertos que ocupo
- En el gpio amsel se escriben unos por eso es con el or y no va negado

HABILITAR SECUENCIADORES

- ADCSSPRI , el Sec0 tiene mas prioridad que el Sec3, por prioridad primero se ejecuta el 0 con sus muestras, luego el uno

Ecada secuenciador tiene su valor,

Escoger secuenciador y el ejento que lo va

- Desabilitar el secuenciador poniendo en sero el ASEN bit en el registro ADCACTSS
Deshabilito todos al mismo tiejpmo oxof con una negacion y and
- Configurar el evento del sec con regidtro ADCMUX
Son 4 bits es un secuenciador
Le escribo 0s a todos los secuenciadores 0x0000;
- ADCTSSEL indicas los canales del muestreo
- ADCSSMUX le digo que vas a hacer

Voy a utilizar el 0 y el 1, puede tomar 8 muestras pero en el secuenciador 1 solo leere 3 muestras y en el otro las otras 3

01y 2, 4 5 6 en el segundo secuenciador. El sec no puede tener espacios vacios

- Por ccada muestra hay que configurar los bits de control de muestra, nibble es medio byte o sea 4 bits, al configurar el nibble, el bit de final debe estar en alto ADCSCTL registro ell en el primer bit ponemos 0, een el bit 1 Va 0 porque despues voy a toamr otra muestra, en el bit 2 va un 1, en el bit 3 va un 0 para que lea el canal
Entonces escribiré 0 0 1 0

En a ultima iría el 0 1 1 0 porque sería el ultimo del secuenciador ***depende que canales voy a leer en cada secuenciador

2. Si las interrupciones son usadas, hay que poner una mascara en el registro ADCIM, no utlizo ninguna interrupcion, entonces lo dejo por default escribi 4 ceros, *****el profe puso 1s
3. Habilitar el secuenciador corrspondiente, habilitaré el sec 0 y el 1

Establecer velocidad de muestreo pagina 890, por default viene 0x7, 1MSps es el valor maximo, con el registro

Registro ADCPC, se selecciona la velociad, la velocidad de las muestra no pueden excceder el vaalor anterior, porque es un tope

Utilziar un arreglo para mandar las muestras
Si quiero todas de una vez, las guardo todas, e un arreglo

ADCPsSI es el que me dice cual selector se va a ctivar por default
Pone eun while porque va a mostrar 250mil veces, se lee el registro ADCDCISM si vale 1, es porque no ha terminado de muestrear
Entonces el ciclo while comparará si tiene 0 o 1 para saber si ya terminó o no de mostrar
While, mientras ese bit valga cero todavía esta trabajando, cuando valga 1 al menos una interrupcion está trabajanddo
Todo eso se guarda en una memoria fifo, lo que se guarda primero sale primero,
El registro ADCSSOP me dicesi ya termino
Si vale 0 las muestras estan en el fifo
Si vale 1 las muestras estan en el el comparador, que todavía no ha terminado

Essta esérampd que las muestras se hayan guardando en el fifo

Al terminar debo poner en uno el vit ADCOISC

Hay que darle un delay porque si no no va a funciona, debemos esperar que funcionen
Caad que cambia algo en el ciclo while debemos darle delay, si no no va a leer bien

Debo definir la función en delay
Porque trabajo a la frecuencia de la oscilacion de la tiva (16MHz) para convertir en microsegundos y en milisegundo, ese valor cambia depende de la frecuencia a la que trabajo

SEC 0 TIENE 8 MUESTRAS PORQUE LAS MUESTRAS ENTRAN POR LOS CANALES
SEC 1 TIENE 4
SEC 2 TIENE 4
SEC 3 1