

A Low-Voltage Bandgap Reference of 450mV Output Voltage in 0.18- μm CMOS

吳奕愷, B09901088, NTUEE-senior

Abstract—A low-voltage bandgap reference of 450mV output voltage with 3.5mV voltage variation from 0°C to 100°C. The designed circuit operates directly from a 1.5V \pm 10% single supply voltage. In addition, the designed circuit achieves a 57-dB power supply rejection ratio(PSRR) in the worst case at 0°C and an average 72-dB PSRR. The power consumption is 622 μW .

I. 設計流程

最終設計之電路如 Fig. 5，以下為設計流程：

閱讀[1] 並比較所需設計之目標規格(Table 1)，發現兩者之間最大的差異在於供應電壓與製程的不同。B.Razavi 教授使用了 1V 的電壓，以及 28-nm 的製程，因此各 MOS 之尺寸都必須調整。另外，兩個 op 也是設計的主要重點。

Table 1	
0.18 μm Virtual Process	
Single supply voltage	1.5V \pm 10%
Output voltage	0.4~0.5V
Output voltage variation	<5mV from 0°C to 100°C
Power supply rejection ratio	>40dB
Power	<2mW

先大致 sweep 過不同參數的參考 MOS 元件，找出大致的 $k'_{n,p}$ 以便後續設計時參考。

接著開始設計 op A1 時，選擇使用簡單的一階 OTA。主要的設計考量是希望能夠使輸入端的 common mode voltage, V_Y 在 750mV 左右 ($|V_{BE}|$)，並使 output common mode voltage 維持

在一個適當的值，使 M1, M2, M3 能正常維持在 saturation region。同時，又必須保障整體電路的 gain 足夠，使整體電路的 PSRR 能滿足 40dB 的規格需求。考量到我們有較為寬鬆的 power budget，我們將 A1 的 tail current, I_{ss} 設為 100 μA 。為了獲得足夠的 gain，並且和[1]中同樣為了緩解 mismatch 與 noise 的效果控制 channel-length modulation，將 L 設計一足夠大的值，使 r_o 夠大。再調整 W，使 output common mode, V_P 維持在大約 800~900 mV(足夠的 $|V_{GS}|$ 使 PMOS 在 saturation region)，最終電路如 Fig. 1 所示，參數列於 Table 2：

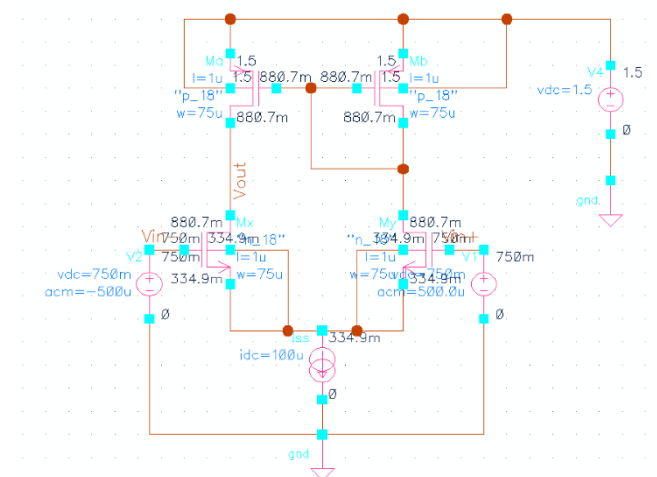


Fig. 1 The circuit configuration of op A1

Table 2	
$V_{CM,in}$	750mV
$V_{CM,out}$	880.7mV
W/L	75 μm /1 μm
DC gain	37.1dB

完成 op A1 的設計後，是 op A2 的設計。由於 A2 的 output common mode 必須比 input

common mode 少一個 $M3$ 的 $|V_{GS}|$ ，必須重新設計。選擇將 $A2$ 設計為 2 階放大器，其中第一階形同 $A1$ ，惟考量到輸出極性，須將輸出正負端設為和 $A1$ 相反。至於第二階，由於前述 common mode 考量，並已知 $V_N \cong V_Y = 750\text{mV}$ ， $V_{CM,out}$ 必須大致約設計於 200mV 以內。先嘗試使用 PMOS CS amp.，但在嘗試了 diode-connected NMOS active load 後發現，由於此結構至少必須有一跨壓 $|V_{GS}|$ ，無法使 $V_{CM,out}$ 夠低。因此改為被動電阻。接著調整輸入 MOS, M_c 的 W ，使得 $V_{CM,out}$ 滿足需求。最終電路如 Fig. 2 所示，參數列於 Table 3:

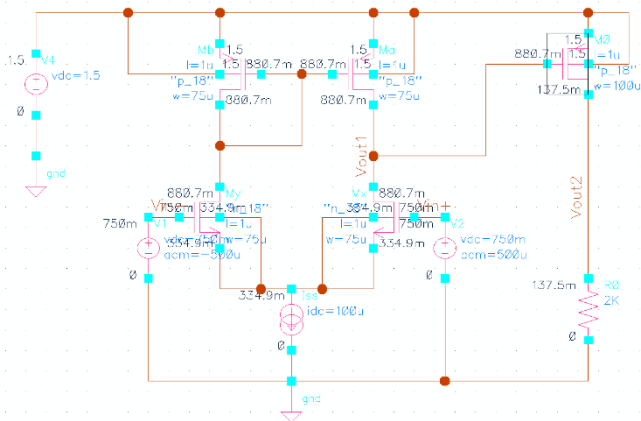


Fig. 2 The circuit configuration of op A2

Table 3	
$V_{CM,in}$	750mV
$V_{CM,out}$	137.5mV
W/L for stage1	$75\mu\text{m}/1\mu\text{m}$
W/L for stage2	$100\mu\text{m}/1\mu\text{m}$
DC gain	41.4dB

兩個 op 都設計完之後，是剩餘電路的部分。由於製程考量，選擇將剩餘的 MOS 都設定成相同尺寸，亦即 $W/L = 75\mu\text{m}/1\mu\text{m}$ 。由於我將 V_X, V_Y 設定和[1]中相仿，其餘的元件可設計和此論文中相同。然而，注意到這樣設計的結果會使得輸出電壓並不在所求範圍內，因此估計將輸出電阻 R_L 設為 $10\text{k}\Omega$ ，得到結果(一)。分析結果

(一)後，發現 V_{OUT} 略大於 500mV ，且注意到 PSRR 在高頻會衰退。因此在此結果下進而做兩個更正。

首先根據最後的“和溫度無關的電流”數值，計算出若要將 V_{OUT} 定為 450mV ， R_L 必須為 $8.95\text{k}\Omega$ 。再根據[1]，加上 lowpass filter，設計如 Fig. 3

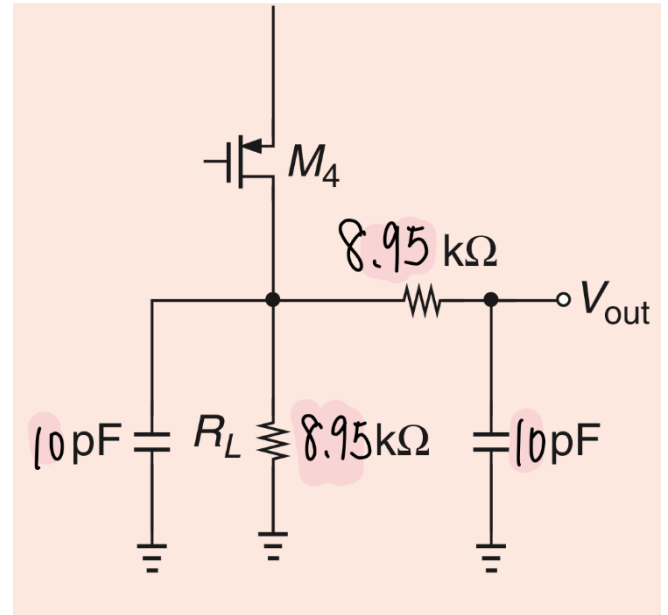


Fig. 3 The circuit configuration of lowpass filter

最終，設計電路如 Fig. 5，完成設計，得到結果(二)。

II. 模擬結果

● 結果(一)

1. 輸出電壓隨溫度變化:

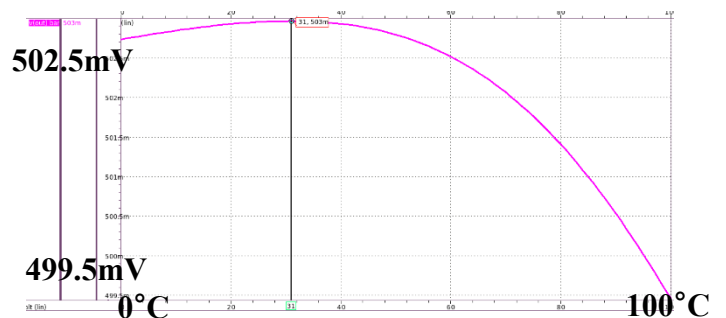


Fig. 4 結果(一)輸出電壓隨溫度變化之關係圖

可見雖 $\Delta V_{out} < 4\text{mV}$ ，但特定溫度範圍內輸

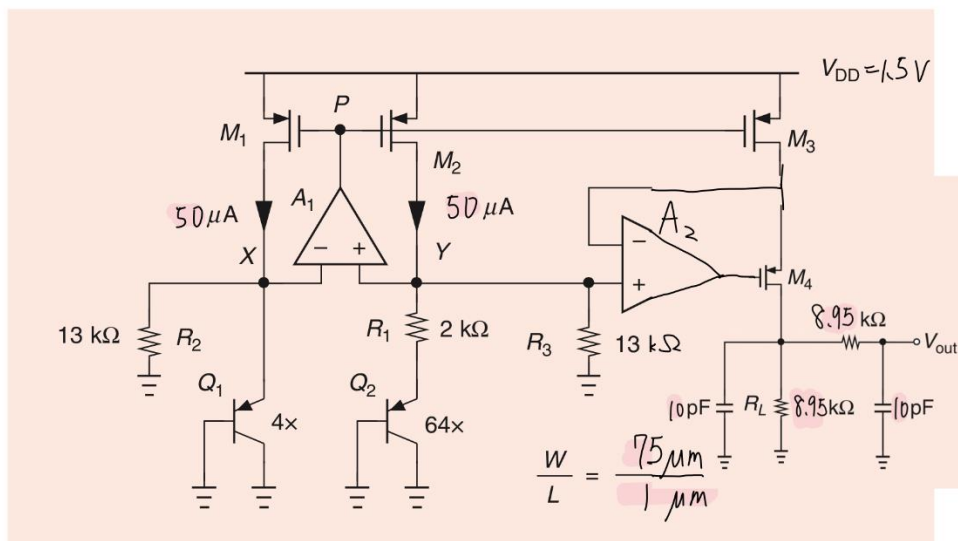


Fig. 5 The complete designed bandgap circuit.

出電壓會超出 0.5mV 上限

2. PSRR 的頻率響應(40°C)

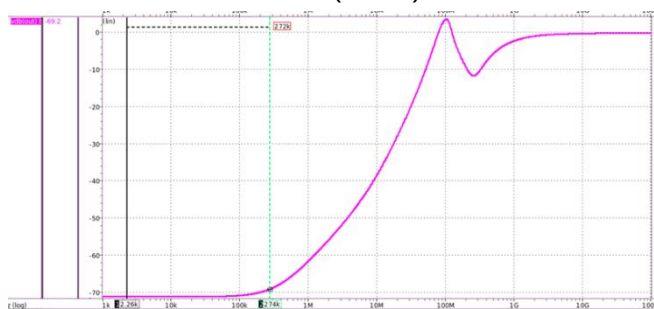


Fig. 6 結果(一) PSRR 的頻率響應

由於所採用的 PSRR 的計算方法是把 ΔV_{DD} 作為 ac 輸入，觀察輸出電壓的增益，結果會是 PSRR 的值加上一個負號。可見結果(一)之 PSRR 在高頻並不理想。

● 結果(二)

此為最終設計之電路得到之模擬結果。

1. 輸出電壓隨溫度變化:

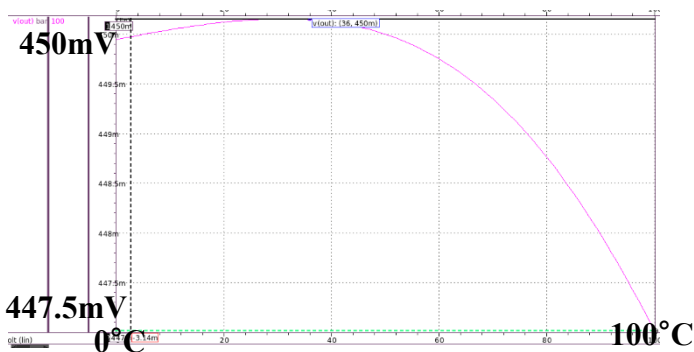


Fig. 7 結果(二)輸出電壓隨溫度變化之關係圖

最終 $\Delta V_{out} < 3mV$ ，且 V_{out} 大約在 448mV。

皆滿足規格要求。輸出電壓大約在 35°C 時最高，約為 450mV，並在 100°C 時最低，約為 447mV

2. PSRR:

在不同溫度下的 PSRR 之頻率響應如 Fig.8，低頻值如 Table 4 所示。可見在 0°C 時 PSRR 最差，但也有 57.7dB。而越高頻，PSRR 越高

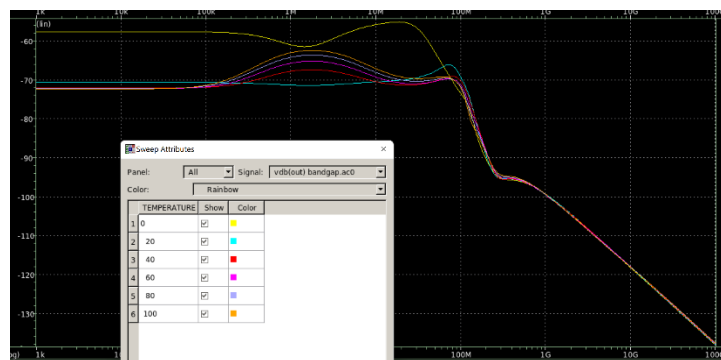


Fig. 8 結果(二) PSRR 在不同溫度下的頻率響應

Table 4

溫度(°C)/Fig. 8 中顏色	低頻 PSRR(dB)
0/黃	57.7
20/水藍	70.7
40/紅	72.1
60/粉紅	72.2
80/紫	72.2
100/橘	72.2

3. Power dissipation:

由於此電路沒有時脈訊號或開關，全為靜態耗能。根據 lis 檔中之數據，計算為 $622.5\mu\text{W}$ 。

4. 最終規格比較:

Table 1		
Property	規格	結果
Single supply voltage(V)	$1.5\pm 10\%$	1.5
Output voltage (V)	0.4~0.5	0.448
$\Delta V_{out}(\text{from } 0^{\circ}\text{C to } 100^{\circ}\text{C})$	$<5\text{mV}$	3mV
PSRR(dB)	>40	>57.7
Power (mW)	<2	0.6225

III. 總結

- 本次設計的目標為一 low-power bandgap reference，透過適當設計 A1, A2 以合理設計各偏壓點以及調整電阻值使輸出電壓符合規格，加上 lowpass filter，達成設計規格要求。
- 根據模擬結果，越低溫時 PSRR 越差，最差在 0°C 時只有 57.7dB(低頻時)。
- 輸出電壓大約在 35°C 時最高，約為 450mV，較低溫或較高溫時均有略低值。因此此電路後續可在作曲率矯正，以臻完美。
- 此電路可進一步進行 noise，offset 之分析。

IV. REFERENCES

- [1]. Razavi, The Design of a Low-Voltage Bandgap Reference, IEEE SOLID-STATE CIRCUITS MAGAZINE, pp. 6-12, Summer 2021.