

分类号_____

学号 M201172187

学校代码 10487

密级_____

华中科技大学

硕士学位论文

基于 JPEG2000 的卫星图像压缩/解压技术

学位申请人： 王振宇

学科专业： 集成电路工程

指导教师： 杨晓非 教授
姚行中 教授

答辩日期： 2013 年 5 月 29 日

**A Thesis Submitted in Partial Fulfillment of the Requirements
for the Degree of Master of Science**

**Satellite Images Compression /Decompression Technology
Based on JPEG2000**

Candidate : Wang Zhenyu
Major: Integrated Circuit Engineering
Supervisor: Prof. Yang Xiaofei
Prof. Yao Xingzhong

Huazhong University of Science & Technology
Wuhan 430074, P.R.China
May, 2013

独 创 性 声 明

本人声明所呈交的学位论文是我个人在导师的指导下进行的研究工作及取得的研究成果。尽我所知，除文中已标明引用的内容外，本论文不包含任何其他人或集体已经发表或撰写过的研究成果。对本文的研究做出贡献的个人和集体，均已在文中以明确方式标明。本人完全意识到本声明的法律结果由本人承担。

学位论文作者签名：

年 月 日

学位论文版权使用授权书

本学位论文作者完全了解学校有关保留、使用学位论文的规定，即：学校有权保留并向国家有关部门或机构送交论文的复印件和电子版，允许论文被查阅和借阅。本人授权华中科技大学可以将本学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存和汇编本学位论文。

保 密 ， 在_____年解密后适用本授权书。

本论文属于

不保密□。

（请在以上方框内打“√”）

学位论文作者签名：

指导教师签名：

年 月 日

年 月 日

摘 要

在遥感卫星系统中，卫星接收机主要负责接收卫星在太空中获得的数据，如果数据没有经过压缩，那么数据量会非常庞大，将要占据很大的信道带宽。图像压缩无疑是卫星接收系统的重要组成部分。

本文用硬件实现卫星模拟器的图像压缩与卫星接收机的图像解压缩功能。新一代图像压缩标准JPEG2000，以其优良的压缩特性和较高的抗误码率性能，已经广泛应用于航空航天领域。文章首先讨论了JPEG2000图像压缩标准的原理，包括源图像的预处理、离散小波变换、量化、熵编码等；其次设计了系统硬件实现方案，并根据方案选择了VriteX-6系列FPGA芯片XC6VLX240T和ADV212编解码芯片作为压缩系统的核心；接着根据系统要求为ADV212选择了HIPI工作模式，结合FMC标准，实现了硬件电路设计，并完成了印刷电路板的制作；然后设计了系统整体软件实现方案，包括16、24位BMP图像到YCBCR4:2:2分量图像的转换、芯片的初始化、参数配置、压缩码流的串口传输，最终实现了16、24位静态BMP图像的压缩与解压缩功能；最后分别对压缩和解压缩性能进行了分析。

最后的测试结果表明，本文设计的图像压缩编码系统基本满足要求。它可将原始的16、24位BMP图像压缩成为JPEG2000格式码流输出，也可将JPEG2000压缩码流经过解压缩得到YCBCR4:2:2格式数据输出，不论是压缩编码流还是解压缩编码流经过图像还原后，图像主观质量和信噪比都能达到较好效果。

关键词：卫星模拟器；卫星接收机；图像压缩；JPEG2000；ADV212；FPGA

Abstract

In the remote sensing satellite system, the satellite receiver is responsible for receiving the data which is captured by the satellite. If the data is not compressed, the amount of data will be very large and occupy a lot of channel bandwidth. So the data compression system is undoubtedly one of the most important part in the remote sensing satellite system.

The major idea of this paper is to develop a system of images compression and decompression for the satellite receiver. As the new generation of still image compression standard, JPEG2000 with its excellent compression features and higher resistance to ber performance have been widely used in the fields of astronautics and aerospace. Firstly, we introduces the principle of JPEG2000 image compression standard, including the preprocessing of the source image, discrete wavelet transform, quantization, entropy coding; Then the thesis describes the design and realized scheme of the systematic hardware. We choose the FPGA chip which type is Xilinx virtex6 XC6VLX240T and ADV212 as the core module. Next, according to the system requirements, we chose HIPI mode for ADV212, then realizes the hardware circuit design and the making of printed circuit boards combined with the FMC standard. Furthermore, we have designed the software implementation scheme, including the conversion of 16/24 bits BMP image to YCBCR4:2:2 component image, chip initialization, parameter configuration, the transmission of compressed code stream. Finally, we have a test on the compression and decompression system.

The results show that the system satisfy the basic needs of the project. It not only can compress 16/24 bits BMP image to JPEG2000 format but also can decompress the compressed stream to YCBCR4:2:2 stream. The reconstructed image perform well in subjective quality.

Keywords: The Satellite Simulator; The Satellite Receiver; Image Compression; JPEG2000; ADV212; FPGA

目 录

摘 要	I
Abstract	II
1 绪论	
1.1 课题来源、目的和意义	(1)
1.2 卫星图像压缩的发展现状	(2)
1.3 国内外 JPEG2000 专用编解码芯片研究状况	(3)
1.4 本文的研究内容和章节安排	(4)
2 JPEG2000 标准简介	
2.1 JPEG2000 标准的特点	(5)
2.2 JPEG2000 编解码标准框架	(6)
2.3 图像预处理	(6)
2.4 离散小波变换	(8)
2.5 量化	(10)
2.6 熵编码	(10)
2.7 本章小结	(11)
3 系统硬件设计	
3.1 硬件系统总体结构	(12)
3.2 FPGA 芯片设计	(14)
3.3 ADV212 编解码芯片简介	(16)
3.4 FMC 子卡互联结构设计标准	(24)

华中科技大学硕士学位论文

3.5	PCB 设计	(29)
3.6	本章小结	(32)
4	系统软件设计	
4.1	软件设计整体框图	(33)
4.2	RGB 转 YCBCR4:2:2 分量	(34)
4.3	ADV212 初始化	(35)
4.4	码流的传输与接收	(41)
4.5	本章小结	(43)
5	系统性能测试与分析	
5.1	图像压缩测试与分析	(44)
5.2	图像解压缩测试与分析	(47)
5.3	图像尺寸适应性测试与分析	(49)
5.4	图像压缩速度测试	(50)
5.5	本章小结	(50)
6	总结与展望	
6.1	总结	(51)
6.2	展望	(51)
	致 谢	(53)
	参考文献	(54)
	附录 ADV212 与 LPC 连接图	(57)

1 绪 论

1.1 课题来源、目的和意义

大部分卫星的主要任务就是将获得的数据从空间实时传送到地面。卫星从空间传回地面的数据主要分为两种：一是目标遥感数据，包括星上各种遥感器(如照相机、电视摄像机、多谱段扫描仪、合成孔径雷达、雷达高度计、散射计、辐射计和场强计等)获取的目标信息；二是星上设备遥测数据，主要指星上各种设备工作环境参数(气压、温度、湿度等)^[1]。

如果星上数据没有经过压缩处理，那么数据量会非常庞大，将要占据很大的信道带宽。例如一气象卫星^[2]的水平、垂直分辨率分别为 3200 和 2300，采样精度为 8 位、6 信道，那么一幅图像的数据量为 $2300 \times 3200 \times 6 \times 8 / 8 = 44.2\text{MB}$ ，按每天 20 幅计算，每天的数据量就有 $44.2 \times 20 = 884\text{MB}$ 。

从以上的例子可以看出，卫星图像数据的实时传输所产生的数据将会十分庞大，如果不经过处理将会对存储器容量和计算机的处理速度带来挑战。然而一味的考虑用扩大存储器的容量、增加信道传输率的办法来解决问题是不现实的^[3]。但是通过数据压缩技术降低原始数据量就可以很好的解决这个问题：一方面提高了传输效率，另一方面降低了所需存储器的存储空间。

图像之所以能够压缩主要有两方面原因^[4]：1 源图像的各像素之间，在行、列方向上都存在较大的相关性，因此可以采用编码算法来减少或消除这些相关性，就能实现图像的压缩。2 图像信源的数据可分为有效信息量和冗余信息量，在不损害图像有效信息量的前提下，去除冗余量，就能减小图像的数据，达到压缩的目的。

本文研究内容来源于 XX 预研基金课题“基于卫星图像的 XX”，由于卫星数据的传输速率和编码格式的不同，目前现有的卫星模拟器和卫星接收机都不能满足本课题的特定要求，因此研制符合本课题需求的卫星模拟器和卫星接收机便是本论文研究的意义所在。首先模拟卫星图像通过上位机程序从 PC 机由 PCIE 接口传到 FPGA 开发

板上，图像数据进行压缩、RS 编码、加扰、加密后向下传输。在接收端经过解密、解扰、RS 解码、解压缩后再经 PCIE 接口传输到 PC 机保存下来。

卫星模拟器和卫星接收机涉及的方面很多，包括驱动程序开发、数据采集、数据压缩、数据储存、图像编解码以及一些核心算法，这是一个很大的工程。在项目中，我主要负责图像的压缩与解压缩，其他方面的技术问题由项目组其他成员完成。

1.2 卫星图像压缩的发展现状

一幅遥感卫星图像覆盖面积往往可达几十平方公里，而且像素之间具有较小的相关性和冗余性。所以卫星图像压缩系统的性能关键在于压缩算法的选取。目前，卫星遥感图像压缩算法主要有四类：差分脉冲调制编码(DPCM)、矢量量化(VQ)、DCT以及变换编码(包括小波变换)^[6]。例如，法国的遥感卫星SPOT-1~SPOT-4 (压缩比为1.38倍)和我国的“资源二号”遥感卫星(压缩比为2倍)都是采用的DPCM编码算法。2001年法国发射的压缩比约为3倍SPOT-5遥感卫星和压缩比约为7倍的美国CLEMENTINE卫星采用的是DCT多分辨率数据压缩技术。2004年我国发射的压缩比为4倍的“探索一号”卫星采用的是JPEG算法^[7]，而同年美国的“勇气号”和“机遇号”火星探测器抵达火星表面，它们采用的是低复杂无损压缩LOCO算法^[8,9]。

但是随着分辨率的提高，对于大压缩比的数据传输系统而言，DPCM、DCT、JPEG算法已经很难满足系统要求，图像会有很大的失真。2003年土耳其发射的BILSAT-1卫星首次采用JPEG2000压缩算法，压缩比最大可达120倍。2008年，中国成功发射了神州七号载人飞船，其伴飞卫星采用的也是JPEG2000图像压缩算法，极大提高了数据存储的效率，星上大容量存储器可以连续存储多达3000多张图片。表1-1给出了国内外主要星上数据的压缩方法。

华中科技大学硕士学位论文

表1-1 国内外主要星上数据的压缩方法

时间	国家	卫星名称	压缩算法	压缩比
1980-1998	法国	STOP1-STOP4	DPCM定长编码	1.38:1
1989	苏联	PHOBOS I	Quadtree 编码	——
1989	美国	TACSAT	VQ	10:1
1994	美国	CLEMENTINE	DCT变长编码	7:1
1999	美国	IKONOS	DCT	4.2: 1
2000	中国	ZY-2	DPCM	2:1
2002	法国	SPOT-5	DCT变长编码	3:1
2003	土耳其	BILSAT-1	JPEG2000	最大 120: 1
2003	新加坡	X-Sat	熵编码	>1.62
2003	美国	“勇气号”	LOCO	——
2008	中国	神七伴飞卫星	JPEG2000	——

1.3 国内外 JPEG2000 专用编解码芯片研究状况

目前，国内外基于 JPEG2000 压缩标准的专用编解码芯片还比较少。针对 TMS320C6211 platform, Imaga Power 公司研发的基于 JPEG2000 标准的编解码处理器 JPEG2000 Encoder / Decoder 可以用于 C6XX 系列，但是它是需要付费的，而且价格昂贵。

由美国 ADI 公司推出的 ADV202 和 ADV212 芯片，是一款基于 JPEG2000 的专用编解码芯片，它既能对视频也能对静态图像进行压缩，并且能获得高质量的实时图像。ADV212 是 ADV202 的升级版，它具有更低的功耗，性能更加稳定。ADV212 具有很强的灵活性，有多种工作模式，可满足不同种类的压缩系统。

国内基于 JPEG2000 标准的编解码芯片也有很大进展。清华大学电子工程系和微

电子学研究所从 2000 年初就开始了 JPEG2000 芯片的研究工作, THJ2K 芯片结合动态内存编码技术率先采用了 SCLA 算法, 不仅降低了运算量, 而且降低了片内小波系数所需的存储空间。THJ2K 为了进一步降低边缘噪声, 而扩大了图像分片结构 (512×512)。THJ2K 和 ADV212 芯片一样都是通过预测率失真来截断压缩码流, 来控制码率。另外 THJ2K 在 120MHZ 的标准频率下, 每秒可以连续压缩 18 帧尺寸为 512×512 的 8 位 BMP 图像, 达到了国际先进水平。

1.4 本文的研究内容和章节安排

本文所研究的内容主要是图像的压缩与解压缩, 全文共六章, 各章节内容安排如下:

第一章 绪论。介绍了本课题的来源、目的及意义以及图像压缩标准发展趋势和国内外专用 JPEG2000 编解码芯片研究现状, 最后说明本文的研究内容。

第二章 JPEG2000 标准简介。讨论了 JPEG2000 图像压缩标准的原理, 包括源图像的预处理、离散小波变换、量化、熵编码等。通过分析其基本原理, 为下面研究基于 ADV212 的卫星图像压缩/解压系统奠定了理论基础。

第三章 系统硬件设计。第一, 介绍了卫星模拟器和卫星接收机硬件部分的整体设计框图。第二, 讨论了图像压缩系统的 FPGA 的选型、系统核心芯片 ADV212 的结构、原理。第三, 根据 FMC 标准和 ADV212 芯片的工作模式设计了系统连接图, 用 DXP2004 制作了 PCB 电路板。

第四章 系统软件设计。根据卫星图像压缩系统的软件流程, 讨论了 BMP 图像到 YCBCR4:2:2 的格式转化, 分析了 ADV212 的内部寄存器以及初始化流程, 最后压缩码流通过 ADV212 的 DMA 通道 1 读出, 通过卫星模拟器的串口传输到 PC 机, 来还原图像。

第五章 系统性能测试与分析。本章对图像压缩硬件部分的压缩性能、解压缩性能、图像尺寸适应性、压缩速率进行了测试与分析。

第六章 总结与展望。本章对图像压缩系统进行了总结, 并且指出目前工作的不足与有待改进的地方。

2 JPEG2000 标准简介

新一代的 JPEG2000^[12]标准放弃了 JPEG 所采用的离散余弦变换 (DCT)，改用离散小波变换 (DWT)，具有了更高的压缩率，同时支持有损和无损压缩，实现了渐进传输，同时支持“感兴趣区域”编码，而且具有较强的抗误码特性。JPEG2000 标准已经广泛应用于航天、图像处理、信号处理、信息理论和多媒体等领域中。

2.1 JPEG2000 标准的特点

作为新一代的图像压缩标准 JPEG2000，它可以对静态灰度图、彩色图进行良好的压缩，已经广泛应用于计算机、医疗、航天航空领域。相比较 JPEG 标准，它可以在比特率很低的环境中，也能获得主观图像质量较好的照片。JPEG2000 具有以下主要特点^[13]：

(1) 高压缩率

JPEG2000 的压缩性能相比 JPEG 可以提高 30~50%^[14]，同时 JPEG2000 系统稳定性好，运行平稳。

(2) 支持有损压缩和无损压缩

JPEG 标准只支持有损压缩，而不能进行无损压缩。JPEG2000 标准弥补了这一缺陷，可以同时支持有损压缩和无损压缩。由于无损压缩没有任何信息的丢失，所以对图像质量要求很高领域（如卫星图像、指纹图像等）都必须采用 JPEG2000 压缩。

(3) 实现了渐进传输^[15]

渐进传输是 JPEG2000 另一个极其重要的特征。它可以支持先传送图像边缘的数据，形成一个大体的轮廓。然后继续传数据对轮廓进行充实，在此过程中图像由模糊到清晰，这种渐进传输方式对数字通信意义重大。

(4) 支持“感兴趣区域”编码^[16]

JPEG2000 允许用户对图像上任意感兴趣区域的压缩质量进行设定。在解压缩时，用户不必对整个图像都进行解压，还可以选择指定的区域解压缩，这样不仅提高了编

码效率而且实现了交互式压缩。

(5) 较强的抗误码特性^[17,18]

在无线通信信道上，由于诸多原因（如下雨、打雷、电磁干扰等），噪声很大，这就对编码算法的纠错能力要求很高。由于 JPEG2000 标准采用了小波变换，在每一个码流截断点都要进行一次纠错，这就增强了它的抗误码性能。

2.2 JPEG2000 编解码标准框架

JPEG2000 标准编码原理是：原始图像经过预处理后，采用小波提升算法对每一个瓦片都进行离散小波变换，接着对变换后的各子带的小波系数进行量化和熵编码来进一步的消除像素之间的相关性，按照率失真最优原则，对码块进行截取，打包形成嵌入式的压缩码流。

解码和编码过程相反，解码器根据压缩码流中的数据参数，对编码器各部分都进行逆向操作，会生成原始的数据流，然后加上图像文件头信息，就可以重构图像^[19]。

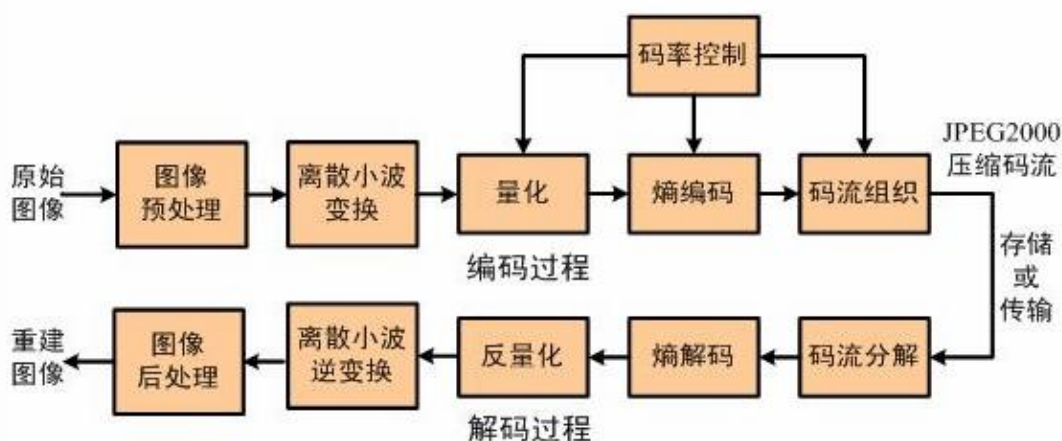


图 2-1 JPEG2000 编解码整体框图

2.3 图像预处理

图像预处理^[20]包括三部分：瓦片划分、直流电平位移、分量转换。

(1) 瓦片分割

将图像在一个参考网格下进行分割，把它分成大小相等并且互不重叠的的矩形

子块，每个子块称为一个瓦片(tile)。对每个瓦片都可以进行单独的操作，相对于以整个图像为单位进行操作，将图像分成瓦片降低了内存需求^[21]。并且可对多个 tiles 并行编码操作，减少了系统运行时间。另外在解码时，可仅针对感兴趣的图像区域进行解码，而不需要对整个图像进行解码。但并不是分块越多越好，在压缩比较高的情况下，解压缩恢复出来的图像会出现块效应。具体分割方法如图 2-2 所示。



图 2-2 瓦片分割示意图

(2) 直流电平位移

为了提高后续的自适应编码效率，数据流要进行直流电平平移。其作用就是除去图像中的直流分量，将输入图像分量的无符号样值变为关于零点对称的有符号样值，使小波变换后的系数正负概率基本相等。例如，用 N 位二进制数表示无符号的图像分量，那么这些无符号分量样本值就要减去 2^{N-1} 。

(3) 分量转换

彩色图像具有两个或更多的分量，各分量之间总会存在较大的相关性。分量变换的作用就是通过编码来减小或消去数据之间的相关性和冗余度，从而实现图像压缩的目的。在 JPEG2000 编码标准中，定义了两种不同的变换：可逆的分量变换 (RCT) 和不可逆的分量变换 (ICT)。RCT 实际上是整数到整数的变换，而 ICT 就是实数到实数的变换。RCT 变换同时支持无损压缩、有损压缩，但是 ICT 分量变换仅适用于有损压缩。这两种变换的相同点都是从 RGB 色彩空间到 YCBCR 色彩空间的转换。经过分量变换后，生成的亮度分量 Y，蓝色色度分量 CB，红色色度分量 CR 之间可以认为是相互独立的^[22]。

不可逆分量变换的公式为：

$$\begin{aligned} Y &= 0.299R + 0.587G + 0.114B \\ U &= -0.1687R - 0.3312G + 0.5B \\ V &= 0.5R - 0.4187G - 0.0813B \end{aligned} \quad (2-1)$$

可逆分量变换的公式为：

$$\begin{aligned} Y &= (R + 2 * G + B) / 4 \\ U &= R - G \\ V &= B - G \\ G &= Y - (Ur + Vr) / 4 \\ R &= U + G \\ B &= V + G \end{aligned} \quad (2-2)$$

2.4 离散小波变换

在 JPEG2000 标准编码算法中，离散小波变换算法是其核心，它可以是不可逆的小波变换，也可以是可逆的小波变换。无损压缩采用可逆小波变换，默认使用 5/3 滤波器（3 低通滤波器和 5 高通滤波器）。有损压缩采用不可逆小波变换，默认使用 9/7 滤波器（7 低通滤波器和 9 高通滤波器）。JPEG2000 中采用的离散小波算法指的是小波的提升算法^[23]，如图 2-3 所示。

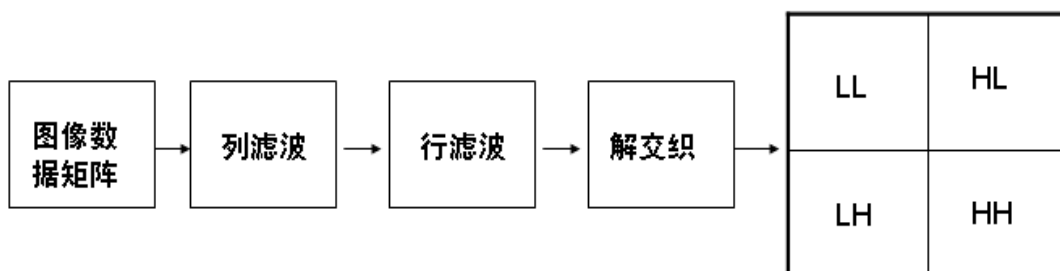


图 2-3 提升小波快速算法示意图

提升小波变换快速算法首先对输入的数据按行进行小波变换，接着按列进行垂直滤波和下采样，提取出垂直方向上的低频和高频分量。然后对数据进行水平滤波采样，这样下来一幅图像就被分解成四个子图（每个子图对应于一个子频带），第一个 LL 子带：水平方向低频和垂直方向低频；第二个 HL 子带：水平方向高频和垂直方向低频；第三个 LH 子带：水平方向低频和垂直方向高频；第四个 HH 子带：水平方向高频和

垂直方向高频。其中我们把 LL 称为低分辨率子图，HL、LH、HH 称为细节子图^[24]。由于能量在高频子带中分布的非常低，它们大部分都集中在 LL 子带中，对图像压缩很有利。

标准的提升算法包括：分裂、预测、更新三个步骤。假设数据序列是 $X[n]$ ，下面我们用小波提升算法来处理这个数据。

(1) 分裂

所谓分裂就是把数据分为两个较小的数据块。利用数据的相关性一般分为奇偶两块 $X_{\text{odd}}[n]$ 和 $X_{\text{even}}[n]$ 。

(2) 预测

预测是利用偶数序列和奇数序列之间的相关性，由其中一个序列（一般是偶序列 $X_{\text{even}}[n]$ ）来预测另一个序列（一般是奇序列 $X_{\text{odd}}[n]$ ）。预测误差为：

$$d[n] = X_{\text{odd}}[n] - P(X_{\text{even}}[n])$$

其中 P 为预测算子。

预测可以用更紧凑的形式表示原始数据，还可以在空间域中分离出信号 $X[n]$ 的高频成分。

(3) 更新

为了消去修正后 $b[n]$ 序列的高频成分，我们用预测误差 $d[n]$ 来对 $X_{\text{even}}[n]$ 进行修正，即 $b[n] = X_{\text{even}}[n] + U(d[n])$ 。其中更新算子记作 U 。经过更新后，信号 $X[n]$ 的平均值就固定不变了^[25]。

5/3 小波提升算法模型：

$$\begin{aligned} Y(2n+1) &= X(2n+1) - [X(2n) + X(2n+2)]/2 \\ Y(2n) &= X(2n) - [Y(2n-1) + X(2n+1) + 2]/4 \end{aligned} \quad (2-3)$$

9/7 小波提升算法有下面四个过程：预测、更新、再次预测和再次更新，公式分别为：

$$\begin{aligned} Y(2n+1) &= X(2n+1) - [X(2n) + X(2n+2)] \times \alpha \\ Y(2n) &= X(2n) - [Y(2n-1) + Y(2n+1) + 2] \times \beta \\ Y(2n+1) &= Y(2n+1) - [Y(2n) + Y(2n+2)] \times \gamma \\ Y(2n) &= Y(2n) - [Y(2n-1) + Y(2n+1) + 2] \times \delta \end{aligned} \quad (2-4)$$

其中: $\alpha = -1.586234342$, $\beta = -0.052990118$, $\gamma = 0.882911075$, $\delta = 0.443606852$ 。

2.5 量化

量化是有损压缩中重要的一个环节, 它主要是利用了人的视觉对色彩分辨的极限, 我们就可以通过选择合适的步长, 对小波系数进行适当的量化。经量化后的图像, 数据的精度变小, 但是不影响图像整体的主观质量, 从而进一步实现了图像的压缩。

JPEG2000 标准中采用的是均匀量化, 量化的关键就是选择合适的步长。若进行 N 级小波分解, 就可以得到 $(3N+1)$ 个子带, 虽然 JPEG2000 使用的是均匀量化, 但是不同的子带需要的量化步长各不相同。具体的算法如下:

$$q_b(u, v) = \text{sign}(a_b(u, v)) \left\lfloor \frac{a_b(u, v)}{\Delta b} \right\rfloor \quad (2-5)$$

其中 $q_b(u, v)$ 是其量化值, Δb 是量化阶, $a_b(u, v)$ 是子带 b 的变换系数。

JPEG2000 标准中, 量化与反量化模型为:

$$y = \lfloor x / \Delta \rfloor * \text{sgn}(x) \quad (2-6)$$

$$x = (y + r * \text{sgn}(y)) * \Delta \quad (2-7)$$

其中 Δ 是量化步长, r 为偏置参数, 一般是 0.5, 与对无损压缩步长选为 1。

2.6 熵编码

熵编码是用来进一步消除数据间的统计相关性。JPEG2000 标准采用的是改进的 EBCOT (带有最优截断的嵌入式块编码) 算法。EBCOT 又分为两个步骤: 一次编码和二次编码。

第一次编码主要处理对象是经量化后的小波系数。首先每个小波子带被划分为宽高都是 2 的幂数且大小相同的码块, 例如 32×32 、 64×32 、 64×64 、 128×64 。接着就可以对每个码块进行独立的编码, 这样就可以利用图像的局部统计特性, 来实现随机存取和并行处理以及减少硬件实现上的内存需求。

第二次编码主要包括三部分: 分层、打包、码流的生成。按照最优率失真的原则, 选择合适的量化步长, 对每个分块码流都进行截取后, 就生成了特定编码长度的最终的 JPEG2000 压缩码流。编码时, 要根据率失真优化算法对每一个截断点都进行计算,

最后将截断点信息同码块位流打包保存在一起，形成了嵌入式的压缩码流^[26]。

2.7 本章小结

本章从基础理论出发，详细讨论了 JPEG2000 标准。介绍了 JPEG2000 的整体框架，重点探讨了正向预处理，离散小波变换、量化、熵编码的原理，并进行了详细分析。我们可以看出 JPEG2000 的整体架构和压缩性能都优于其它压缩标准。通过基本原理的讨论，为下面研究基于 ADV212 的卫星图像压缩/解压系统奠定了理论基础。

3 系统硬件设计

本章采用的是由专用的 JPEG2000 编解码芯片 ADV212 和 Vritex-6 FPGA 组成的硬件压缩系统。首先介绍 ADV212 编解码芯片、Vritex-6 FPGA，然后讨论系统硬件的电路设计。

3.1 硬件系统总体结构

卫星模拟器和卫星接收机都是选用 Vritex-6 FPGA 为控制芯片。卫星模拟器接收来自 PC 机的 PCIE 接口传来的数据，数据由 ADV212 芯片压缩后进行 RS 编码、加扰、加密后向下传输给卫星接收机，再经过解密、解扰、RS 解码、解压缩后经 PCIE 接口传输到 PC 机保存下来。整体硬件框图如图 3-1 所示。

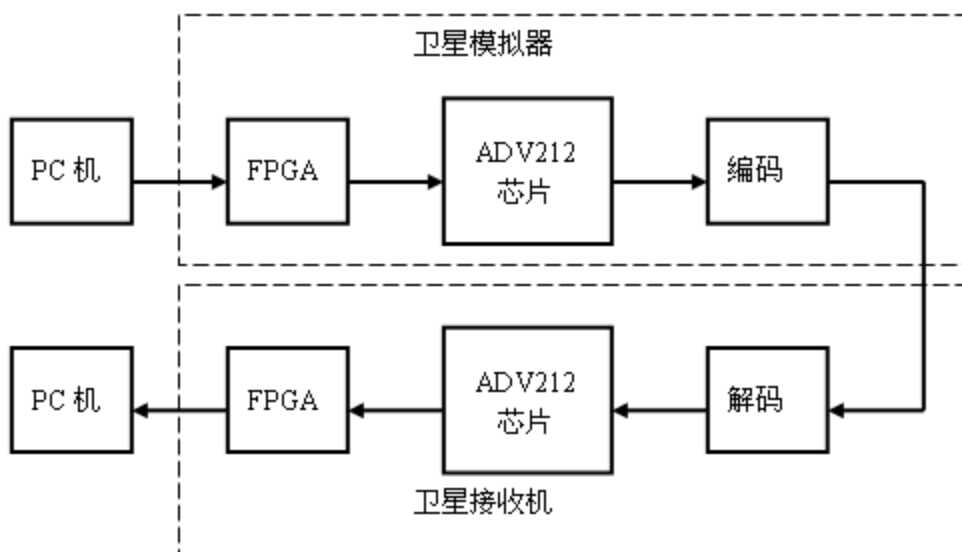


图 3-1 整体硬件框图

其中卫星模拟器工作原理如下：卫星模拟器上电后向主机发起 DMA 请求，图像数据通过 PCIE 接口从主机中发送到卫星模拟器的 DDR3 中进行存储，图 3-2 中的两片 DDR3 存储器构成一个乒乓结构。当 FPGA 通过 DMA 向 DDR3 存储器 1 中写数据时，FPGA 要从 DDR3 存储器 2 中读取图像数据并进行传输；当 FPGA 通过 DMA 通

道将取来的图像数据写满 DDR3 存储器 1 时，这时要向 DDR3 存储器 2 写数据，同时，FPGA 要开始从 DDR3 存储器 1 中读取数据，然后按照此规律交替读写数据。这里运用了乒乓操作，大大加快了系统运行速度，提高了系统效率。在进行图像压缩时，我们通过设置一个握手信号 ready 来判断图像数据的到来，当图像传来后 Ready 就变为高电平，这时 ADV212 就从 DDR3 中读取数据，进行压缩。数据传完后 Ready 就拉低，这时 ADV212 芯片就进入等待状态，这样往复循环就达到了实时压缩的目的。卫星模拟器的工作流程如图 3-2 所示。

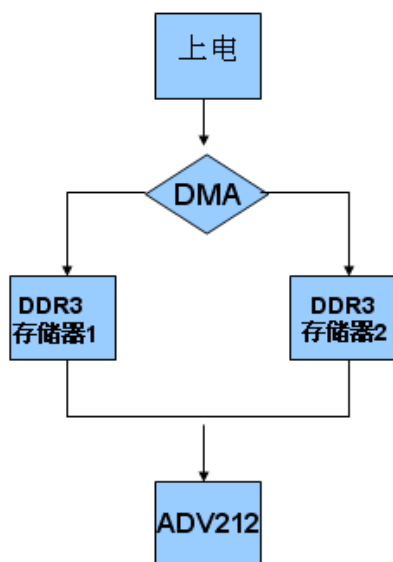


图 3-2 卫星模拟器工作流程

本文主要工作是卫星模拟器接收来自 PC 机的 PCIE 接口传来的数据，由专用 JPEG2000 编解码芯片 ADV212 进行图像压缩，然后经串口传到 PC 机上，还原成图像。

本文工作主要是实际工程应用，要满足几点要求：

- (1) 硬件方式实现基于 JPEG2000 标准的图像压缩，压缩后主观质量较好。
- (2) 满足系统要求的图像处理速率。
- (3) 压缩比可调节。
- (4) 扩展口要灵活，方便适用不同工作环境。

3.2 FPGA 芯片设计

基于 40nm 技术的 Virtex-6 系列 FPGA^[27]是 XILINX 公司推出的全新构架的 CMOS 产品，具有资源多、速度快、功耗低等优点。

Virtex-6 FPGA 系列包括三个面向应用领域而优化的 FPGA 平台，分别提供了不同的特性和功能组合来更好地满足不同客户应用的需求：

- (1) Virtex-6 LXT FPGA，应用目标：具有低功耗串行链接功能的逻辑设计。
- (2) Virtex-6 SXT FPGA，应用目标：具有低功耗高级串行链接功能的 DSP 设计。
- (3) Virtex-6 HXT FPGA，应用目标：具有串行链接功能的高带宽逻辑设计。

整个系统选用的是 Virtex-6 LXT FPGA 中的 XC6VLX240T 芯片，在 FPGA 芯片选型时主要考虑一下几个方面的内容：

(1) 逻辑资源

所谓逻辑资源就是 FPGA 芯片最上层的组成单元是可配置逻辑块 CLB (Configurable Logic Block)，通过配置 FPGA 的 CLB 就可以实现各种不同的逻辑功能。Virtex-6 系列 FPGA 中的一个可配置逻辑块 CLB 包含两个 Slice^[28]。

Virtex-6 FPGA 中每个 Slice 是由 4 个查找表 LUT (Look-Up-Table)、8 个触发器、多路转换器以及运算进位逻辑构成。通过配置 Slice，就可以获得逻辑、数学运算以及 ROM 的功能。在每个 Slice 的 8 个触发器中，可以将其中的 4 个触发器配置成锁存器，此时另外 4 个多出的触发器，必须让它们保持在未使用状态。本文所使用的 XC6V240T 芯片含有 37680 个 Slice，它们其中约 25-50% 的 LUT 用来构成分布式 RAM，或者移位寄存器。

查找表 LUT 是 FPGA 逻辑资源的最基本单元，LUT 在 Virtex-6 系列 FPGA 有两种配置方式：一是配置成 6 个输入，一个输出的 LUT；另一个就是配置成两个 5 输入，一个输出的 LUT。其实 LUT 的本质就是一个 RAM，第一种 6 输入的 LUT 就可等效成一个 6 位地址的 64 位的 RAM，第二种两个 5 输入可看成是 32 位 RAM。其工作原理就是：在进行电路设计时，FPGA 开发软件（本论文使用的是 ISE12.4）就自动生成

逻辑电路所有的可能结果，并将它们都事先写入 RAM 中存储。每当输入一个逻辑运算，就相当于输入一个地址，通过查表法，找出地址对应的响应，然后输出。

(2) 时钟管理

Xilinx 的 Virtex-6 FPGA 提供的时钟线路有五种类型，分别为 BUFG、BUFIO、BUFR、BUFH 和高性能时钟。这些类型的时钟线路具有段传播延迟、高扇出和极低偏移的优点。

FPGA 时钟类型一般有 3 种：全局时钟、局域时钟和 I/O 时钟。Virtex-6 FPGA 提供了 32 个全局时钟，具有最高的扇出，可以抵达所有触发器的时钟端、时钟使能端。每个时钟区域内部设有 12 条全局时钟线路，由全局时钟缓冲器来驱动。它们输出抖动最小、到任意触发器的延时差最小，可用于要求无毛刺的时钟多路复用以及时钟使能。全局时钟采用从 CMT 来驱动，完全的消除了基本的时钟分配延迟。本文中的时钟信号和复位信号都采用全局时钟线路。

区域时钟可以驱动本区域及其上下区域内的所有时钟目标端，而且可以提供相对较小的时钟延时。另外，Virtex-6 系列 FPGA 上的 I/O 时钟速度极快，但只能用于 I/O 逻辑电路中。

(3) I/O 引脚

Virtex-6 系列芯片 I/O 引脚数量在 240-1200 之间，不同型号数量不同，每个 I/O 引脚都可配置，并符合各种标准要求，最高电压为 2.5V。本文采用的 XC6VLX240T 芯片用户可配置的最大 I/O 引脚数量为 720。所有 I/O 引脚均按 BANK 进行分组，每个含有 40 个引脚，每个 BANK 有其统一的 V_{cc0} 输出供电电压引脚，而且这个引脚还能给特定的输入缓冲器供电。任意的 I/O 信号引脚对都能够配置成差分输入对或输出对。所有的 Virtex6 系列芯片都支持 LVDS 差分标准。

(4) Block RAM

每个 Virtex-6 FPGA 都有 156-1064 个双端口 Block RAM，不同型号的 Block RAM 数目不一样。每个 RAM 存储量为 36 Kb，而且它可拆分为完全独立的两个 18Kb Block RAM，两者可根据从 $16K \times 1$ 到 512×36 的不同纵横比进行配置。每个 Block RAM 都有两个完全独立的端口，二者只共享存储数据，我们可以在向一端写数据时，从另一

端读数据。Block RAM 主要作用为 FPGA 数据处理电路提供存储中间结果的空间。在 XC6V240T 芯片中有 416 个 Block RAM，容量为 $32K \times 1$ 位。每个 Block RAM 的端口都可以配置为 $32K \times 1$ 位、 $16K \times 2$ 位、 $8K \times 4$ 位、 $4K \times 9$ 位、 $2K \times 18$ 位、 $1K \times 36$ 位或 512×72 位^[29]。

(5) 低功耗千兆位收发器

Virtex-6 所有器件(除了 XC6VLX760)中都有可支持 8-72 个千兆位收发器 GTX。而且每个 GTX 收发器都集成了发射器和接收器两个功能，运行速率在 480Mb/s-6.6Gb/s 之间，通过采用基于 FPGA 的过采样技术，它就可以支持较低的数据速率。GTX 的发射器和接收器电路彼此是独立的，它们各自使用不同的 PLL 将参考频率输入与 4-25 之间的某一可编程数值相乘，从而形成位串行数据时钟。高速串行收发器 GTH 是一款专为支持 10Gb/s 的速率而设计的产品，也集成了发射器和接收器两个功能，可在 9.95Gb/s-11.18Gb/s 速率下运行。每个 GTX 和 GTH 收发器都有大量用户定义的特性和参数，这些特性和参数可在器件配置期间进行定义，其中许多还能在运行过程中进行修改。

(6) 针对PCI Express设计的集成接口模块

PCI Express标准^[30]是一种分组的点到点串行接口标准，差分信号传输用嵌入式时钟，消除了传统的较宽并行总线时钟到数据歪斜问题。本系统采用了8通道的PCI Express接口与PC机进行通信。

3.3 ADV212 编解码芯片简介

3.3.1 ADV212 芯片的特点

ADV212是ADI公司2006年推出的一款基于JPEG2000标准的视频和静止图像编解码芯片。ADV212采用了BGA封装，具有延迟小、功耗低，效率高等特点。ADV212和ADV202功能上大致相同，但是ADV212支持JTAG（边界扫描测试）。ADV212功耗相比ADV202至少降低了30%^[31]。ADV212通过设置内部寄存器可配置成多种不同工作模式，可满足不同系统需求。

ADV212芯片的性能和封装主要有以下特点:

(1) 视频接口直接支持ITU.R-BT656, SMPTE293M(525p), ITU.R-BT1358 (625p)等格式。任何视频格式在可逆模式下最大输入速度为40MSample/s, 在不可逆模式下最大输入速度为65MSample/s。对于MPTE274M (1080i) 或SMPTE296M (720p)视频格式, 需要两个或更多ADV212级联压缩。

(2) 单片ADV212每幅图像的采样点最多为1.048M, 采样点计算公式为: 图像采样点数= 有效垂直分辨率 \times 有效水平分辨率 \times 像素采样数(单位: MSample/s)^[32]。例如一幅尺寸为500 \times 500的YCBCR4:2:2(摄像机、数字电视等消费类视频产品中, 常用的色彩编码方案)格式的图像含有的采样点数为500 \times 500 \times 2=500000个, 小于1.048M, 故一片ADV212芯片即可完成压缩。

(3) 对于静态图像的压缩, ADV212最大可以压缩的单分量模式图像的分辨率为4096像素 \times 4096像素, 所支持的彩色图像的最大分辨率为2048像素 \times 2048像素^[33]。

(4) I/O端口电压为2.5V-3.3V, 根据本系统特定要求, 我们选用的是2.5V。

(5) ADV212芯片有两种封装^[34], 一个是具有121引脚的115MHZ的低速芯片, 另一个是144引脚的150MHZ的高速芯片, 它们都采用BGA封装。

本系统基于静态图像压缩, ADV212最大可支持的单分量图像大小为4096像素 \times 4096像素, 而系统的模拟图像源大小为4096像素 \times 128像素的16位灰度图像, 整个图像较小不需要分割。

综合ADV212的价格和系统目前的数据处理量, 我们选取速率为115MHZ的121引脚数的ADV212芯片作为压缩系统的核心。

3.3.2 ADV212 芯片的工作原理

ADV212芯片由两个图像传输接口(像素接口和主机接口)和一些模块组成, 包括小波变换引擎、嵌入式RISC处理器、存储器系统、3个熵编码器、可配置FIFO和内外DMA引擎等。

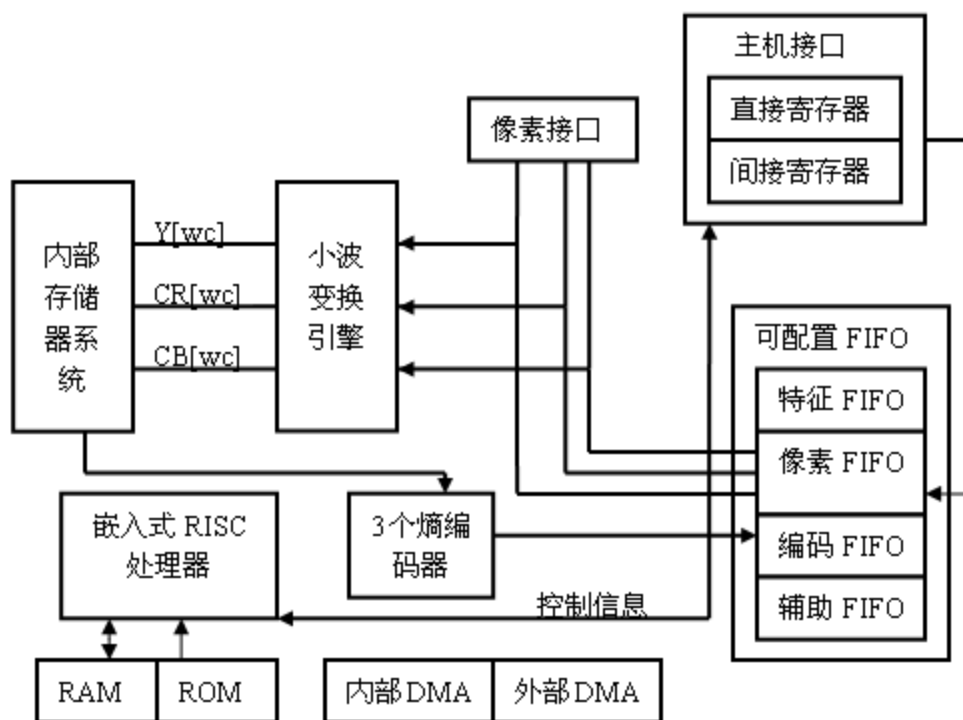


图 3-4 ADV212 压缩功能框图

ADV212 芯片压缩原理^[35]如图 3-4 所示,数据从像素接口（主要应用于视频压缩），或者从主机接口（主要应用于静态图像压缩）进入芯片，然后传送到小波变换引擎中。小波变换引擎分别将这帧图像数据的亮度分量Y、蓝色色度分量CB、红色色度分量CR通过5/3或者9/7滤波器进行小波分解，接着把生成的小波系数存到其内部寄存器中。3个熵编码器进一步将小波系数分解为用户可以定义大小的编码块（通过ADV212内部寄存器配置，一般选为64×32），并可对这些码块单元进行独立编码，使之成为符合JPEG2000标准的数据流，最后码流进入编码FIFO进行缓存。ADV212提供了8 /16 /32位宽的数据传输总线和16/32位宽的控制总线来实现对其内部寄存器的操作、配置以及压缩数据流的传输。

下面介绍一下ADV212的各个模块的作用。

（1）小波变换引擎

ADV212芯片中的小波变换引擎可以把进入芯片的图像数据通过5/3或者9/7滤波器进行高达6级的小波分解^[37]，然后将所有不同频率子带上的小波系数存到内部存储器中。

（2）熵编码器^[38]

小波变换后的子带系数被ADV212内部提供的三个专用的熵编码器进一步分解为用户可以定义大小的编码块，接着对编码块独立编码，生成压缩码流。然后再按照最优率失真对码流进行截取，并把截断信息嵌入打包成标准压缩数据流。

（3）RISC处理器

为了控制内部其它的模块，ADV212嵌入了一个32位的处理器。另外在产生JPEG2000标准码流时，RISC也起到关键作用。

（4）存储器系统

为了方便管理，编码过程中产生的小波系数、码块的截断信息、JPEG2000标准编码流以及RISC的程序和数据都被存放在内部存储器系统中。

（5）内部DMA引擎

ADV212为了实现内部数据流的高性能传输，专门设置了一个DMA引擎，对熵编码中码流的截断和高速码流的传输起到重要支撑。

（6）外部DMA引擎

外部DMA接口允许使用DREQ/DACK(数据请求/数据应答)协议来实现外部DMA与ADV212内部的FIFO的通信。ADV212为用户提供了两个DMA通道，根据需求每个DMA通道都可以指向任意的FIFO。

（7）可配置FIFO模块

FIFO主要是解决内部高速总线和低速主机接口的矛盾，起到缓冲作用。ADV212内部有4个FIFO，像素FIFO是用来存储图像分量数据(亮度分量Y、蓝色色度分量CB、红色色度分量CR)；代码FIFO主要用来缓存来自熵编码器的高速编码流；属性FIFO用于缓存编码特征数据（截断信息、失真率等）；辅助FIFO可用来缓存编码产生的辅助数据。FIFO可以由主机接口在读写周期中直接访问，也可以由外部主机DMA利用DREQ /DACK（数据请求/数据应答）协议来访问。

（8）像素和主机接口

用户可以通过VDATA总线和HDATA总线输入原始数据，也可以单独使用HDATA总线。ADV212具有多种工作模式来满足用户不同的需求，可以支持单片压缩

也可支持多片级联并行压缩^[39]。本系统采用单片主机接口，只使用32位的HDATA总线。

1) 像素接口 (VDATA总线)

视频接口支持8、10、12、16位单分量或多分量的 YCBCR 视频格式（通常来源于一个 A/D 视频译码器，例如 ADV7189B、ADV7402）或静止图像的压缩，但 ADV212 芯片只支持 YCBCR4:2:2采样格式的数据。VDATA 总线可支持多种格式视频，。下面是其可支持的视频输入输出格式：

- EAV/SAV 模式 YCBCR 在单一总线上隔行扫描的嵌入式码流。
- HVF 模式 YCBCR 在单一总线上隔行扫描的 H、V、F 独立分量视频。
- 原始视频模式 通常用于静止图像压缩和一些非标准视频的压缩。

2) 主机接口 (HDATA总线)

ADV212芯片提供有16位、32位控制总线及8位、16位、32位数据传输总线，可以和大多数的16位、32位处理器直接相连。HDATA总线通常作为静止图像的输入输出，有时也可用于输出缩后的视频数据。主机接口的像素数据支持8、10、12、14、16位的YCBCR4:2:2分量的原始像素数据。在我们的压缩与解压缩系统中，HDATA总线都是复用的，数据的输入和输出都由HDATA总线完成。为了让ADV212支持更多的不同控制数据线带宽的应用，芯片控制总线的宽度和数据总线的宽度用户可以有多重选择。用户通过主机接口可以完成对ADV212芯片的控制和以及压缩参数配置。主机接口可以由一下3个数据流共享。

- 图像原始数据（通常为YCBCR4:2:2采样格式）。
- 标准的JPEG2000压缩码流。
- 代码块的属性数据。

在压缩静态图片时，HIPI（主机接口-像素接口）是其典型的应用，在此模式中HDATA总线是复用的：既用作原始像素的输入，也用作压缩后数据的输出。本系统就是选的HIPI工作模式。HIPI模式连接图如图3-5所示。

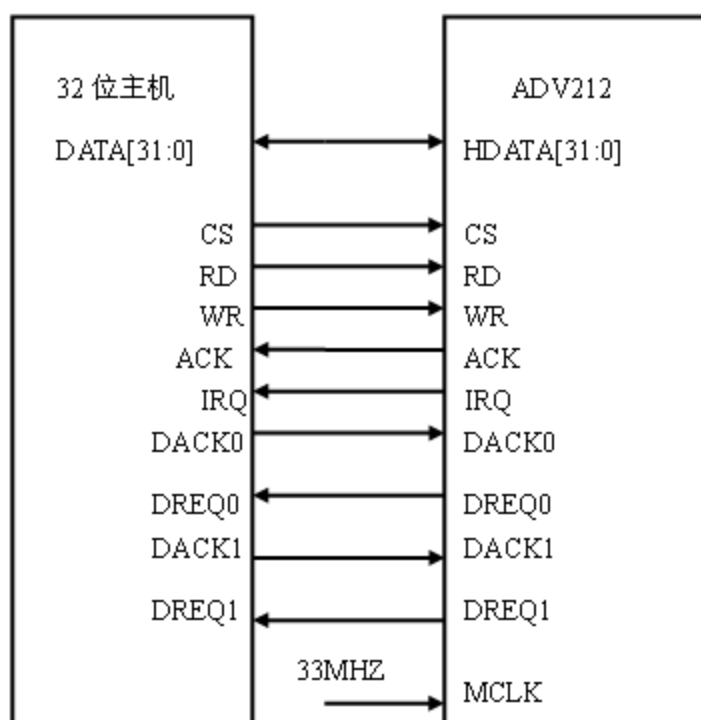


图3-5 ADV212在HIPI编码模式下的原理图

3.3.3 ADV212 芯片管脚定义

系统采用的ADV212芯片采用BGA封装，具有121个引脚。它们具体的功能如表3-1所示。

表 3-1 ADV212 引脚关系表

序号	引脚中文名称	英文名称	功能	引脚在 ADV212 的编号
1	主时钟	MCLk	为 ADV212 提供时钟，74.25MHZ，50% 占空比。	L9
2	芯片复位	RESET	当该引脚为低电平时，芯片复位。当 RESET 使用时，CS，RD，WE，DACK0，DACK1，DREQ0，DREQ1 必须保持高电平。	L7
3	读使能	RD	当该引脚为低电平时，表示 FPGA 要求从 ADV212 读数据	H9

4	写时能	WE	当该引脚为低电平时，表示 FPGA 要求向 ADV212 写数据。	J7
5	片选	CS	对 ADV212 进行读写前必须选中，低电平有效。	J8
6	DMA数据请求	DREQ0	表明 ADV212 准备发送/接收 DMA 通道 0 指定的 FIFO 数据(压缩时发送,DMA 通道 0 将像素数据写到像素 FIFO 中)。	F8
7	DMA数据响应	DACK0	从主 CPU 来的信号表明数据传送请求已经被响应，数据传输可以进行。当 ADV212 初始化完成后，DMA 通道 0 在 DREQ0 产生 3 个 MCLK 周期长度的低脉冲向 FPGA 请求中断，HDATA 仲裁/控制器检测到 DREQ0 上的下降沿后，拉低 DACK0 响应中断，并在向 HDATA 总线写入 128 个数据后拉高 DACK0 完成一次 DMA，此过程将反复进行直到一个 tile 的数据输入完成。	F9
8	DMA数据请求	DREQ1	表明 ADV212 准备发送/接收 DMA 通道 1 的数据（压缩时，接受数据，用来读出压缩数据）。	F10
9	DMA数据响应	DACK1	由主机发送来的信号，低有效时，表明数据传送请求已经被承认数据传输可以进行。	G9
10	中断请求	IRQ	当这个引脚低电平时，表示 ADV212 需要主机以中断的方式来处理数据。它可以用来表明 ADV212 内部中断的状态，中断源来自 EIRQIE 寄存器。	G10
11	响应	ACK	用于直接寄存器的访问。这个信号显示上一个寄存器访问是成功的，由于同步问题，控制和状态寄存器的访问可能导致的一个额外延迟。因此要等待 ADV212 发送确认信号，再访问另外的寄存器。但是在访问 FIFO（外部 DMA 模式），在遵守时序约束的情况下可以不等待确认信号。如果多个芯片共用 ACK，它需要接一个 10k Ω 的上拉电阻且 PLL_HI 寄存器，第 4 位，必须设为 1。	H8
12	地址线	ADDR [3:0]	ADV212 的地址线	H11, K8, H10, J9

华中科技大学硕士学位论文

13	数据线	HDATA [31:0]	ADV212 的数据线	J2,J3,J4,H1,H2,H3, H4,G4,G3,G2 ,F4, F3,F2, E2, E3, E4 D4,D3,D3,D1,C5, C4 C3, B5, B4, C2 B3,B2,B1,A2,A6, A5
14	串行通信 [0-3] [5-7]	SCOMM [0-3] [5-7]	串行通信，仅供内部使用（不用时，用 10k 电阻下拉接地）。	K3 K4 L5 K2 L3 L2
15	串行通信 4	SCOMM 4	此信号是压缩模式下 LCODE 的输出。当 LCODE 高电平有效时，这个引脚的输出 表明在一个高电平上升沿时，最后一个数 据从 FIFO 中读出。	K1
16	视频数据 的时钟	VCLK	如果视频数据输入/输出的在 VDATA 总 线上必须提供这个引脚（HIPI 不需要 VDATA 总线，像素数据输入/输出由 HDATA 总线完成）。	E9
17	视频数据 总线	VDATA	主要用来处理视频数据（没使用）。	E9
18	垂直同步	VS YNC	在视频模式下，使视频数据垂直同步 （没使用）。	D8
19	水平同步	HS YNC	在视频模式下，使视频数据水平同步 （没使用）。	D9
20	场同步	FIELD	在视频模式下，使视频数据场同步 （没使用）。	E10
21	JTAG 时 钟	TCK	JTAG 时钟，如不用需下拉接地。	J6
22	JTAG 复 位	TRS	JTAG 复位引脚，如不用需下拉接地如不 用需下拉接地。	K9
23	JTAG 串 行数据输 入	TDI	JTAG 串行数据输入，如不用需下拉接地。	L6
24	JTAG 串 行数据输 出	TD0	JTAG 串行数据输出,不使用时，此引脚悬 空。	K10
25	内核电源	VDD	驱动内核	A3, A8, D7,H7, L10

26	I/O 端口电源	IOVDD	驱动 IO 端口	B6, C6, C8, D5, E8, G8, H5, J5, K5, K6, K7
27	地	GND	芯片地	A1, A4, A9, A11, C1, C11, D6, E1, E5 to E7, E11, F1, F5 to F7, F11, G1, G5 to G7, G11, H6, J1, 11, K11, L1, L8, L11

3.4 FMC 子卡互联结构设计标准

本系统采用 Xilinx 公司推出的基于 XC6VLX240T 芯片的 ML605^[40]开发套件来实现卫星模拟器和卫星接收机的设计。该开发板资源丰富，包含系统所需的 PCIE 接口、DDR3 芯片和 Virtex-6 FPGA 芯片以及 FMC 扩展口。本文采用 FMC 扩展口与自制的带 ADV212 压缩芯片的子板连接。首先将带 ADV212 压缩芯片的子板插接到 SP605 开发板上，调通后（修改一下引脚映射）直接移植到 ML605 开发套件上。

3.4.1 FMC 标准的优点

FMC 标准^[41]旨在为载卡上的 FPGA 提供一个标准夹层卡形状，连接器和模块接口。以这种方式从 FPGA 解耦的 I/O 接口简化了 I/O 接口设计的同时能最大化加卡的重复利用率，不像 PMC 和 XMC 标准，使用复杂的 PCI, PCI-X, PCIE 或者串行 RapidIO 来与载卡连接，FMC 标准仅需要一个核心 I/O 收发电路来直接连接载卡和 FPGA。由效率转化为实质性的优势如下：

- （1）高数据吞吐率：支持高达 10Gb/s 的单独信号速率，载卡与夹层卡的潜在带宽为 40Gb/s。
- （2）延迟时间：消除了协议开销去除的延时并确保确定性数据的分发。
- （3）设计简化：不需要像 PCI, PCIE 或串行 RapidIO 的专业协议标准。
- （4）系统开销：简化系统设计，降低了功耗、IP 核开销、开发时间和材料成本。
- （5）系统可重复利用：不论是采用定制的内部电路板设计还是商业现成载卡或板卡，FMC 标准重新定位现有的 FPGA/载卡设计到新 I/O。所有的一切只需置换 FMC

模块并稍微修改FPGA设计。

3.4.2 FMC 标准的尺寸及其对应使用的连接器

FMC采用BGA封装，以前标准子卡采用的规格为69毫米×76.5毫米，现在有很多公司对于其面积上的不足做出了自己的改进。子卡面积从69mm×76.5mm增大到69mm×90mm，从而能够满足EDA对更大PCB板面积的需求求，在保持原有接口兼容特性的基础上，使得设计工作更加灵活。FMC定义了两种不同标准的连接器：LPC具有160个引脚，HPC具有400个引脚。单端和差分信号传输速率高达2Gb/s，并具有高达10Gb/s的FPGA串行连接器传输速率。FMC接口如图3-6和图3-7所示。

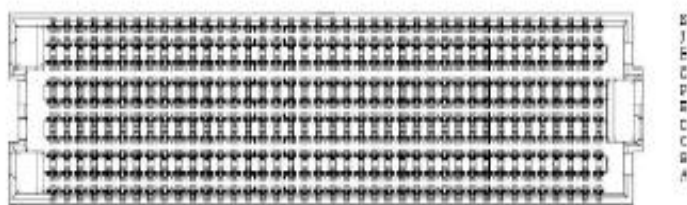


图 3-6 FMC 母卡接口图

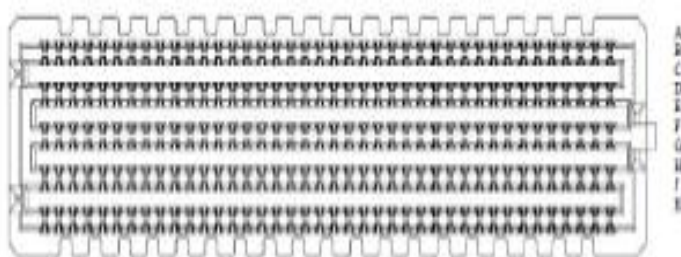


图 3-7 FMC 子卡接口图

本系统采用的是 LPC 低引脚连接器，其几何定义如图 3-8 所示

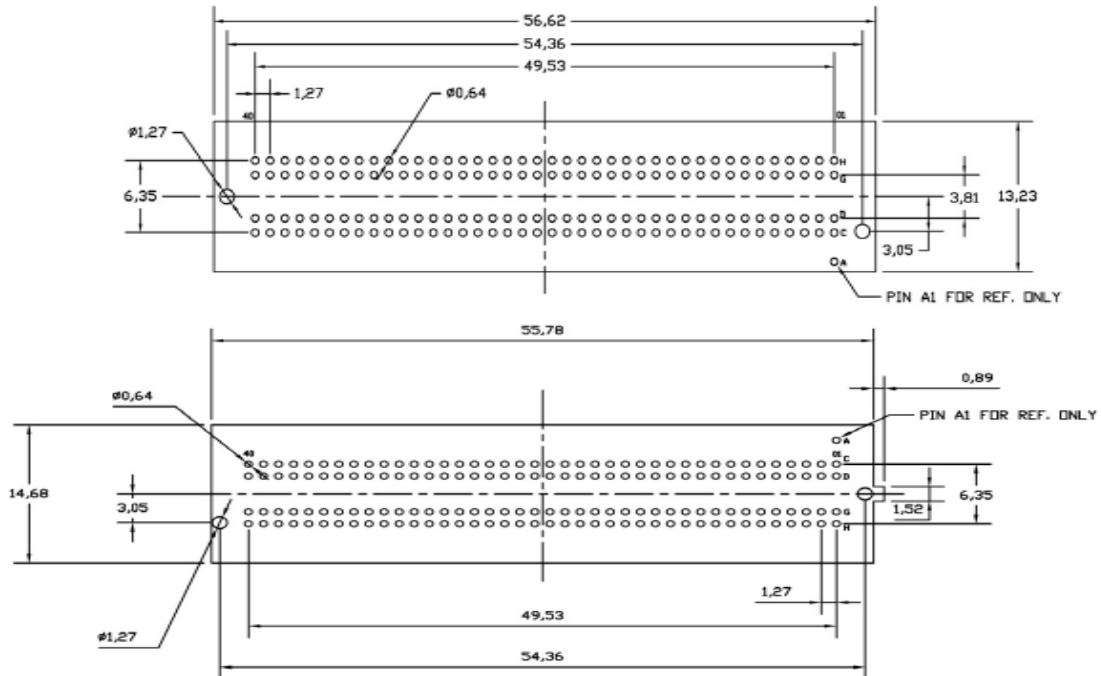


图 3-8 LPC 几何定义

LPC 标准子卡几何定义如图 3-9 所示。

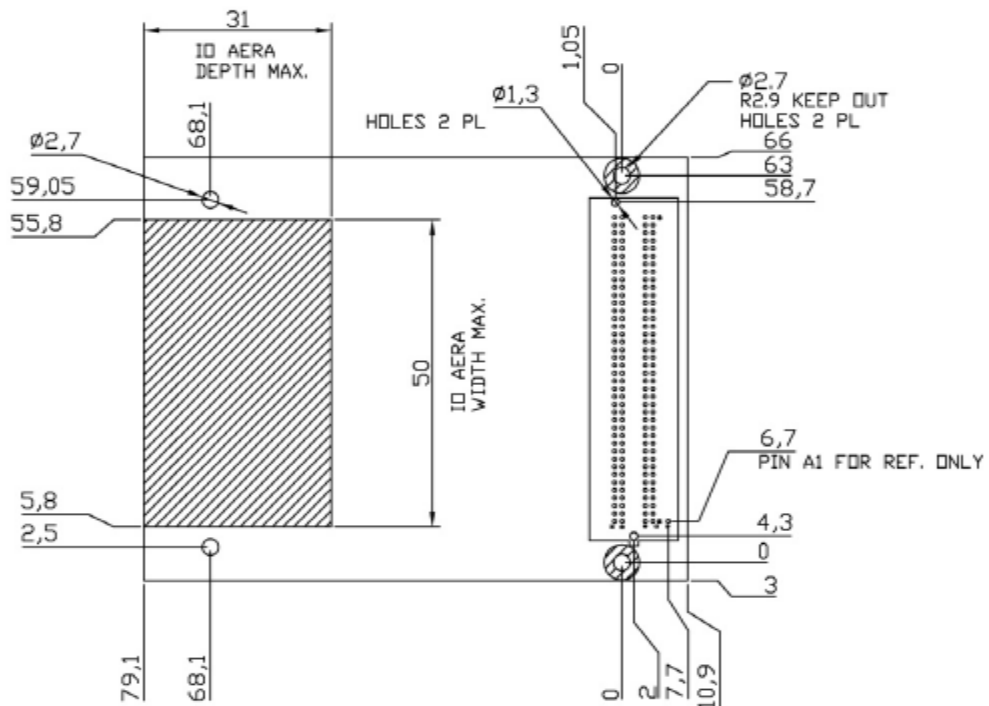


图 3-9 LPC 标准子卡几何定义

3.4.3 LPC 引脚定义

LPC 连接器除了可以提供 68 个用户定义的单端信号或者 34 个用户定义的差分对信号。下面介绍一下 LPC 上引脚的定义，如表 3-2 所示。

表 3-2 FMC 的引脚说明

序号	引脚中文名称	英文名称	说明
1	后缀信号	_C2M	表示信号是母卡传加载卡
2	_M2C 后缀信号	_M2C	表示信号是载卡传到母卡
3	_P 后缀信号	_P	表示差分信号的正分量
4	_N 后缀信号	_N	表示差分信号的负分量
5	_L 后缀信号	_L	表示是单端信号，且低电平有效。
6	_CC 后缀信号	_CC	在同步应用中，要优先做为时钟信号，他们必须连接到 FPGA 的引脚上。
7	自定义信号	LA[00..33]_P, LA[00..33]_N	表示是用户自定义信号（可用于差分 and 单端），位于 LPC 的 BANK A 上,它的电压必须 2.5V。
8	差分时钟	CLK1_C2M_P, CLK1_C2M_N	这是一对差分时钟信号，从母卡传到子卡。
9	差分时钟	GBTCLK0_M2C_P, GBTCLK0_M2C_N	这是一对差分信号，作为 DP 数据信号的参考时钟。
10	高速数据线	DP[0..9]_M2C_P, DP[0..9]_M2C_N	这些信号对,用于数十 G 速率的数据收发（ADV212 用不到这么大的速率，单端就够用）。
11	I2C 通道选择	GA[0..1]	用于为 I2C 通道选择，来提供子卡的区域地址(ML605 上面已经分别接 3.3V 电源和地)。

12	I2C 串行时钟	SCL	用来系统管理 I2C 串行的时钟 (ML605 已经处理)。
13	I2C 串行数据	SDA	用来系统管理 I2C 串行的数据 (ML605 已经处理)。
14	参考电压	VREF_A_M2C	为 BANKA 上的数据引脚提供一个参考电压，如果不需要，则悬空(LPC 上面已经悬空)。
15	子卡检测信号	PRSNT_M2C_L	这个信号用来让母卡判断是否有子卡对接，如果有子卡，这个引脚接地。
16	电压检测信号	PG_C2M	当供计的电压，VADJ,12P0V, 3P3V 满足容限要求时，在母卡上这个引脚需要用 10K Ω 电阻上拉到 3.3V 电源上。
17	辅助电源	3P3VAUX	3.3V 辅助电源
18	电源	VADJ	可调电压，从母卡向子卡提供电压（已经被固定为 2.5V，不可调）。
19	电源	3P3V	3.3V 电源，从母卡向子卡提供电压。
20	电源	12P0V	12V 电源，从母卡向子卡提供电压。

LPC 上面共有 4 排引脚，我们编号为 C、D、G、H，封装名字叫做 ASP-134604-01。由于 C、D、G、H 上面的引脚相似，下面只给出编号 C 的引脚定义图，如图 3-10 所示。

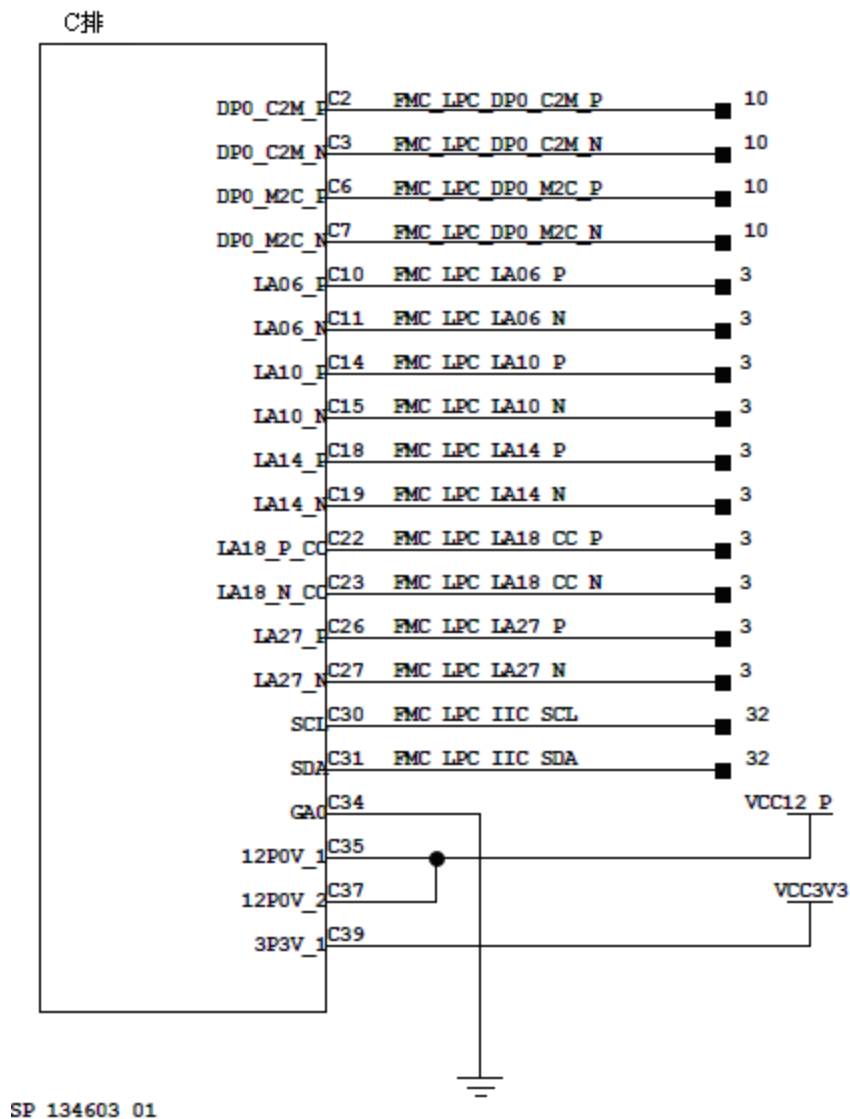


图 3-10 编号 C 的引脚定义图

3.5 PCB 设计

论文PCB设计软件采用的是DXP2004，它的设计环境十分灵活，方便了用户操作。用户只需正确的画出系统硬件原理图，进行校验后会自动生成网表文件，用户只需将生成的网表导入PCB板里面，就可以进行布局布线操作。

3.5.1 PCB 设计原则

PCB设计前，一定要确保系统原理图的正确性。我们一定要严格遵循电路的设计原则进行PCB的布局布线。对一些重要信号要特殊处理，否则系统很可能不能正常工作。电路设计原则主要是根据系统具体要求做出合理的设计，包括PCB层数的选取、电源设计、布局布线等。

(1) PCB层数设计

由于ADV212和LPC连接器都是采用BGA封装，引脚较多，分布较密集，而且对信号完整性要求较高，本文采用了4层PCB板，第一层和第四层为信号层，第二层为地层，第三层为电源层，这样可以获得较好的信号完整性。

(2) 布局设计

原理图设计完成后，导入生成的网表文件，然后就要在PCB上进行布局了。布局主要遵循先难后易，先大后小的原则。在布局中，应该充分考虑到电路信号的走线，为了避免电磁干扰的问题，要尽量避免高低电压器件相互混杂，强弱信号交错布局。对于那些发热的元器件尽量布局在PCB的边缘。

本系统在布局时，首先确定了LPC连接器和ADV212芯片的位置，把电压转换器放置在PCB的边缘。接下来就要合理安排电阻的放置，如果位置安排不当，将会给布线带来很多麻烦。

(3) 布线设计

PCB两面的导线应该相互垂直、斜交，避免平行。关键信号线（电源、模拟小信号、时钟信号、高速信号等）要优先布线，而且导线宽度，间距要适当增加。尽量为时钟信号、高频信号、敏感信号提供专门布线层，减小回路面积。

系统走线上按照相应规则设计，时钟走线宽度为20mil，并进行了包地处理。电源走线宽度是15mil，信号线宽为6mil。

(4) 电源设计

ADV212需要两种电源：一种是2.5V，为I/O端口提供电压；另一种是1.5V，为芯片内核提供电压。LPC上面有2.5V稳定电压输出，可以直接使用。由于LPC上面没有1.5V电压，我们选择型号为LT1764A-1.5V的电压转换器，通过3.3V电源得到1.5V电压。

为保证电源的稳定性，要在电压转换器的电源管脚加上去耦电容和滤波电容。而且芯片各电源管脚也要加上滤波电容，它们要尽量靠近电源管脚。

3.5.2 PCB 实物图

ADV212 芯片的 PCB 实物图如图 3-11 和图 3-12 所示。

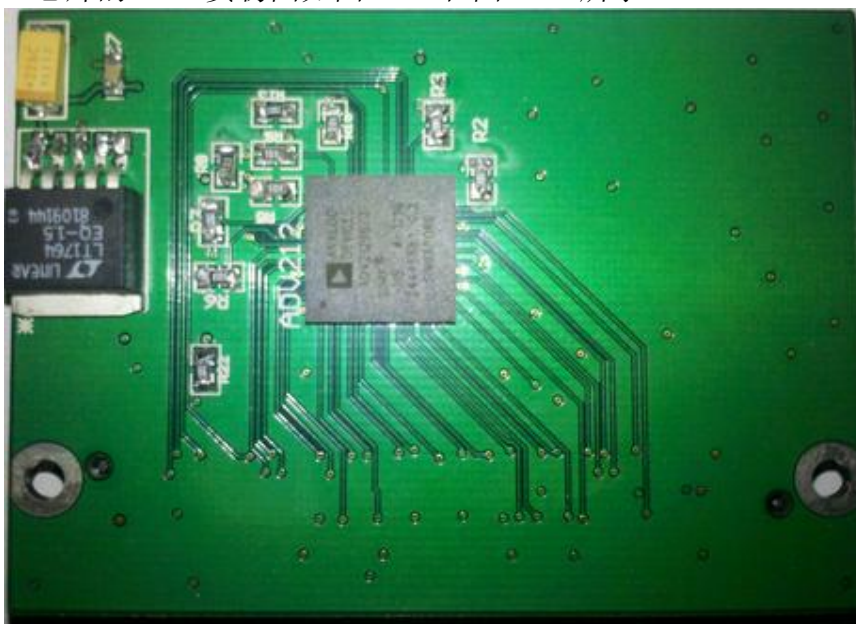


图 3-11 PCB 电路板正面



图 3-12 PCB 电路板反面

系统整体的硬件实物如图 3-13 所示



图3-13 系统整体硬件实物图

3.6 本章小结

本章介绍了卫星模拟器和卫星接收机硬件部分的整体设计框图，讨论了 FPGA 的选型、系统核心芯片 ADV212 的结构、FMC 标准，并根据 ADV212 芯片的工作模式设计了系统连接图，最后用 DXP2004 制作了 PCB 电路板。

4 系统软件设计

硬件压缩系统核心就是 ADV212 压缩芯片。由于 ADV212 只支持 YCBCR4:2:2 分量的彩色图像，所以 BMP 图像要转换色彩空间。控制 ADV212 主要是满足其时序要求，配置好内部寄存器。系统软件采用 Verilog 语言完成。

4.1 软件设计整体框图

本文采用软件在 PC 机上把 BMP 图像转换成 YCBCR4:2:2 分量的图像，然后用 Verilog 硬件描述语言实现 FPGA 对 ADV212 压缩芯片的逻辑控制，完成芯片的初始化，然后上位机把图像数据传给 ADV212，压缩后由卫星模拟器串口输给 PC 机来验证图像压缩的正确性。压缩系统软件的流程图如图 4-1 所示。

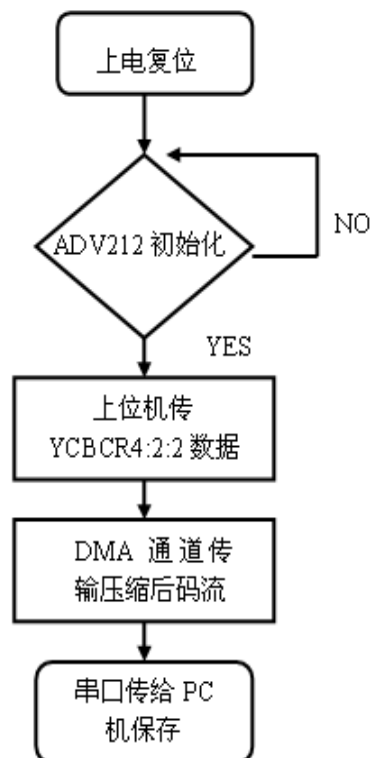


图 4-1 压缩系统整体流程图

4.2 RGB 转 YCBCR4:2:2 分量

4.2.1 RGB 色彩空间

RGB色彩模式（R代表Red，G代表Green，B代表Blue）也称为加色模式，人眼所能看到的任意颜色都可以用这三原色混合而成。图像每个像素点的颜色都是由RGB三个色彩通道的数值决定。当某像素点RGB数值全是0时，这个点就显示为黑色；当某像素点RGB数值全是255时，该点显示为白色。表4-1所示是100 %饱和度和100 %幅度彩条信号的RGB值。

表 4-1 100 %饱和度和 100 %幅度彩条信号的 RGB 值

	幅度范围	白	青	黄	绿	红	品红	蓝	黑
R	0~255	255	0	255	0	255	255	0	0
G	0~255	255	255	255	255	0	0	0	0
B	0~255	255	255	0	0	0	255	255	0

4.2.2 YCBCR 色彩空间

YCBCR 色空间^[42,43,44]来源于 ITU2RBT. 601 标准，它并不是一种绝对彩色空间，是 YUV 版本的压缩和偏移，通常大家所说的 YUV 就是指 YCBCR。YCBCR 格式包括三部分：（1）亮度分量 Y；（2）蓝色色度分量 CB；（3）红色色度分量 CR。由于人的眼睛对色度分量不如亮度分量敏感，因此在不影响图像主观质量的前提下，减少色度分量采样点就可以实现图像的压缩。YUV 主要的子采样格式有 YUV4:2:0、YUV4:2:2 和 YUV4:4:4。ADV212 芯片采用的是 4:2:2 采样格式，例如

四个像素为：[Y0 U0 V0] [Y1 U1 V1] [Y2 U2 V2] [Y3 U3 V3]

存放的码流为： Y0 U0 Y1 V1 Y2 U2 Y3 V3

映射出像素点为：[Y0 U0 V1] [Y1 U0 V1] [Y2 U2 V3] [Y3 U2 V3]

在 YCBCR 4:2:2 格式下每传输 Y 的四个样点,CB 和 CR 只传输两个样点. 例如一个 24 位的 RGB 图像（每个分量都是 8 位）。现在用 YCBCR4:2:2 传输，只需要 16 位来表示一个像素。

RGB 到 YCBCR 的转换公式如下：

$$\begin{aligned} Y &= 16 + (0.257R' + 0.504G' + 0.098B') \\ CB &= 128 + (-0.148R' - 0.291G' + 0.439B') \\ CR &= 128 + (0.439R' - 0.368G' - 0.071B') \end{aligned} \quad (4-1)$$

公式原理框图如图 4-2。

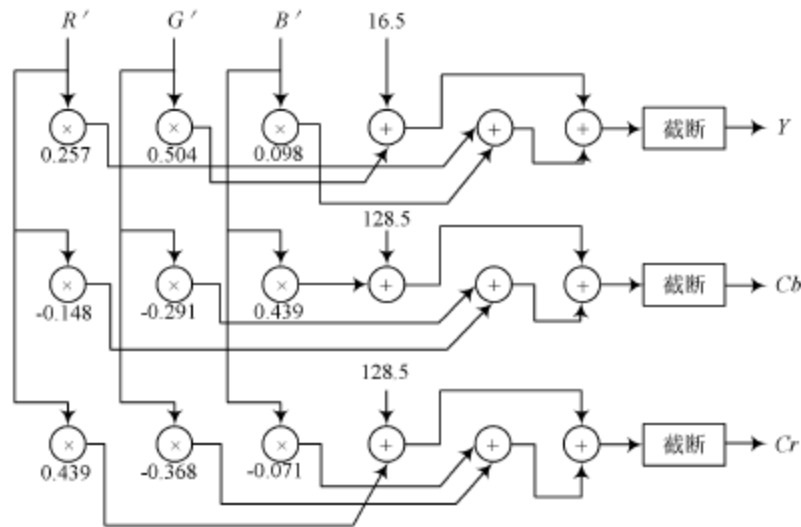


图 4-2 公式原理框图

4.3 ADV212 初始化

ADV212 视频图像压缩芯片正确初始化是硬件压缩系统的关键。ADV212 初始化主要是配置其内部 PLL、直接寄存器、间接寄存器、加载固件等。下面主要讨论一下初始化的一些流程。

4.3.1 ADV212 芯片内部寄存器

ADV212 内部有 16 个直接寄存器，以及多个间接寄存器，ADV212 通过数据线 HDATA，地址线 ADDR，写使能 WE、片选 CS、读使能 RD 来控制内部寄存器的操作。其内部直接寄存器如表 4-2 所示。

华中科技大学硕士学位论文

表 4-2 ADV212 内部直接寄存器

地址	英文名称	功能描述
0x00	PIXEL	像素 FIFO 访问寄存器。32 位的像素寄存器，用于访问像素 FIFO，在 HIPI 模式下通常用作像素的输入和输出。它的具体地址宽度是由 BUSMODE 寄存器来配置。当像素 FIFO 是空时，进行读操作。或者当像素 FIFO 为满时，进行写操作，这两种操作必须通过 EIRQFLG 寄存器的 PFERR 位进行操作。
0x01	CODE	压缩码流访问寄存器。32 位的压缩码流访问寄存器，用于访问 JPEG2000 压缩码流 FIFO，在 HIPI 模式下它也用于访问原始代码块。它的具体地址宽度是由 BUSMODE 寄存器来配置。当压缩码流 FIFO 是空时，进行读操作。或者当压缩码流 FIFO 为满时，进行写操作，这两种操作必须通过 EIRQFLG 寄存器的 DFERRR 位进行操作。
0x02	ATTR	属性 FIFO 访问寄存器。32 位的属性访问寄存器，用于访问属性 FIFO。它的具体地址宽度是由 BUSMODE 寄存器来配置。当属性 FIFO 是空时，进行读操作。或者当属性 FIFO 为满时，进行写操作，这两种操作必须通过 EIRQFLG 寄存器进行操作
0x03	RESERVED	保留
0x04	RESERVED	保留
0x05	EIRQIE	外部中断使能。该寄存器可以配置中断的阈值，在相应位赋值为 1，用来触发中断，中断触发后，IRQ 被拉低。
0x06	EIRQFLG	外部中断标志。说明当前已经达到外部中断条件。EIRQFLG 和 EIRQIE 每一位相互对应。在对应位写入 1，它可以清除中断。
0x7	SWFLAG	软件标志寄存器。当固件加载后，通过 16 位的软件标志寄存器，读取应用程序标志，来判断固件是否加载正确。
0x8	BUSMODE	总线模式配置寄存器。主要是设置数据地址宽度。
0x9	MMODE	其他模式寄存器。16 位的其他模式寄存器主要用来辅助配置间接寄存器的访问。
0xA	STAGE	阶段寄存器。16 位的阶段寄存器，在 16 位主机模式下，来访问 32 位的寄存器。例如，当使用 16 位主机时，阶段寄存器要协同 IDDR 寄存器来配置 32 位地址或者 32 位的 IDATA 寄存器。32 位主机模式不需要。
0xB	IADDR	间接地址寄存器。主要用来设置间接寄存器的地址，来访问间接寄存器。间接地址可以在 MMODEI 寄存器的 AUTOMOD and IAUTOSTP 两位来设为自动加或者减，这样加载固件时，只要给他个初始地址就好。
0xC	IDATA	间接数据寄存器，来向间接寄存器读写数据。向 IDATA 写的数据其实就是写到了 IADDR 寄存器的地址上。

0xD	BOOT	引导模式寄存器。16 位的引导模式寄存器，用来配置引导模式，初始化 ADV212 的软件和硬件的复位。 硬件复位：实现硬件复位是靠 RESET 引脚或者 BOOT 寄存器的 HARDRST 位来实现。硬件复位后，The PLL 和 BOOT MODE [2..1] bits 将要回到初始值。软件复位：使用 BOOT 寄存器的 SOFTRST 位来实现软件复位。软件复位影响内部寄存器（除了 BOOT，PLL_LO 或者 PLL_HI 三个寄存器，其他寄存器都要复位。）软件复位和硬件复位的最大区别在于，硬件复位，会使全部内部寄存器复位。
0xE	PLL_HI	PLL 控制寄存器高位。16 位的 PLL_HI 寄存器用来配置 PLL。在 ADV212 内部，MCLK 经过锁相环产生两个时钟。一个是 JCLK，一个实 VCLK。JCLK 为 JPEG2000 指定的硬件模块体提供时钟。VCLK 为 ADV212 内部的嵌入式处理器提供时钟。只要 PLL_HI 改变，主机必须延迟 20us，再访问别的寄存器。
0xF	PLL_LO	PLL 控制器低位。16 位的 PLL_LO 寄存器用来配置 PLL 只要 PLL_LO 改变，主机必须延迟 20us，再访问别的寄存器。只要配置 PLL 可以得到 MCLK 数倍的时钟频率。HCLK < 81 MHz (121-pin version)

ADV212 内部需要配置的 18 个间接寄存器的定义如表 4-3 所示

表 4-3 ADV212 内部间接寄存器

地址	英文名称	功能描述
0xFFFF0400	PMODE1	像素/视频格式寄存器。通过此寄存器来配置输入的像素的格式，精度。
0xFFFF0404	COMP_CNT_ST ATUS	水平计数。用来计像素接口水平采样点的个数，（初始化没用到）。
0xFFFF0408	LINE_CNT_STA T	垂直计数。用来计像素接口垂直采样点的个数，（初始化没用到）。
0xFFFF040C	XTOT	每行的采样数（指分辨率，每行的像素数）。
0xFFFF0410	YTOT	每帧的总行数（指分辨率，每列的像素数）。
0xFFFF0414	F0_START	域的起始行 F0，用于解压缩模式（主要是针对视频的解压缩），数据由域 1 传到域 2 时，来识别行的个数。HIPI 模式压缩时，置为 0x00010000。
0xFFFF041C	V0_START	有效视频域的起始 0。用来设置有效域 0 的起始行，（HIPI 模式下全置 0）。
0xFFFF0420	V1_START	有效视频域的起始 1。用来设置有效域 1 的起始行，（HIPI 模式下全置 0）。
0xFFFF0424	V0_END	有效视频域的结束 0。用来设置有效域 0 的结束行，（HIPI 模式下全置 0）。
0xFFFF0428	V1_END	有效视频域的结束 1。用来设置有效域 1 的结束行，HIPI 模式下全置 0。
0xFFFF042C	PIXEL_START	有效视频的横向开始，HIPI 模式下全置 0。

0xFFFF0430	PIXEL_END	有效视频的纵向结束，HIPI 模式下全置 0。
0xFFFF0440	MS_CNT_DEL	主/从延时（用于多个 ADV212 芯片级联模式下）单片 ADV212 下全置 0。
0xFFFF0448	PMODE2	像素模式 2，主要用于对输入时钟和同步信号进行可程序化的边沿控制。（初始化时要设为 0X003H）。
0xFFFF044C	VMODE	视频模式。来设置像素接口基本的工作模式。（初始化时要设为 0X0012）。
0xFFFF1408	EDMOD0	外部 DMA 寄存器 0，用来配置 DMA 通道 0，触发模式，触发长度，脉冲宽度。
0xFFFF140C	EDMOD1	外部 DMA 寄存器 1，用来配置 DMA 通道 1，触发模式，触发长度，脉冲宽度。

4.3.2 ADV212 芯片的初始化流程

ADV212 流程主要包括以下内容：

- （1）配置内部时钟，配置 PLL。
- （2）设置主机模式，系统采用非主机模式。
- （3）设置总线模式，系统采用 32 位总线模式。
- （4）加载固件，版本为 encode_2_18_3COMP_0.sea
- （5）软件重启。
- （6）设置压缩参数，主要包括图像大小、精度、压缩比等。
- （7）设置 DMA 寄存器（HIPI 模式下使用双通道 DMA）。
- （8）检验固件加载是否正确（检测应用 ID 为 0xFF82）。
- （9）清除中断，系统运行。

ADV212 初始化流程图如 4-3 所示。

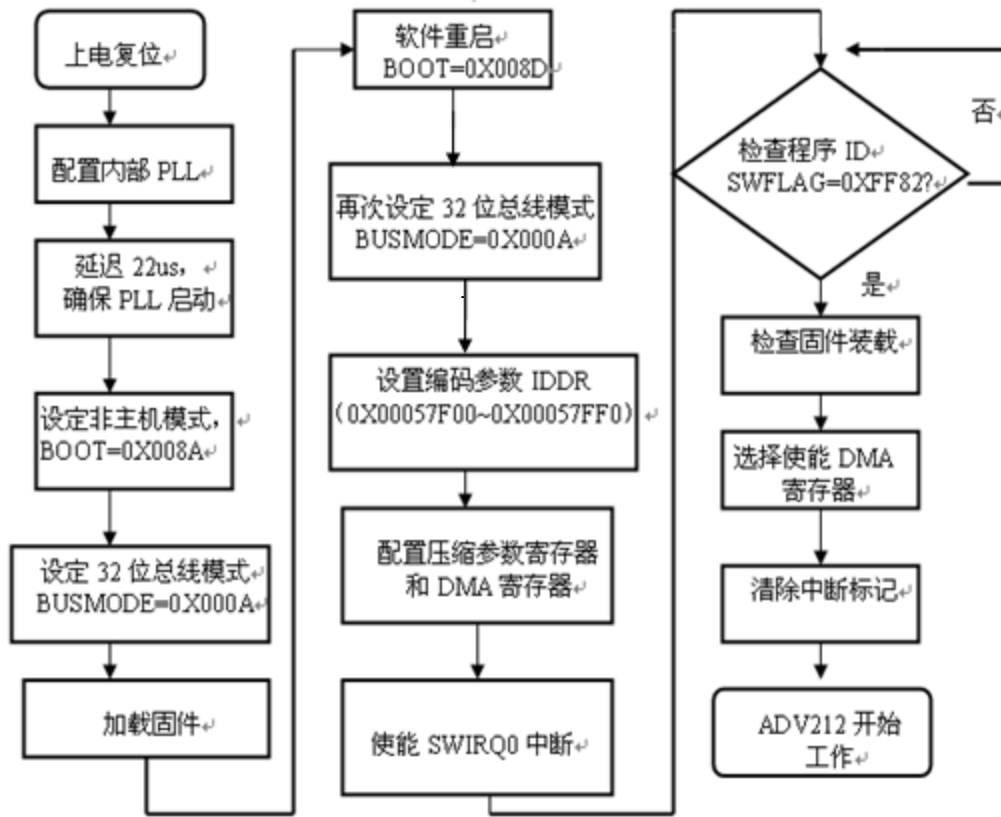


图 4-3 ADV212 初始化流程图

按照流程图配置寄存器^[45]。ADV212初始化流程图说明如下^[46]：PLL_HI：0x0008h、PLL_HO：0x0084；BOOT：0x008A，设置引导模式；BUSMODE：0x000A、MMODE：0x000A，设置32位的总线模式，间接数据存取位数也为32位；IADDR：0x00050000 设置固件加载的起始点地址；IDATA：encode_2_18_3COMP_0.sea固件数据；BOOT：0x008D 软件重启；BUSMODE：0x000A 重新设置32位总线模式；MMODE：0x000A 重新设定间接数据存取位数为32位。ADV212的参数根据IADDR和IDATA设置，参数配置说明如下：IADDR：0x00057F00，ADV212编码参数的起始地址；IDATA：0x04000503、0x03000000、0x02000500、0x00000002（配置图像格式、码块大小、压缩比、输出格式），接着配置间接寄存器（设置图片大小、精度等），最后向ADV212 EIRQFLG寄存器（地址0x6h）写入0x0400去清除软件中断，这时就可以传输原始数据流，系统开始运行。

ADV212 操作时序图如 4-4 所示。

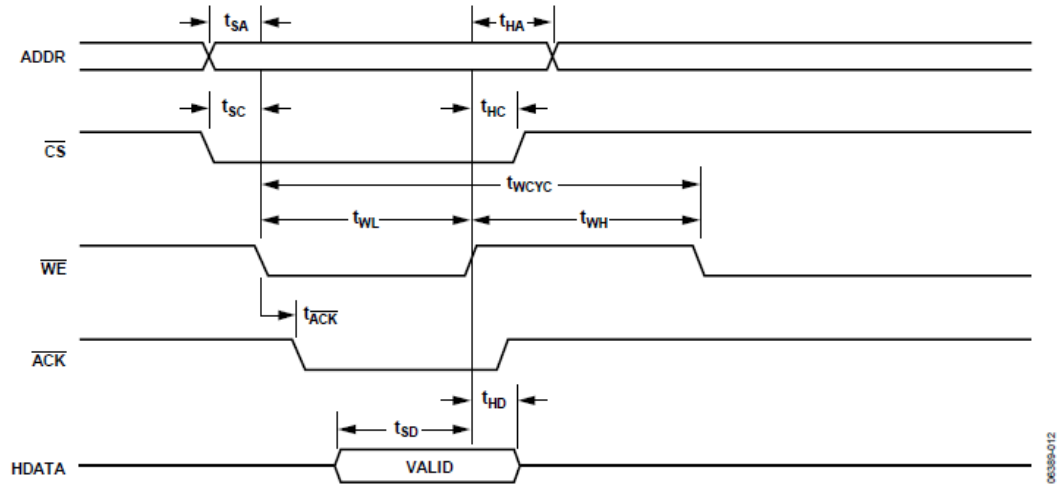


图 4-4 ADV212 操作时序图

初始化加载固件部分代码如下：

```
begin:

    cs<=0;

    we<=0;

    addr<=4'B1100;    //选中间接数据寄存器
    addra<=addra+1;

    hdata_reg<=rom_out; //压缩固件存放到 ROM 里面
    if(count= =14'd8191)    //固件包含 8192 个 32 位的数据
        count<=0;
    else
        count<=count+1 ;
end
```

4.4 码流的传输与接收

ADV212 初始化完成后，就要通过 DMA 通道 0 传输原始像素数据，待 ADV212 压缩完成后，通过 DMA 通道 1 传输压缩码流。图 4-5 是突发长度为 16 的 DMA 时序图。

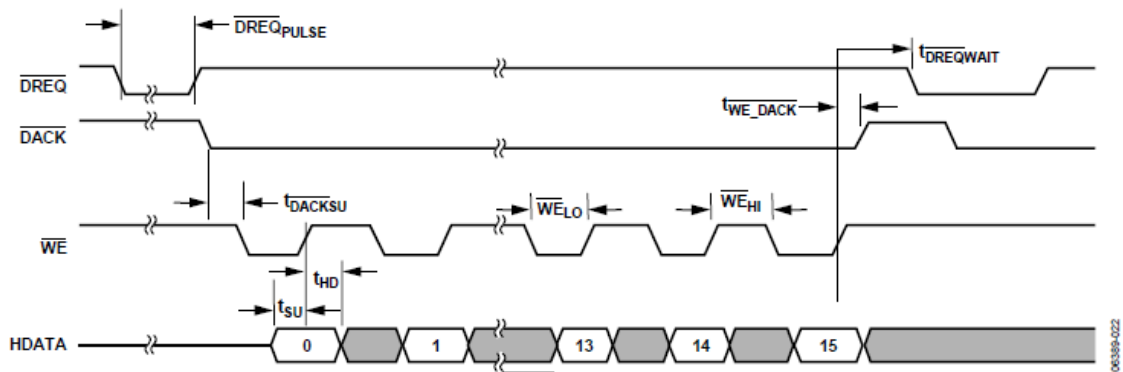


图 4-5 DMA 在突发模式下的时序图

DMA 通道 0 传输原始数据部分代码如下：

```
begin:
    dack0<=0;
    we<=0;
    addr_1<=addr_1+1;
    hdata_reg<=rom_out_2; //来自 DDR3 的原始像素数据
    if (count_1==14'd127) //突发长度设为 128
        count_1<=0;
    else
        count1<=count_1+1;
end
```

图片压缩后，读取压缩码流缓存到双口 RAM^[47]中，然后通过串口传到 PC 机，串口只能发送 8 位的数据，要发送 32 位的数据需要连续传 4 次，代码如下：

```
begin
    start_send_char<=0;
    if(send_char_over)
```



```
begin
    send_char_tmp<=rdata[31:24]; //传输数据高 8 位
    start_send_char<=1;
    CHAR_DRI_state<=CHAR_1;
end
end
CHAR_1 :
begin
    start_send_char<=0;
    if (send_char_over)
begin
    send_char_tmp<=rdata[23:16];
    start_send_char<=1;
    CHAR_DRI_state<=CHAR_2;
end
end
CHAR_2:
begin
    start_send_char<=0;
    if(send_char_over)
begin
    send_char_tmp<=rdata[15:8];
    start_send_char<=1;
    CHAR_DRI_state<=CHAR_3;
end
end
CHAR_3:
begin
    start_send_char<=0;
    if(send_char_over)
```

```
begin
    send_char_tmp<=rdata[7:0]; //传输数据低 8 位
    start_send_char<=1;
    raddr<=raddr+1;
    CHAR_DRI_state<=CHAR_DRI_CHAR2;
end
end
```

4.5 本章小结

文章介绍了硬件压缩系统的软件流程，探讨了 BMP 图像到 YCBCR4:2:2 的格式转化，接着分析了 ADV212 的内部寄存器以及初始化流程，最后压缩码流通过 DMA 通道 1 读出，由卫星模拟器的串口传输到 PC 机来还原图像。

5 系统性能测试与分析

5.1 图像压缩测试与分析

5.1.1 24 位 BMP 彩色图像压缩测试与分析

我们选取了一张 24 位的彩色 BMP 图片来作为测试对象，图像尺寸为 176×176，测试图像如图 5-1 所示。



5-1 24 位彩色测试图像

压缩后图像为 JPEG2000 格式，压缩比为 10:1 和 20:1 下压缩的图像质量如图 5-2 所示。



压缩比 10: 1

压缩比 20:1

图 5-2 24 位彩色图像压缩效果图

可以看出在压缩比 10:1 的情况下，图像主观效果较好，但是随着压缩比的提高，图像质量有所下滑。

5.1.2 16 位 BMP 图像压缩测试分析

首先采用的是尺寸为 192×192 的 16 位灰度图像进行测试，测试图像如图 5-3 所示。



图 5-3 16 位测试灰度图像

在压缩比为 10:1 和 20:1 下，16 位灰度图像的压缩质量如图 5-4 所示。



压缩比 10:1

压缩比 20:1

图 5-4 16 位灰度图像压缩效果图

接着使用尺寸为 212×196 的 16 位彩色图像进行测试，测试图像如图 5-5 所示。



图 5-5 16 位测试彩色图像

在压缩比为 10:1 和 20:1 下，16 位彩色图像的压缩质量如图 5-6 所示。



压缩比 10:1

压缩比 20:1

图 5-6 16 位彩色图像压缩效果图

可以看出在压缩比 10:1 的情况下，图像主观效果较好，但是随着压缩比的提高，图像质量有所下滑，基本能满足系统要求。

5.1.3 JPEG2000 和 JPEG 压缩效果横向比较

JPEG 是现在常用的一个压缩标准，下面我们对 JPEG2000 标准和 JPEG 标准进行横向比较。我们同样选用图 5-5 所示的 212×196 的 16 位彩色图像进行对比。在压缩比为 10:1 和 40:1 下，16 位彩色图像的压缩质量分别如图 5-7 和图 5-8 所示。



JPEG2000 压缩比 10:1

JPEG2000 压缩比 40:1

图 5-7 JPEG2000 标准下图像压缩质量图



JPEG 压缩比 10:1

JPEG 压缩比 40:1

图 5-8 JPEG 标准下图像压缩质量图

对比已看出在压缩比为 10:1 的情况下 JPEG 和 JPEG2000 压缩效果基本相同，但是随着压缩比的提高，JPEG2000 压缩能力要比 JPEG 强。

5.2 图像解压缩测试与分析

5.2.1 24 位 BMP 图像解压缩测试与分析

在压缩比为 10:1 的情况下，我们把得到的压缩图像传给 ADV212 进行解压缩，便可得到原始 YCBCR4:2:2 格式的原始图像，以.JP2 格式文件保存在 PC 机上，然后用软件还原对比如图 5-9 所示。



原始图像

解压缩图像

图 5-9 24 位彩色图像解压缩效果图

5.2.2 16 位 BMP 图像解压缩测试与分析

在压缩比为 10:1 的情况下，我们把得到的 16 位压缩后的图像传给 ADV212 进行

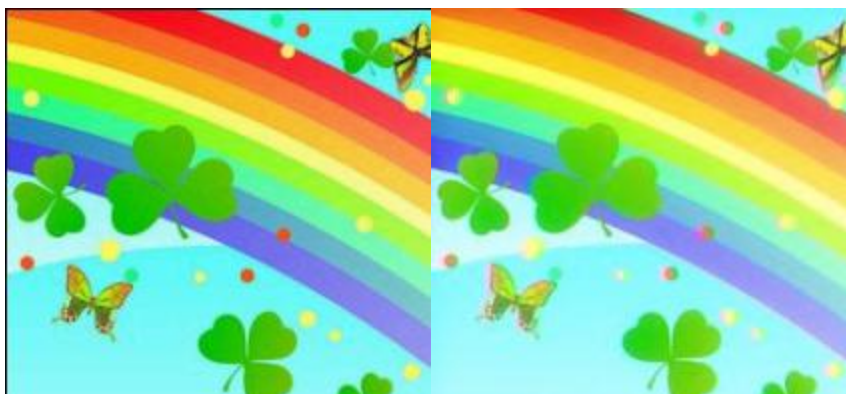
解压缩测试。结果如图 5-10 和图 5-11 所示。



原始图像

解压缩后图像

图 5-10 16 位灰度图像解压缩效果图



原始图像

解压缩后图像

图 5-11 16 位彩色图像解压缩效果图

经过观察可以看到 16 位和 24 位 BMP 图像解压后，主观质量较好。下面我们采用 PSNR（峰值信噪比）来对解压缩后的图像进行测试，我们用 $f(j,k)$ 表示原始图像，用 $f'(j,k)$ 表示解压缩后的图像，公式如下：

$$MSE = \frac{1}{AB} \sum_{j=1}^A \sum_{k=1}^B [f(j,k) - f'(j,k)]^2 \quad (5-1)$$

$$PSNR = 10 \lg \frac{C^2}{MSE} \quad (5-2)$$

其中 MSE 为均方误差，A 和 B 分别为图像水平、垂直上的分辨率，C 为图像灰度的最大值。

我们分别选取上述 16 位、24 位解压缩后的图像和原始图像进行峰值信噪比分析。

经过计算信噪比均可以达到 30dB 以上，基本达到项目需求。

5.3 图像尺寸适应性测试与分析

我们选取一副尺寸为 336×80 的 24 位图像来测试 ADV212 所能处理的图像的最小宽度，测试图像如图 5-12 所示。



图 5-12 测试图像

我们设置测试的压缩比为 10:1，依次截取 336×24、336×36、336×48、336×64 尺寸的图像进行压缩。测试结果如 5-13 所示。



336×24



336×36



336×48



336×64

图 5-13 ADV212 所能处理图像的最小宽度测试图

我们可以看到 336×24 尺寸的图像压缩后有明显的失真，而 336×36、336×48、336×64 尺寸的图像压缩效果较好。这是由于 ADV212 可选择的最小码块大小为 32 像素×32 像素，如果图像一边宽度小于 32 像素，那么 ADV212 就不能正常压缩。由于发送端还不能连续传大图像，所以 ADV212 最大可压缩幅值没有进行测试。

5.4 图像压缩速度测试

图像压缩系统工作频率为 33MHz，通过下式即可计算出图像压缩的速率：

$$\text{速率} = \frac{\text{数据大小}}{\text{周期时间} \times \text{周期个数}}$$

这里选择尺寸为 176×176 的 24 位图像进行测试，转成 YCBCR4:2:2 分量图像大小为 60.5KB。图像数据输入 ADV212 开始算起，经过第 2013440 个周期后可以读出压缩数据，所以系统压缩速率可计算为：

$$\text{压缩速率} = \frac{60.5}{\frac{1}{33000000} \times 2013440} \text{KB/s} = 992 \text{KB/s}$$

可以看出目前压缩系统速率还比较低，还不能达到系统要求。可以通过采用更快的时钟、精简代码、用多片 ADV212 并行压缩来提高系统速率。

5.5 本章小结

首先为压缩系统选取了 24 位彩色 BMP 图像、16 位灰度图像、16 位彩色图像进行压缩测试，压缩比选择为 10:1 和 20:1。可以看出压缩比越高，图像压缩质量越差。接着在压缩比为 10:1 的情况下进行了解压缩测试，可以看到图像重建较好，信噪比可以满足系统要求。随后进行了图像尺寸适应性测试，发现边长小于 32 像素的图像不能正常压缩。最后测试了系统的压缩速率，速率还不能达到系统要求，还有待提高。

6 总结与展望

6.1 总结

ADV212 是一款基于 JPEG2000 标准的专用编解码芯片，适用于视频与静止图片的压缩。本文主要负责卫星模拟器图像压缩模块的任务，以 ADV212 为压缩系统核心，第一步把 BMP 图像转换成 YCBCR4:2:2 分量的图像，第二步用 Verilog 硬件描述语言实现 FPGA 对 ADV212 压缩芯片的逻辑控制，完成芯片的初始化，第三步由上位机程序把原始图像数据传给 ADV212，得到 JPEG2000 压缩码流，最后由卫星模拟器的串口输给 PC 机来验证压缩的正确性。

本文主要工作如下：

(1) 梳理了图像压缩标准的发展趋势，讨论了国内外主要星上数据的压缩方法，以及国内外基于 JPEG2000 的专用编解码芯片的研制状况，最后决定使用 FPGA 结合 ADV212 来实现卫星图片压缩。

(2) 从理论上详细讨论了 JPEG2000 标准以及 ADV212 的工作原理，为下面研究基于 ADV212 的卫星图像压缩系统奠定了理论基础。系统采用 Virtex6 系列 FPGA 芯片作为控制芯片，为 ADV212 选取 HIPI 工作模式，并结合 FMC 标准，完成了硬件电路 PCB 的制作。

(3) 使用 Verilog 硬件描述语言实现了 ADV212 的初始化，图片成功压缩后，生成的 JPEG2000 格式的压缩码流由 DMA 读取到双口 RAM 缓存，经卫星模拟器串口传到 PC 机。

(4) 论文最后对图像压缩硬件部分的压缩性能、解压缩性能、图像尺寸适应性、压缩速率进行了测试，结果表明系统基本达到项目要求。

6.2 展望

图像压缩与解压缩系统是卫星模拟器和卫星接收机的重要组成部分，虽然经过测

试，系统能正常压缩与解压缩。但这只是一个初步的方案，无论是在硬件部分还是软件部分，都存在一定的缺陷。还有很多工作需要完成，列举如下：

（1）用于压缩测试的模拟图像是 24 位彩色 BMP 图像、16 位灰度 BMP 图像、16 位彩色 BMP 图像。而真实的卫星图像是 $4096 \times 1280 \times 16\text{bit}$ 的马赛克图像，格式为 TIFF。该图像源是灰度图，灰度量化位数为 10 位，量化等级为 1024。

（2）系统要求图像输入速率大小为 200Msps，单片 ADV212 的最大工作速率为 65Msps，因此需要 4 片 ADV212 同时压缩，而且目前系统压缩速率较低，有待提高。

（3）功能上实现了解压缩，但是还没有把解压缩纳入卫星接收机中。

总而言之，仍有许多工作需要我们研究和完成。

致 谢

两年的研究生生活在这个夏节即将划上一个句号，这段难忘的时光，终将成为我人生重要的组成部分。回想起来两年的点点滴滴，自己不仅在科研能力上而且在为人处事上都有很大进步。至此，谨向两年来所有指导，关心和帮助过我的师友致上我最真挚的感谢和祝福。

首先要感谢我的导师杨晓非教授，感谢您在学习上对我的谆谆教导，在生活中对我的关心和爱护。您渊博的专业知识，严谨的治学态度，诲人不倦的高尚师德，平易近人的生活作风都对我的成长产生了深刻的影响。在此我向您献上最诚挚的敬意和衷心的感谢。

特别感谢第二炮兵指挥学院的姚行中教授，论文从开题到定稿您都给予了很多指导和建议。您不仅传授科学知识，而且教会了我们怎么做人。您教导的“严肃认真、一丝不苟、周到细致、万无一失”的航天精神我会铭记在心。

此外我还要感谢研究所的林更琪高工、陈实副教授、朱本鹏副教授和张悦老师，他们积极乐观的生活态度和严肃认真的科研精神也深深地感染着我。

同时还要感谢研究所的欧阳君博士后、王兵锐博士、陈新国博士、吴少兵博士、童贝博士、左超博士，以及已经毕业的和在读的硕士研究生，他们是：张允、李扬、王瑶、韩维维、王一凡、王扬、喻磊、候斐、刘哲、郭万克、肖雄、张天、刘兰、符凌静、孙静、朱莹、张波、周李欣、周雪珺、郭喆、张阳艳、孙士越、段少杰、张明、甘攀、张宇嘉、文丽萍、刘龙。

另外还要感谢 216 宿舍的 3 位兄弟：梅利健、高源、陈凡。谢谢这两年的陪伴和帮助，和你们在一起很快乐。

最后需要特别感谢我的父母和姐姐。他们在生活上对我无微不至的关心，是我不断前进的动力。

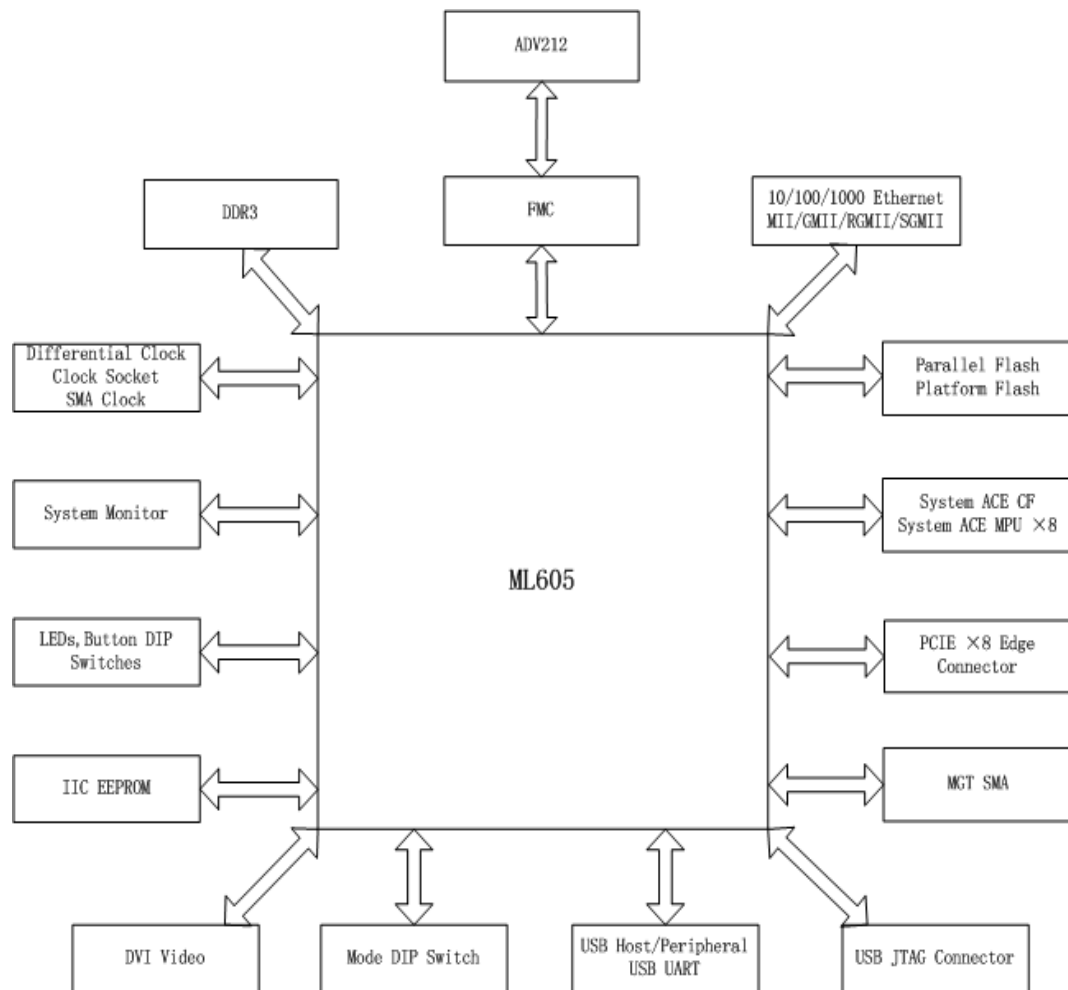
参考文献

- [1] 王明远.空间遥感数据压缩编码技术的发展.中国航天,2003,(6): 20~22
- [2] 许健民, 钮寅生.风云气象卫星的地面应用系统.中国工程科学,2006,8(11):13~24
- [3] 朱珂.基于 JPEG2000 的静态图像压缩算法及 VLSI 实现的结构研究:[博士论文].上海:复旦大学图书馆,2004
- [4] Gonzalez, C. Rafael. 数字图像处理.第二版.阮秋琦.北京:电子工业出版社,2007.240~246
- [5] 鲁琴, 杜列波, 魏鹏. 基于 FPGA 的卫星图像模拟源系统设计. 测试技术学报, 2009, 23(3): 261~265
- [6] 王继东,罗武胜,鲁琴,等.双正交叠式变换的定点实现算法与 DSP 并行计算.光电工程,2008,35(4):74~78
- [7] ISO/IEC 10918-1: Information technology—Digital compression and coding of continuous-tone still images: Requirements and guidelines,1994
- [8] 张伍,谭维炽,贾阳.月球表面遥感图像压缩编码研究.遥测遥控,2008,29(4):9~16
- [9] 陈军,王怀超,顾晓东等.基于 LOCO-I算法的星载图像无损压缩的FPGA实现.微电子学与计算机,2011,28(11):169~173
- [10] 陈柠檬.基于 THJ2K 的 JPEG2000 图像压缩系统.视频技术应用与工程,2007,(6):81~83
- [11] 刘雷波.JPEG2000 静止图像压缩关键技术研究及 VLSI 实现:[博士论文].北京:清华大学图书馆,2004
- [12] ISO/IEC. JPEG2000 Image Coding System: Part1-Core Coding System. ISO/IEC FCD15444-1. 2000:118~127
- [13] M.W. Marcellin, M. Gormish, A. Bilgin et al. An Overview of JPEG 2000 [C]. IEEE Data Compression Conf ,Snowbird, 2000:23~26
- [14] 王占秋.JPEG2000 标准及其编解码芯片 ADV212 的研究.数字通信,2009,(4):21-24
- [15] 黎洪松, 成实译.JPEG 静止图像数据压缩标准.北京:学苑出版社,1996.150~156

- [16] DilipV.Sarwate, NareshR.Shanbhag. High-Speed Architectures for Reed–Solomon Decoders. IEEE Trans. VLSI, 2001, 9(5): 641~655
- [17] 朱梦宇,杨裕亮.基于 JPEG2000 的实时红外图像压缩系统设计.激光与红外,2005,35(4):285~286
- [18] 范志丽,徐抒岩,胡君.多光谱可见光遥感图像压缩系统设计.电子设计工程.2010,18(9):46~48
- [19] 张晓娣,刘贵忠.JPEG2000 图像压缩编码系统及其关键技术.数字电视与数字视频,2001,(8):13~17
- [20] 姚庆栋,徐孟侠.图像编码基础.北京:人民邮电出版社,1984.130~136
- [21] 刘嵘,郑兆瑞,孙雪.一种基于 JPEG2000 压缩域的图像检索算法.电脑开发与应用,2006,19(4):44~49
- [22] 高勇,尹琦,李存华. JPEG2000 编码方案和结构划分研究.计算机与信息技术,2007,(6):30~32
- [23] JPEG2000 Standard for Image Compression_Concepts Algorithms and VLSI Architectures,2004
- [24] 刘春风.基于 ADV212 的图像压缩编码系统设计:[硕士论文].长沙:国防科学技术大学图书馆,2010
- [25] 周先国.提升小波变换的应用研究及 FPGA 实现:[硕士论文].南京:南京航空航天大学图书馆,2009
- [26] 黄紧德.JPEG2000 图像压缩原理及实现.广西教育学院学报,2006,(6):81~83
- [27] Virtex-6 Family Overview. Xilinx Corporation, 2011
- [28] Virtex-6 FPGA Configurable Logic Block User Guide. Xilinx Corporation, 2011
- [29] Virtex-6 FPGA Memory Resources User Guide. Xilinx Corporation, 2011
- [30] Xilinx, Inc..Virtex-6 FPGA Integrated Block for PCI Express User Guide V5.1.September 21,2010
- [31] ADV212 JPEG2000 Video Codec DataSheet ,2006
- [32] 路建方,王新赛.基于 ADV212 芯片的红外视频无损压缩研究.红外,2013,34(1):21~24

- [33] 刘永征,刘学斌.基于 ADV212 的图像压缩系统设计.电子设计应用,2008,(12):92~95
- [34] 陶宏江,韩双丽.基于 ADV212 的远程图像采集系统设计.液晶与显示,2013,28(1):105~109
- [35] ADV212 JPEG2000 Video Processor User's Guide,2006
- [36] 王丹,杨允基.ADV212 编解码芯片原理及应用.舰船电子工程,2008,(5):106~109
- [37] 杨俊,鲁新平.基于 ADV212 芯片的视频压缩系统应用设计技术.微处理机,2010,(4):119~122
- [38] 刘春风,王惠平,潘利明.基于 ADV212 的高清视频压缩系统设计.电子设计工程,2010,(3):65~67
- [39] Using the ADV202 in a Multichip Application,AN-79 Application Note,2006
- [40] ML605 Hardware User Guide,2011
- [41] ANSI/VITA 57.1,2008
- [42] 刘健.用 FPGA 实现色空间 RGB 到 YCbCr 的转换.现代显示,2004,(1):56~58
- [43] 吴康.用 FPGA 实现色空间 RGB 到 YCbCr 的转换.南昌高专学报,2007,(6):140~142
- [44] 金晓冬.基于 FPGA 的 RGB 到 YCbCr 色空间转换.现代电子技术,2009,(18):73~75
- [45] 邓宸伟,赵保军.基于 ADV212 的实时图像压缩系统.电视技术,2008,32(12):35~37
- [46] ADV202_HIPI_mode_rev03,2006
- [47] LogiCORE IP Block Memory Generator v4.3. Xilinx Corporation, 2010

附录 ADV212 与 LPC 连接图



FMC POWER

Voltage Supply	Allowable Voltage Range	No Pins	Max Amps	Tolerance
VADJ	0-3.3V	2	2	+/-5%
VIO_B_M2C	NC	0	0	N/A
VREF_A_M2C	0-VADJ	1	1mA	+/-2%
VREF_B_M2C	NC	0	0	N/A
3P3VAUX	3.3V	1	20mA	+/-5%
3P3V	3.3V	4	3	+/-5%
12P0V	12V	2	1	+/-5%

ADV212 POWER

Voltage Supply	Voltage	Amps
Core	1.5V	440mA
I/O	2.5V	50mA

ADV212 PCB LAYER

L1	Signal 1
L2	GND
L3	VCC
L4	Signal 2

