

2023 Digital IC Design Homework 1

NAME	林宜謙						
Student ID	N16100250						
Functional Simulation Result							
Stage 1	Pass	Stage 2	Pass	Stage 3	Pass	Stage 4	Pass
Stage 1							
<pre># -----Stage 1 : Maximum selection with 4-input MMS----- # # -----Stage 1 : Pass! -----</pre>							
Stage 2							
<pre># -----Stage 2 : Minimum selection with 4-input MMS----- # # -----Stage 2 : Pass! -----</pre>							
Stage 3							
<pre># -----Stage 3 : Maximum selection with 8-input MMS----- # # -----Stage 3 : Pass! -----</pre>							
Stage 4							
<pre># -----Stage 4 : Minimum selection with 8-input MMS----- # # -----Stage 4 : Pass! -----</pre>							
Description of your design							
<p>MMS_4num.v:</p> <p>宣告 cmp1 與 cmp2 為 8-bit 變數在 stage1 兩個比較的結果，而 result 變數為 module 之輸出，所以與前兩個變數都要宣告成 reg，記住輸出的結果。此題為一組合電路，使用 always block 當其中一個輸入發生變動的時候開始進行，使用 if-else 判斷選擇 select 訊號為 1 時則輸出最小值，將兩兩比較的結果存入 cmp1 與 cmp2，再把兩個值比較的結果存入 result 中，在賦值使用”=”阻塞式方式，所以會等待前一敘述執行後才會執行;而當 select 訊號為 0 時則輸出最大值，將條件句的輸出結果值相反，同樣還是使用”<”。</p> <p>(註:select 訊號未宣告 bit 數，預設為 1-bit)</p>							

MMS_8num.v:

使用到 MMS_4num module 所以在第一行 include(不過因為放在同一目錄下所以不 include 也可以編譯)，result 變數為輸出，所以宣告成 reg。使用到 MMS_4num module，使用 by name 的方式將輸入接入，而 mms_4n_cmp1 與 mms_4n_cmp2 為 module 輸出結果，因為要輸入到 module 中要宣告成 8-bit 的 wire，而 number0~7 預設也為 wire。最後使用 always block 當輸入出現變化開始進行比較，比較的方式同 MMS_4num 一樣將比較的結果存入 result 中。