2023 Digital IC Design Homework 1

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| NAME | | 林宜謙 | | | | | | |
| Student ID | | N16100250 | | | | | | |
| **Functional Simulation Result** | | | | | | | | |
| Stage 1 | Pass | | Stage 2 | Pass | Stage 3 | Pass | Stage 4 | Pass |
| **Stage 1** | | | | | | | | |
|  | | | | | | | | |
| **Stage 2** | | | | | | | | |
|  | | | | | | | | |
| **Stage 3** | | | | | | | | |
|  | | | | | | | | |
| **Stage 4** | | | | | | | | |
|  | | | | | | | | |
| **Description of your design** | | | | | | | | |
| MMS\_4num.v:  宣告cmp1與cmp2 為8-bit變數在stage1兩個比較的結果，而result變數為module之輸出，所以與前兩個變數都要宣告成reg，記住輸出的結果。此題為一組合電路，使用always block當其中一個輸入發生變動的時候開始進行，使用if-else判斷選擇select訊號為1時則輸出最小值，將兩兩比較的結果存入cmp1與cmp2，再把兩個值比較的結果存入result中，在賦值使用”=”阻塞式方式，所以會等待前一敘述執行後才會執行;而當select訊號為0時則輸出最大值，將條件句的輸出結果值相反，同樣還是使用”<”。 (註:select訊號未宣告bit數，預設為1-bit)  MMS\_8num.v:  使用到MMS\_4num module所以在第一行include(不過因為放在同一目錄下所以不include也可以編譯)，result變數為輸出，所以宣告成reg。使用到MMS\_4num module，使用by name的方式將輸入接入，而mms\_4n\_cmp1與mms\_4n\_cmp2為module輸出結果，因為要輸入到module中要宣告成8-bit的wire，而number0~7預設也為wire。最後使用always block當輸入出現變化開始進行比較，比較的方式同MMS\_4num一樣將比較的結果存入result中。 | | | | | | | | |