2023 Digital IC Design Homework 2

|  |  |  |
| --- | --- | --- |
| NAME | 林宜謙 | |
| Student ID | N16100250 | |
| **Functional Simulation Result** | | |
| **Score** | | **100** |
|  | | |
| **Description of your design** | | |
| 本題以FSM的方式寫，以車站作為stack方式，分為4種狀態(簡圖如下) :  ST0 : 收所有的data，直到所有值收完跳到ST1。  ST1 : push資料到stack中，直到最上層資料與欲離站車次一樣，做完跳至ST2。  ST2 : 把stack資料pop，若pop出的資料為預期車次，則回到ST1，若不一樣則跳到ST3。  ST3 : 確認pop次數是否符合為總車數。    運行設計:  收到第一筆資料的時候，將處理第一筆資料的flag設為1，收到第二筆資料的時候再把flag設為2，在ST0階段不斷收資料到input\_data陣列中直到計數變數counter 等於車子數量，收完後counter歸0用到ST1中表示未進stack的車次。  註:當always block裡面放入data在輸入一樣的時候，會沒有動作，所以當pattern有兩個一樣的輸入的時候會偵測不到，所以設一個第一筆資料的flag。  ST1與ST2分別做stack的push與pop，判斷方式為預期車次(pattern)大於counter就push資料到stack中直到等於，就跳至ST2將stack最上層資料比較是否與預期車次一樣，一樣的話記錄pop次數並跳回ST1反覆push/pop。 當預期車次與stack最上層資料不一樣時在ST3確認結果，將valid拉為1，確認pop次數是否與車次數量相等，相等則輸出result = 1，反之則輸出result = 0，一進入ST3將done訊號相反，相反後將所有一次流程的變數都reset，等待下一組輸入。 | | |