

非线性电路实验报告

实验题目： NCE-02 正弦振荡器 PCB 设计

实验日期： 2025 年 11 月 13 日、2025 年 11 月 20 日

实验者姓名： 丁毅 2023K8009908031

一、设计流程记录

电路原理图设计使用 OrCAD Capture, PCB 设计使用 Allegro PCB。由于实验前已提供完整原理图及器件封装库 (Component Library), 初始化设置后, 直接从原理图 DSN 文件导出网表 (Netlist) 等信息并导入 PCB 设计文件, 完成器件导入。自定义库路径被加入, 同时调整器件与焊盘 (Pad) 的封装库路径, 以实现正确导入。

依据原理图首先完成器件布局 (Layout), 布局后开始按原理图布线 (Routing); 布线过程中根据走线情况适时调整器件位置。初步布线完成后, 对局部走线进行优化。布线结束后, 调整各元件标识的位置, 移出元件内部并统一方向, 便于焊接时识别。随后进行敷铜 (Copper Pour), 主要区域包括电源附近及接地区域, 通过绘制多边形连接多数引脚。上述敷铜在 Top 层完成, 之后在 Bottom 层整体敷铜作为地, 以连接部分远离 Top 层 GND 区域的引脚。为提升可读性, 在设计过程中调整了显示颜色。

最后, 检查 Status 中的 Shapes 和 DRCs, 解决一处 Shapes 报错, 完成设计后保存并导出。

本人未与其他同学组队, 压缩包中提交的 PCB 即为需要提交厂方的版本。

二、遇到的问题与解决方法

- 对软件操作仍不熟悉, 经多次尝试掌握 rotate 指令以合理布局元件, 并解决了库导入问题。
- 初次绘制板框 (Board Outline) 时因单位设置错误导致尺寸异常, 调整单位后顺利绘制。
- 布线时发现连线交叉, 初步通过调整元件位置并改变走线方式绕线解决; 后续设计意识到可采用通孔 (Via) 跨层连接以避免交叉, 从而避免长距离走线。
- 敷铜时铜片未与引脚连接, 原因为 "Assign net name" 设置错误, 修正后完成敷铜。多边形绘制较为灵活, 有助于减少器件位置调整工作量。
- 初始接地敷铜时, 对远离敷铜区域但需接地的引脚采用导线连接, 导致布线混乱。后改为在 Bottom 层整体敷铜作为全局地, 多数接地引脚可直接与底层连接, 优化了布线与接地效果。非底层引脚通过通孔连接, 先敷铜或布线再打通孔实现接地。
- 发现一处 Shapes 报错, 按坐标定位后删除多余边界线 (Boundary Line), Status 界面无报错。
- 最终检查时界面因底层敷铜显得混乱, 通过调整配色使界面简洁明了。