

# 流水线 ADC 中的模电问题 \*

\* 电子电路基础课程论文

1<sup>st</sup> 张亦弛

浙江大学信息与电子工程学院

杭州, 中国

3210103159@zju.edu.cn

**摘要**—在本学期的电子电路基础课程中, 笔者学习了基本的电路模型和电路分析方法、基于运放的弱信号放大处理器、CMOS 集成电路以及数据转换电路。其中, 在学习数据转换电路的流水线 ADC 内容时, 教师安排的“将 12bit 流水线 ADC 改装为 13bit 流水线 ADC”作业让笔者对流水线 ADC 的整体架构和内部构造都有了更为清晰的理解。不仅如此, 这份作业也激发了笔者对流水线 ADC 的兴趣, 因此在学期末的专题研究中, 笔者选用《流水线 ADC 中的模电问题及其模块电路设计与仿真》作为专题研究的方向。本篇论文将从流水线 ADC 基本架构和设计理念入手, 从整体行为级的建模和仿真深入到对各个模块研究, 着力于运用课程中的知识来进一步自主学习流水线 ADC 的内容。

**关键词**—流水线 ADC, 数据转换电路, 建模仿真

## I. ADC 概览

为了利用数字技术处理模拟信号, 必须把采样收集的模拟信号转换成易于处理的数字信号, 这个过程就被称为模/数转换, 或 A/D(analog to digital) 转换, 实现 A/D 转换的电路称为 A/D 转换器 (ADC), 是数字转换电路中的一种, 是联系模拟电路和数字电路之间的桥梁。

### A. ADC 基本架构与 ADC 特性参数

ADC 基本架构如图 1 所示, 一般包括采样、保持、量化和编码四个过程, 主要由前置滤波器、采样/保持 (S/H) 电路、量化器、编码器四个部分构成。

模拟输入信号最先进入一个前置滤波器, 起作用是滤掉模拟输入信号中的高频成分, 令通过滤波器的信号频率在采样频率的一半以内, 避免高频信号引起的混叠。

采样/保持电路的作用是对模拟输入信号采样并保持在相应的固定值上, 以便后级电路进行量化处理。采

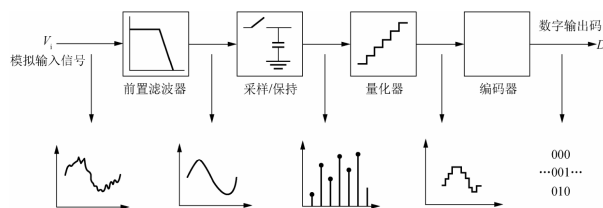


图 1. ADC 基本架构

样是将时间上连续变化的信号转换成离散的信号, 信号的幅度取决于输入的模拟量。

量化器的作用是量化模拟信号, 完成迷你信号到数字信号的转换, 并输出相应的数字码。编码器则是将量化器的输出更具一定的原则进行编码, 最终的到和模拟信号等价的数字输出码。

ADC 的特性主要包括静态特性和动态特性两方面。静态特性包括功耗、速率、分辨率、失调误差、增益误差、积分非线性、微分非线性等; 动态特性包括信噪比、有效位数、无杂散动态范围、总谐波失真等。

- **分辨率**是 ADC 能够分辨最小信号的能力, 此即最低有效位 LSB, 也称为量化间隔  $\Delta$ 。如果量化器是 N 位的, 最大和最小量化输出值分别为  $V_{ref}$  和  $-V_{ref}$ , 则量化器有  $2^N$  个量化电平, 量化间隔为

$$\Delta = \frac{2V_{ref}}{2^N}$$

如果信号小于量化间隔  $\Delta$ , ADC 就不能识别。

- **失调误差**是输出编码从最低位开始第一次跳变时, 实际模拟输入与理想模拟输入之间的偏差。**增益误差**是 ADC 实际量化曲线的斜率与理想量化曲线斜率的误差, 一般用最高输出编码对应的实际模拟输入和理想模拟输入之间的差值来表示。

- 由于电路的非理想因素，实际 ADC 的输入输出曲线会偏离像传输曲线。在实际 ADC 传输曲线中，步长的值可能会偏离一个 LSB，这样的偏差表示 ADC 的非线性特征，一般用差分非线性误差 (DNL) 和积分非线性误差 (INL) 来表征这样的非线性。
- 过采样率 (OSR) 是系统的采样频率  $f_s$  与信号奈奎斯特带宽 ( $f_n = 2f_{BW}$ ) 之比。

$$OSR = \frac{f_s}{2f_{BW}}$$

其中  $f_{BW}$  为信号带宽。

- 信噪比的值等于满刻度值与量化噪声均方根的比。信噪失真比 (SNDR) 是信号功率与所有谐波功率和所有噪声功率之和的比值，反映电路噪声、量化误差和谐波失真的组合效果。
- 有效位数 (ENOB) 一般以 bit 为单位，表达式为

$$ENOB = \frac{SNDR - 1.76}{6.02}$$

- 无杂散动态范围 (SFDR) 指在固定频域范围内信号功率  $P_s$  与最大谐波功率  $P_x$  之比，以 dB 表示的 SFDR 表达式为

$$SFDR = 10 \lg \frac{P_s}{P_x}$$

- 总谐波失真 (THD) 为信号功率与所有谐波分量的总能量之比。

## B. 流水线 ADC

事实上，ADC 有很多种类，如全平行 ADC、 $\Sigma-\Delta$  结构 ADC、SAR ADC 和流水线 ADC。不同类型的 ADC 因为分辨率和速度的差异，有着不同的应用背景。其中，流水线 ADC 速度在 1MHz 1GHz 之间，分辨率在 6 15bit 之间，适合中高速度和中高分辨率场景应用。

流水线 ADC 兼有平行 ADC 的优点，但所需的比较器却大大减少，是高速、高精度 ADC 的首选。较完整的流水线 ADC 系统结构如图 2 所示，主要由采样/保持 (S/H) 电路、若干子转换级、延迟对准寄存器阵列及数字校正电路、时钟产生电路、带隙基准电路等构成。

- S/H 模块在两相非交叠时钟的控制下将连续变化的模拟信号采样并保持在对应的固定电平上，有利于后级电路处理，提高转换精度。

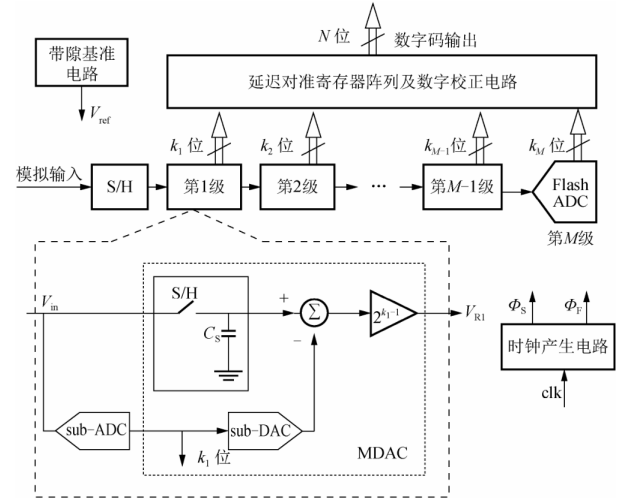


图 2. 流水线 ADC 系统结构

- 子转换级相互之间串行连接的，在两相非交叠时钟的控制下，偶数子转换级和奇数子转换级的工作模式交替进行。各子转换级转换出来的数据可以被并行处理。因此，流水线 ADC 有很高的数据转换速率。
- 带隙基准电路是为流水线 ADC 提供一个比较稳定的参考电压  $V_{ref}$
- 延迟对准寄存器阵列及数字校正电路给每个子转换级的数字输出加入延迟，使各子级电路对应于同一个模拟输入的数字输出在时序上对齐，以便进行数字冗余位校正。冗余位校正是一种数字误差纠正算法，它可大大降低子转换级中 Sub ADC 对比较器的精度要求。
- 最后一级 ADC 不需要产生冗余信号。

## C. 数字校正技术

流水线 ADC 中采用的开关电容动态锁存比较器虽然有较低的静态功耗和较快的速度，但是会引入更大的失调。此外，比较器采样电容失配以及子 ADC 与 MDAC 之间采样时间误差等都引入了失调比较电平发生偏移，并可能导致余量电压经残差放大器放大后超过满幅 FS

$$FS = \frac{2^{N-1}}{2^N}$$

式中 N 为量化位数。接下来，我们结合图 3 来说明数字校正技术的原理。

如果比较器在  $-\frac{V_{ref}}{4}$  处产生了大小为  $\delta < \frac{V_{ref}}{4}$  的误差，假设输入电压  $V_{in,k} \in (-\frac{V_{ref}}{4}, -\frac{V_{ref}}{4} + \delta)$ ，理想化

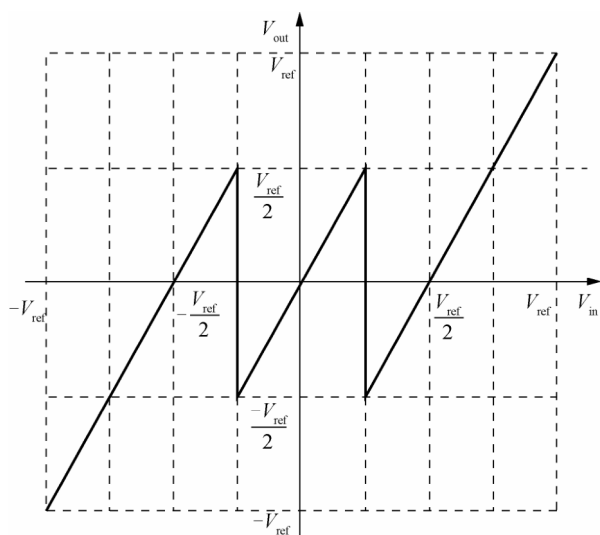


图 3. 带失调误差的 1.5bit/级输出余量图

情况下,量化器输出的数字码为 01,输出余量  $V_{in,k+1} \in (-\frac{V_{ref}}{2}, 0)$ 。若  $V_{in,k+1} \in (-\frac{V_{ref}}{2}, -\frac{V_{ref}}{4})$ , 下一级量化器输出的数字码为 00, 若  $V_{in,k+1} \in (-\frac{V_{ref}}{4}, -\frac{V_{ref}}{0})$ , 下一级量化器输出的数字码为 01, 此时将两级量化器输出的数字码错位相加, 就可得到数字码 010 或 011, 与理想输出仅有最后一位的误差, 继续向下传递, 前面的误差均被抵消制导最后误差很小且最后一级的 ADC 精度较高, 可以忽略误差。

通过这种方式降低流水线 ADC 对比较器精度的要求, 进一步提升运算速度, 降低功耗。

## II. 13BIT 流水线 ADC 的设计与仿真

图 4 向我们展示了一个 12bit 的流水线模型, 该模型由四个子模型构成, 分别是

- **采样/保持 (S/H) 模型**负责将输入信号采样与保持。建模过程中，需充分考虑各种非理想因素。
- **数字代码产生模型**由一个 2.5bit/级模块 7 个 1.5bit/级和 1 个 3bit Flash ADC 构成，输出 20 位待校准数字代码。
- **同步模型**将数字代码产生模块输出的不同步数字码经过延时单元进行时序同步。
- **数字校准模型**由一个 2.5bit/级模块、7 个 1.5bit/级模块产生的 17bit 数字粗码通过错位相加的方式进行校准，再与 Flash ADC 的 3bit 数字代码合并，最后输出正确的 12bit 代码。

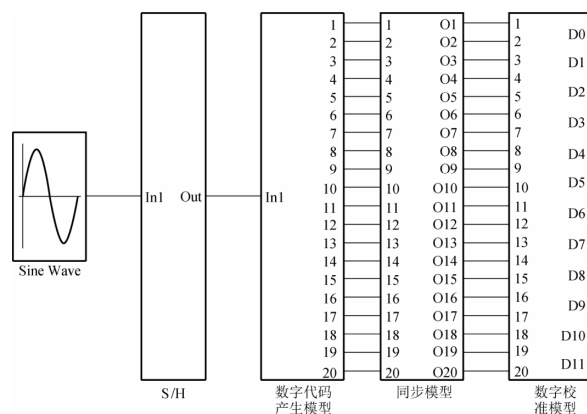


图 4. 12bit 流水线 ADC 模型

而在本次专题研究中, 我将设计一个 13bit 的流水线 ADC 并对其进行仿真测试, 出于对精度、速度、功耗的折中考虑, 该 13bit 流水线 ADC 将由一个 3.5bit/级模块 7 个 1.5bit/级和 1 个 3bit Flash ADC 模块级联完成 13bit 输出。

### A. 采样/保持模型

采样/保持电路的主要功能是将输入信号按相应时钟进行采样/保持,以供后续电路处理。选用理想电容翻转型采样/保持电路,其 Simulink 模型如图 5 所示。

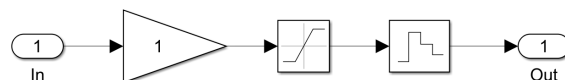


图 5. 理想电容翻转型采样/保持电路的 Simulink 模型

但是在实际运用中，需要考虑开关、电容和运放的非理想特性，因此引入四点非理想因素

- 开关热噪声和运放热噪声当使用 NMOS 管替代开关的 S/H 电路时，在开关导通情况下会产生一个导通电阻  $R_{on}$ ，这个电阻就是产生热噪声的源头，经分析，噪声输出总功率可表示为

$$P_{n,out} = \frac{kT}{C_s}$$

该式表明, 如果想要更低的噪声就要使用更大的采样电容  $C_S$ 。来自运放的噪声, 其单级运放噪声输出总功率的一种近似表达式为

$$Pn_{opamp} = \frac{4}{3} \cdot \alpha \cdot \frac{kT}{C_s}$$

其中,  $\alpha$  为运放的噪声因子, 通常取 3;  $C_L$  为运放输出端的总负载电容。根据上述公式我们分别搭建出模拟开关热噪声和运放热噪声的 Simulink 模型, 并通过仿真, 得到以下波形:

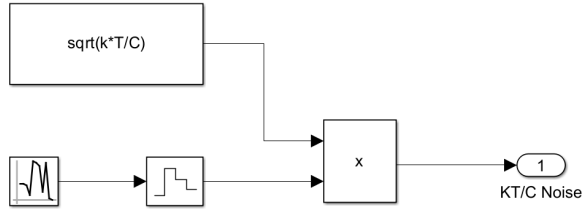


图 6. 模拟开关热噪声模型

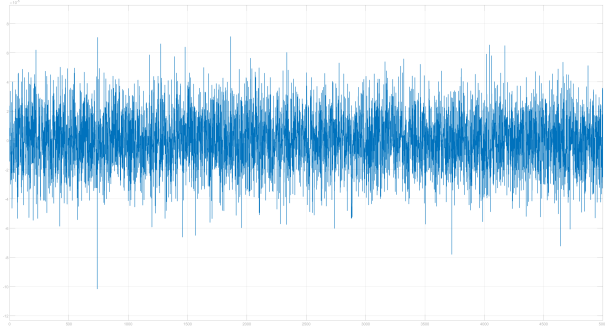


图 7. 模拟开关热噪声模型仿真结果 ( $T = 300K$ ,  $C = 10^{-12}$ )

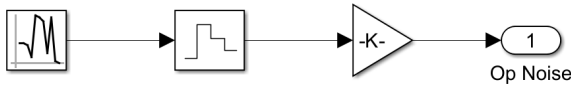


图 8. 模拟运放热噪声模型

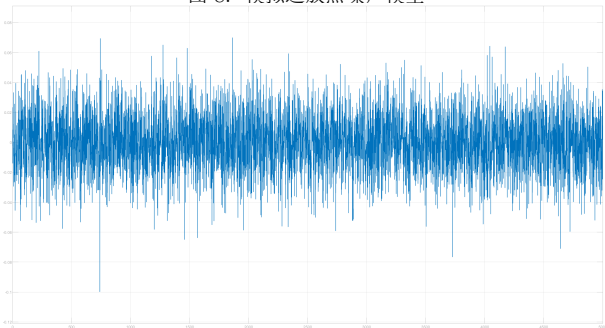


图 9. 模拟运放热噪声模型仿真结果 ( $\delta = 0.02$ )

- **时钟抖动噪声**实际电路中的时钟相对理想时钟的上升沿和下降沿会产生一定的随机误差, 从而导致流水线 ADC 输入信号采样的不确定性。由于后级流水线均是对采样/保持电路的输出进行采样, 因此

只需考虑采样/保持电路的时钟抖动误差。假设输入信号为  $f(t) = At$  的斜坡信号, 斜率为  $A$ , 时钟采取下降沿, 时钟抖动误差为  $\Delta t$ , 那么采样/保持电路对输入信号的实际采样点由  $f(t)$  变成了  $f(t + \Delta t)$ , 那么由时钟抖动引起的误差为

$$\varepsilon = f(t) - f(t + \Delta t) = A\Delta t$$

$$V_{in}(t) = V_{in,ideal}(t) + \frac{dV_{in}(t)}{dt} \Delta t$$

根据上述公式我们搭建出模拟时钟抖动噪声的 Simulink 模型, 并输入一个正弦波, 调节  $\Delta t$  为 0.02, 得到以下输出波形

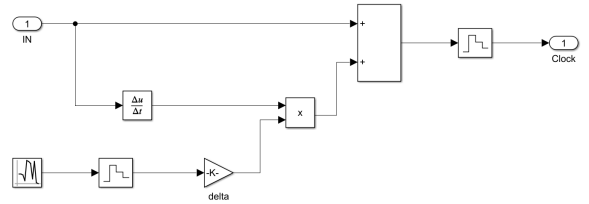


图 10. 模拟时钟抖动噪声模型

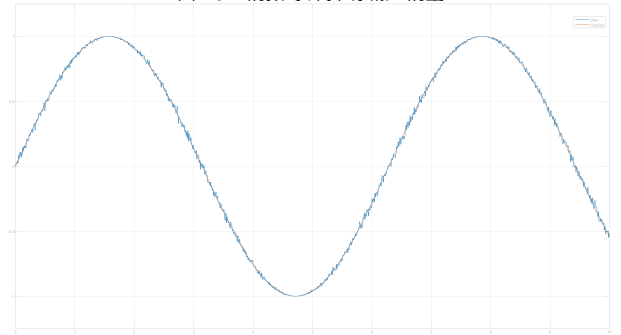


图 11. 模拟时钟抖动噪声模型仿真结果

- **运放有限增益误差**对于同相放大器, 其输入输出关系为

$$V_o = V_i \times \frac{A_v}{1 + \beta A_v} \approx V_i \times \frac{1}{\beta} \left(1 - \frac{1}{\beta A_v}\right)$$

式中  $A_v$  为运放开环增益,  $\beta$  为反馈系数。对于电容翻转型采样/保持电路, 其反馈系数  $\beta$  为

$$\beta = \frac{C}{C + C_p}$$

式中  $C_p$  为运放输入端微小的寄生电容。两式综合, 可表明当运放非理想时, 会产生一个  $V_i \times \frac{1}{\beta A_v}$  的非线性误差。根据上述公式我们分别搭建出模拟开关热噪声和运放热噪声的 Simulink 模型:

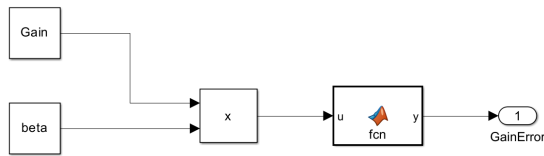


图 12. 模拟运放有限增益误差模型

- 运放有限单位增益带宽导致运放输出信号不完全，假设采样/保持电路中的运放在闭环情况下可近似看作单极点系统，运放单位增益带宽为 GBW，反馈系数为  $\beta$ ，输入信号可以看作阶跃信号。那么系统的闭环传递函数为

$$H(s) = \frac{V_o(s)}{V_i(s)} = A_c \frac{1}{1 + \frac{s}{\beta \cdot GBW}}$$

根据以上的几点非理想因素，我们就可以搭建出实际采样/保持电路的 Simulink 模型。其中 fcn 模块是对运放有限单位增益带宽导致运放输出信号不完全进行的模拟。输入一个正弦波，得到以下波形。可以看出新

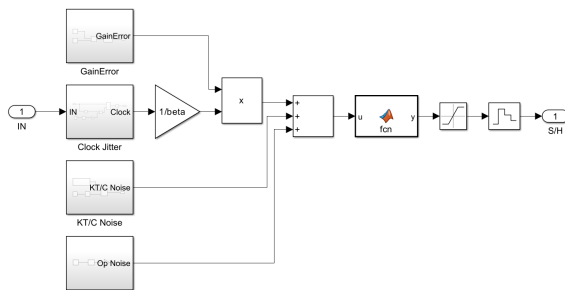


图 13. 实际采样/保持电路模型

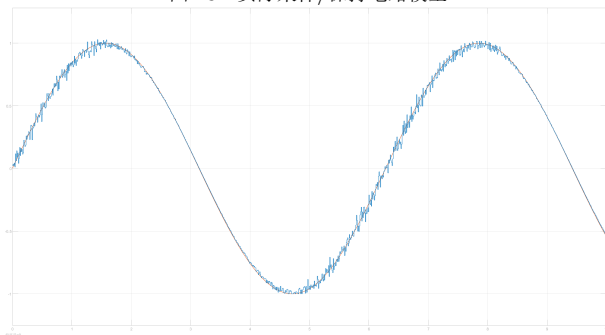


图 14. 实际采样/保持电路模型仿真结果

的波形相对于正弦波增加了许多噪音，更接近于实际的信号。但是在后续仿真中，为了电路结构相对简单，我

们在子结构中仅保留模拟时钟抖动噪声模型，使用以下的简化模型。

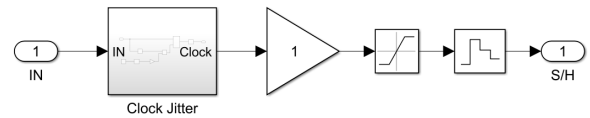


图 15. 简化采样/保持电路模型

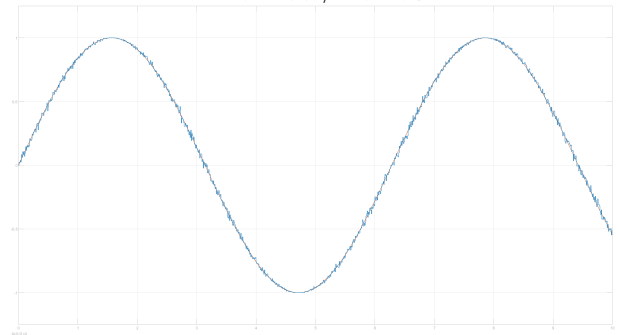


图 16. 简化采样/保持电路模型仿真结果

## B. 数字代码产生模型

该 13bit 流水线 ADC 的数字代码产生模型将由一个 3.5bit/级模块 7 个 1.5bit/级和 1 个 3bit Flash ADC 模块级联完成 13bit 输出。

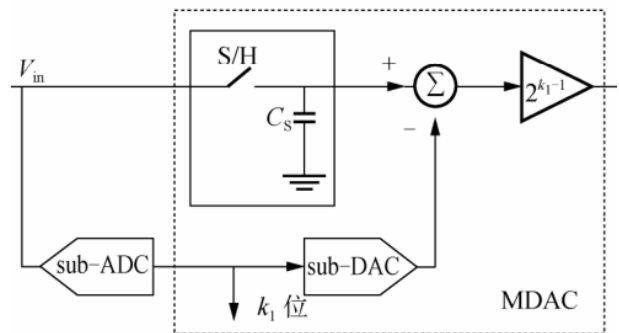


图 17. 子转换级模型

由图 17，由 SubADC 粗量化得到的  $k_i$  数字信号通过 SubDAC 转换为模拟信号；从本级输入模拟信号中减去 SubDAC 输出的模拟信号；差值被放大  $2^{k_1-1}$  倍至满幅。放大后的信号被保持以便后一级的处理。

接下来，以 3.5bit/级为例，来设计子转换级。由图 18，可以看出设计的 3.5bit/级有这么几个基本的结构：采样/保持电路、SubADC、SubDAC、Encoder。

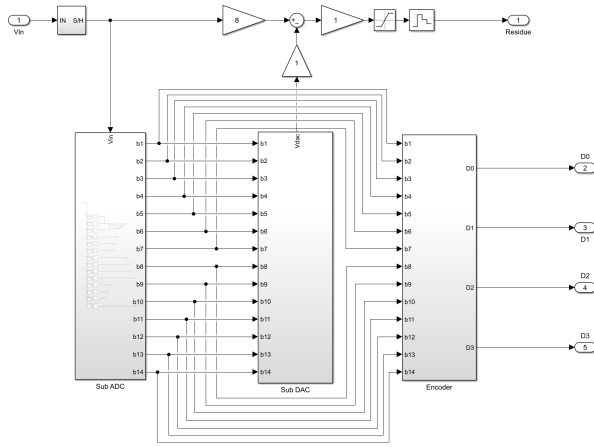


图 18. 3.5bit/级基本架构

首先根据图 3，可以类比推出 3.5bit/级 Sub-DAC 的传输曲线。其具体函数表达式为

$$V_{out} = \begin{cases} 8V_{in} + 7V_{ref} & V_{in} < -\frac{13}{16}V_{ref} \\ 8V_{in} + iV_{ref} & -\frac{2i-1}{16}V_{ref} \leq V_{in} < -\frac{2i+1}{16}V_{ref} \\ 8V_{in} - 7V_{ref} & \frac{13}{16}V_{ref} \leq V_{in} \end{cases}$$

其中  $i = -6, -5, -4, -3, -2, -1, 0, 1, 2, 3, 4, 5, 6$ ;

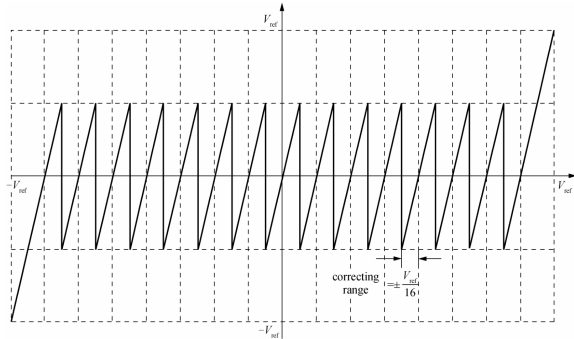


图 19. 3.5bit/级 Sub-DAC 的传输曲线

首先 SubDAC 会根据输入的信号粗量化输出一串 14bit 的数字信号，结合 3.5bit/级 Sub-DAC 的传输曲线，可以设计出如图 20 结构的 SubADC。之后，根据 3.5bit/级 Sub-DAC 的传输曲线给出的函数关系，可以设计出如图 21 结构的 SubDAC 以输出指定残量。在输出残量的同时，也要求根据逻辑关系输出一个四位二进制编码，根据此逻辑关系，可以设计出指定结构的 Encoder。

至此，我们就完成了整个 3.5bit/级的设计，接下来我们对其进行仿真测试。首先设置一个初始值为-1V 的斜坡信号输入到 3.5bit/级中，得到了传输曲线，基本符

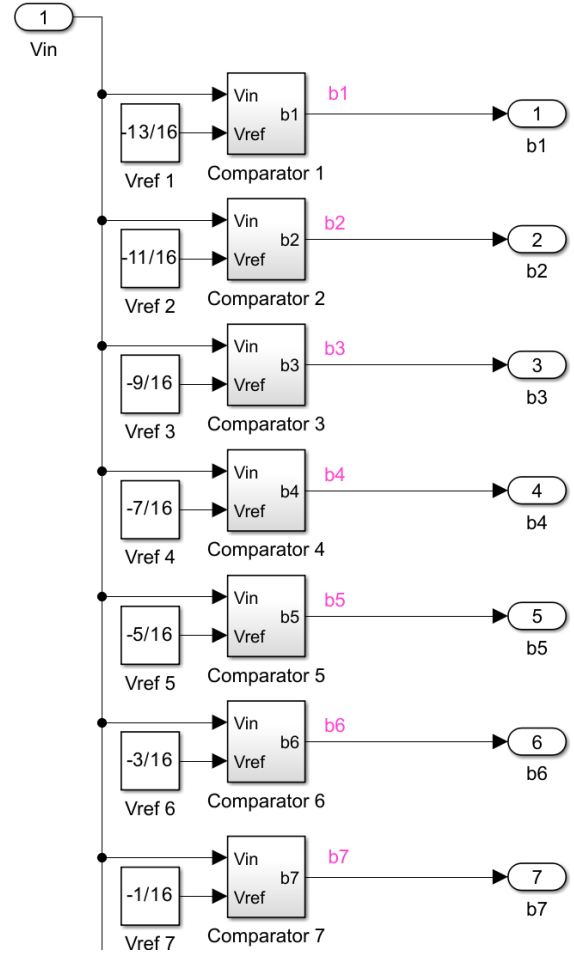


图 20. SubADC 模型 (部分)

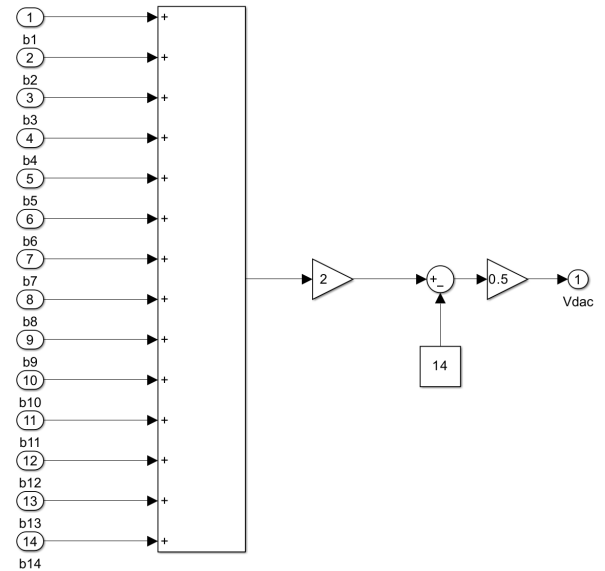


图 21. SubDAC 模型

合设计要求。再观察 Encoder 的四个输出，也符合逻辑要求。

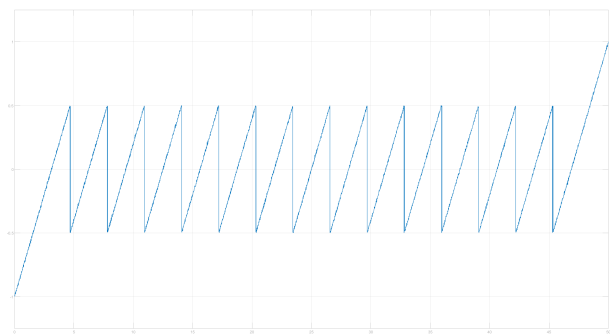


图 22. 传输曲线仿真

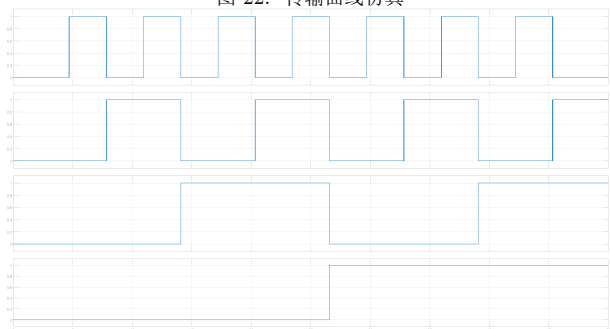


图 23. 逻辑输出仿真

同理，我们设计了 1.5bit/级和 3bit 的 Flash ADC，并将它们级联就获得了整个数字代码产生模型。

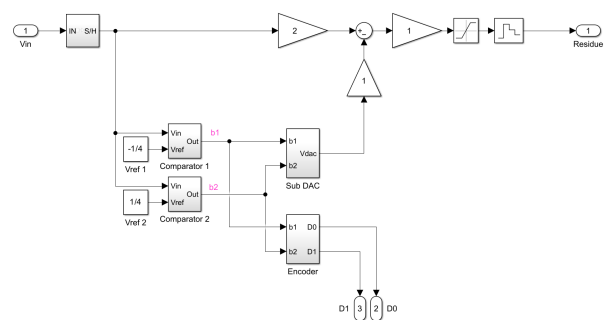


图 24. 1.5bit/级 Simulink 模型

### C. 同步模型

同步模型实为延时对准模型。在流水线 ADC 中级与级之间是交替工作的，后级的数据输出相比于前级会延迟 1/2 个时钟周期，故要对整组数据进行校正就必须等到最后一级输出才能进行。数据保存和时间对准可以由一系列 D 触发器组成的移位寄存器逻辑单元实现。

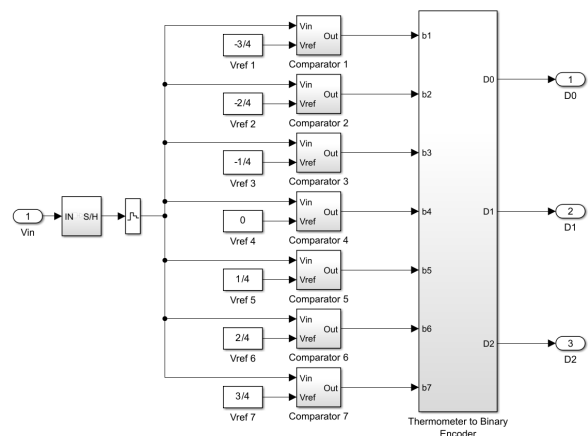


图 25. 3bit Flash ADC

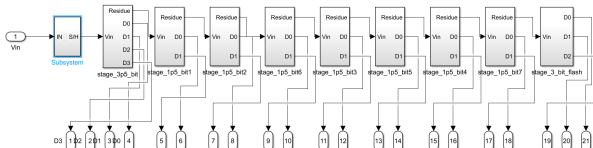


图 26. 数字代码产生模型

数据移位通过两相不交叠时钟  $\phi_1$ 、 $\phi_2$  控制。随着模数转换进行，数据不断进入移位寄存器并逐渐往右移位，直到最后一级输出。

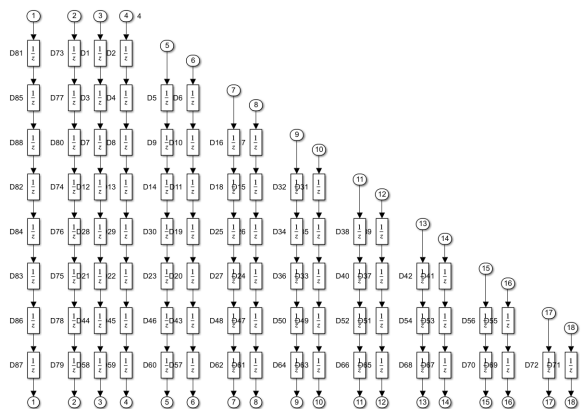


图 27. 同步模型

### D. 数字校准模型

全加器是数字校准电路的核心模块。根据 N.5 位/级结构的特点，采取错位相加的方式对数据进行校准，再与 FlashADC 的 3bit 数字代码合并，输出 13bit 数据。

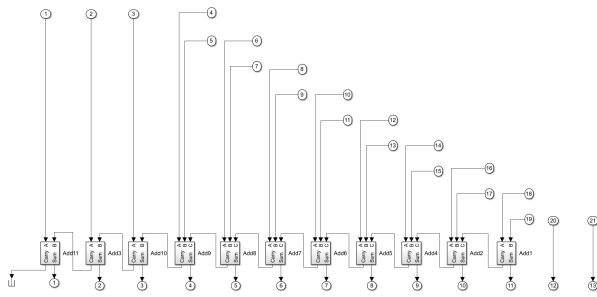


图 28. 数字校准模型

由此我们就得到了整个 13bit 流水线 ADC。

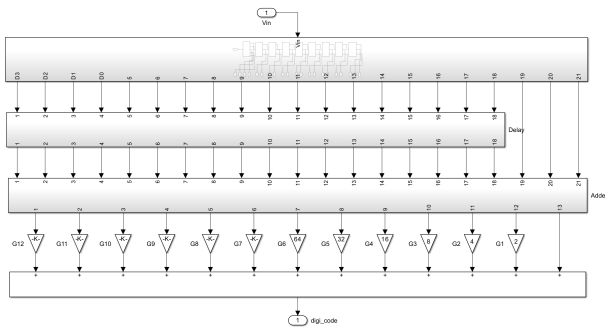


图 29. 13bit 流水线 ADC 模型

接下来我们对这个传统带采样保持电路的 13bitADC 进行仿真测试，输入一个正弦波。从

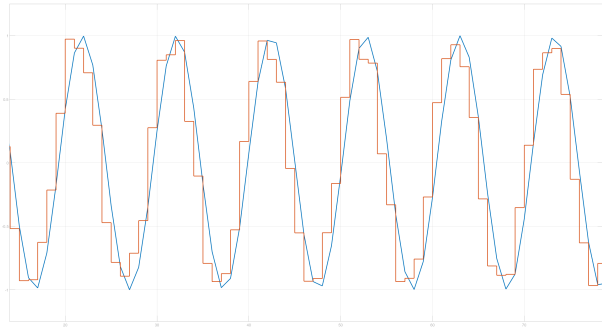


图 30. 13bitADC 输出波形

结果中我们可以算出该 ADC 的 SNDR=19.20dB, ENOB=2.89bit, 在考虑了诸多非理想性后性能有了明显的下降。远远不及理想情况下的 SNDR 与 ENDB。

#### E. SHA-less 架构

去除前置 S/H 电路的结构称作 SHA-less 架构，这样能够大大减少 S/H 电路中非理想因素对流水线 ADC

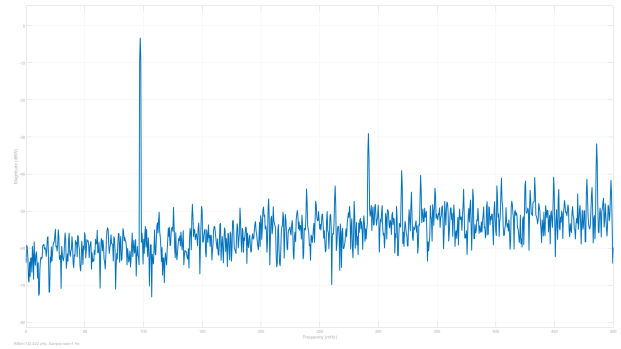


图 31. 13bit 流水线 ADC 输出频谱

的影响,同时可以降低功耗,满足当下 ADC 设计的要求。为了验证 SHA-less 结构是否拥有优越性,在 simulink 下进行仿真。将上一小节中的前端 S/H 电路去除后,可以得到下图的仿真结果。

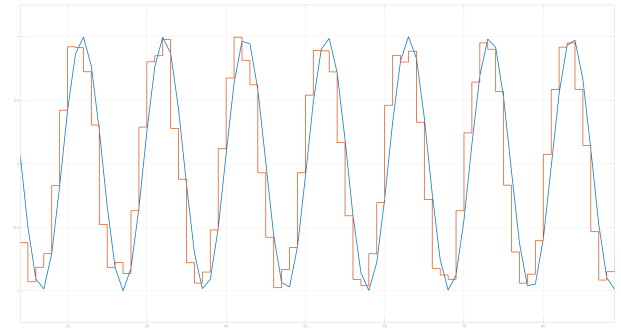


图 32. SHA-less-13bitADC 输出波形

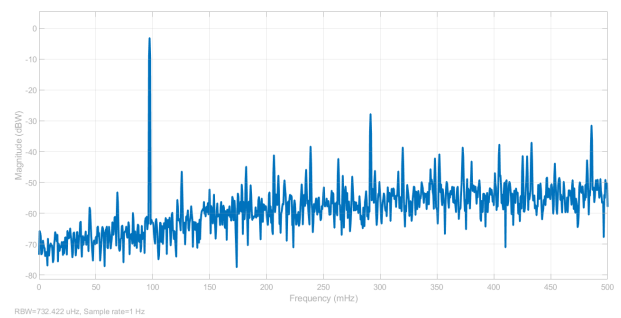


图 33. SHA-less-13bit 流水线 ADC 输出频谱

从结果中我们可以算出该 ADC 的 SNDR=19.46dB, ENOB=2.94bit, 在使用了 SHA-less 架构后性能有了些许提升,但是并不明显。但是通过查阅资料可知, SHA-less 电路在高速低功耗流水线 ADC 中有着广泛的应用前景。



### III. 流水线关键技术及其电路仿真

#### A. 运算放大器的设计与仿真

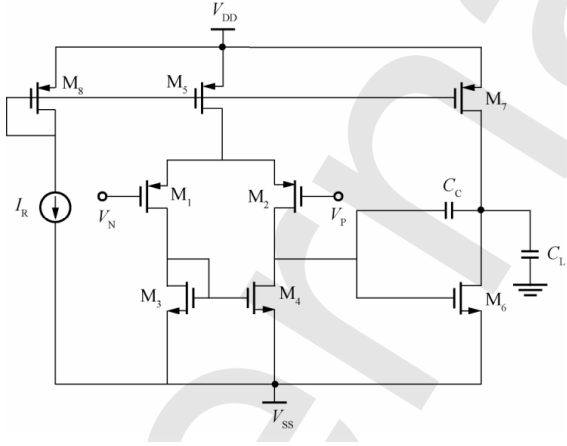


图 34. 二级运放结构图示

首先列出各个参数的设计方程和  $0.8\mu\text{m}$  CMOS 工艺参数:

$$C_c \geq 0.22C_L$$

$$\frac{g_{m6}}{g_{m2}} > 10$$

$$GBW = \frac{g_{m1}}{C_c}$$

$$SR \approx \frac{I_5}{C_c}$$

$$A_{v1} = \frac{-g_{m1}}{g_{ds2} + g_{ds4}}$$

$$A_{v2} = \frac{-g_{m6}}{g_{ds6} + g_{ds7}}$$

$$A_v = A_{v1}A_{v2} = \frac{g_{m1}}{g_{ds2} + g_{ds4}} \frac{g_{m6}}{g_{ds6} + g_{ds7}}$$

$$V_{cm,max} = V_{DD} - \sqrt{\frac{I_5}{\beta_1}} - V_{DS5,sat} - \max(|V_{TP1}|)$$

$$V_{cm,min} = V_{SS} + \sqrt{\frac{I_5}{\beta_3}} + \max(V_{TN3}) - \min(|V_{TP1}|)$$

$$P = (V_{DD} - V_{SS})(I_{M5} + I_{M6} + I_R)$$

(1)

$$\mu_n C_{ox} = 110\mu\text{A}/\text{V}^2$$

$$\mu_p C_{ox} = 50\mu\text{A}/\text{V}^2$$

$$\lambda_n = 0.04\text{V}^{-1}$$

$$\lambda_p = 0.05\text{V}^{-1}$$

$$T_{ox} = 14 \times 10^{-9}$$

$$A_v > 5000$$

$$GBW = 5\text{MHz}$$

$$C_L = 10\text{pF}$$

$$SR > 10\text{V}/\mu\text{s}$$

$$-2\text{V} \leq ICMR \leq 1\text{V}$$

$$V_{out} = \pm 2\text{V}$$

$$V_{DD} = 2.5\text{V}$$

$$V_{SS} = -2.5\text{V}$$

$$P_{diss} \leq 2\text{mW}$$

$$L = 1\mu\text{m}$$

根据设计方程和  $0.8\mu\text{m}$  CMOS 工艺参数, 计算各 MOS 管参数:

$$C_c \geq 0.22C_L = 2.2\text{pF}$$

故取

$$C_c = 3\text{pF}$$

$$I_{M5} \approx C_c SR = 30\mu\text{A}$$

$$\left(\frac{W}{L}\right)_3 = \frac{\beta_3}{\mu_n C_{ox}} = 6.8$$

故取

$$\left(\frac{W}{L}\right)_3 = \left(\frac{W}{L}\right)_4 = 7$$

$$g_{m1} = GBWC_c = 92.45\mu\text{S}$$

$$I_{M1} = I_{M2} = \frac{1}{2}I_{M5} = 15\mu\text{A}$$

$$\left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2 = \frac{g_{m1}^2}{2\mu_n C_{ox} I_{M1}} = 5.92$$

故取

$$\left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2 = 6$$

表 I  
MOS 管参数

MOS	$\frac{W}{L}$	$I(\mu A)$
$M_1, M_2$	6	15
$M_3, M_4$	7	15
$M_5, M_8$	11	30
$M_6$	44	92
$M_7$	34	92

$$V_{DS5,sat} = -V_{cm,max} + V_{DD} - \sqrt{\frac{I_5}{\beta_1}} - max(|V_{TP1}|) = 0.334V$$

$$\left(\frac{W}{L}\right)_5 = \frac{2I_{M5}}{\mu_p C_{ox} V_{DS5,sat}^2} = 10.77$$

故取

$$\left(\frac{W}{L}\right)_5 = 11$$

$$g_{m6} \geq 10g_{m2} = 942.478\mu S$$

故取

$$g_{m6} = 943\mu S$$

$$g_{m4} = 2\sqrt{\frac{\mu_n C_{ox}}{2} \left(\frac{W}{L}\right)_4 \frac{1}{2} I_{M5}} = 151.9\mu S$$

$$\left(\frac{W}{L}\right)_6 = \left(\frac{W}{L}\right)_4 \frac{g_{m6}}{g_{m4}} = 43.43$$

故取

$$\left(\frac{W}{L}\right)_6 = 44$$

$$I_{M7} = I_{M6} = \frac{g_{m6}^2}{2\mu_n C_{ox} \left(\frac{W}{L}\right)_6} = 91.8\mu A$$

$$\left(\frac{W}{L}\right)_7 = \left(\frac{W}{L}\right)_5 \frac{I_{M7}}{I_{M5}} = 33.68$$

故取

$$\left(\frac{W}{L}\right)_7 = 34$$

```
.SUBCKT OPAMP 1 7 vip vin 4
* vip vip
* vin vin
* 4 vout
* 1 VDD
* 7 VSS

M1 6 vin 3 3 p08 W=6U L=1U
M2 5 vip 3 3 p08 W=6U L=1U
M3 6 6 7 7 n08 W=7U L=1U
M4 5 6 7 7 n08 W=7U L=1U
M5 3 2 1 1 p08 W=11U L=1U
M6 4 5 7 7 n08 W=44U L=1U
M7 4 2 1 1 p08 W=34U L=1U
M8 2 2 1 1 p08 W=11U L=1U
Cc 4 5 3p
IR 2 7 30u

.MODEL n08 NMOS VTO = 0.70 KP = 110U GAMMA = 0.4 LAMBDA =
0.04
+ PHI = 0.7 MJ = 0.5 MJSW = 0.38 CGB0 = 700P CGS0 = 220P
CGD0 = 220P
+ CJ = 770U CJSW = 380P LD = 0.016U TOX = 14N
.MODEL p08 PMOS VTO = -0.70 KP = 50U GAMMA = 0.57 LAMBDA =
0.05
+ PHI = 0.8 MJ = 0.5 MJSW = 0.35 CGB0 = 700P CGS0 = 220P
CGD0 = 220P
+ CJ = 560U CJSW = 350P LD = 0.014U TOX = 14N

.ENDS
```

Listing 1. OPA.cdl

接下来我们该运算放大器在 Hspice 中进行仿真测试。首先进行开环测试，令共模输入为 0V，从正极输入输入差分输入，进行直流仿真，各个 MOS 管的直流工作点如图。可以看出所有的 MOS 管均正常工作在饱和区。

对整体电路的功耗进行计算：

$$P_{diff} = 5V \times 30.6971\mu A = 0.1534mW$$

该运算放大器的 cdl 文件，如代码 1 所示。

$$I_R = I_{M5}$$

故取

$$\left(\frac{W}{L}\right)_8 = \left(\frac{W}{L}\right)_5 = 11$$

```
**** mosfets
```

subckt	x1	x1	x1	x1	x1	x1	x1	x1
element	1:m1	1:m2	1:m3	1:m4	1:m5	1:m6	1:m7	1:m8
model	1:p08	1:p08	1:n08	1:n08	1:p08	1:n08	1:p08	1:p08
region	Saturati	Saturati	Saturati	Saturati	Saturati	Saturati	Saturati	Saturati
id	-15.3485u	-15.3485u	15.3485u	15.3485u	-30.6971u	101.0065u	-101.0065u	-30.0000u
ibs	0.	0.	0.	0.	0.	0.	0.	0.
ibd	35.5005f	35.5005f	-12.1536f	-12.1536f	20.5151f	-28.7285f	39.4407f	13.8574f
vgs	-995.2790m	-995.2790m	891.4312m	891.4312m	-1.0164	891.4312m	-1.0164	-1.0164
vds	-2.6038	-2.6038	891.4312m	891.4312m	-1.5047	2.1071	-2.8929	-1.0164
vbs	0.	0.	0.	0.	0.	0.	0.	0.
vth	-697.1376m	-697.1376m	697.4274m	697.4274m	-697.1376m	697.4274m	-697.1376m	-697.1376m
vd sat	-298.1414m	-298.1414m	194.0038m	194.0038m	-319.2574m	194.0038m	-319.2574m	-319.2574m
vod	-298.1414m	-298.1414m	194.0038m	194.0038m	-319.2574m	194.0038m	-319.2574m	-319.2574m
beta	345.3441u	345.3441u	815.5970u	815.5970u	602.3445u	5.3672m	1.9820m	588.6665u
gam eff	570.0000m	570.0000m	400.0000m	400.0000m	570.0000m	400.0000m	570.0000m	570.0000m
gm	102.9614u	102.9614u	158.2291u	158.2291u	192.3029u	1.0413m	632.7589u	187.9361u
gds	679.0228m	679.0228m	592.8035m	592.8035m	1.4275m	3.7262u	4.4121u	1.4275m
gmb	32.8728u	32.8728u	37.9282u	37.9282u	61.3971u	249.5999u	282.0227u	60.0029u
cdtot	1.3699f	1.3699f	1.5599f	1.5599f	2.4729f	9.9752f	7.7944f	2.4557f
cg tot	13.1791f	13.1791f	15.2217f	15.2217f	23.5311f	92.2678f	71.4606f	23.539f
cs tot	10.9099f	10.9099f	12.6822f	12.6822f	20.0015f	79.7167f	61.8229f	20.0015f
cb tot	899.2473a	899.2473a	979.6132a	979.6132a	1.0566f	2.5760f	1.8433f	1.0566f
cgs	10.9099f	10.9099f	12.6822f	12.6822f	20.0015f	79.7167f	61.8229f	20.0015f
cgd	1.3699f	1.3699f	1.5599f	1.5599f	2.4729f	9.9752f	7.7944f	2.4557f

图 35. MOS 管直流工作点

$$P_{comm} = 5V \times 101.0065\mu A = 0.5050mw$$

$$P_{csc} = 5V \times 30.0000\mu A = 0.1500mw$$

$$P = P_{diff} + P_{comm} + P_{csc} = 0.8084mW$$

根据仿真参数计算运放的增益:

$$A_{v1} = \frac{-g_{m1}}{g_{ds2} + g_{ds4}} = -80.9556$$

$$A_{v2} = \frac{-g_{m6}}{g_{ds6} + g_{ds7}} = -127.9505$$

$$A_v = A_{v1}A_{v2} \approx 80.31dB$$

```
**** small-signal transfer characteristics
```

v(3)/vvip		=	10.3389k
input resistance at	vvip	=	1.000e+20
output resistance at v(3)		=	122.8752k

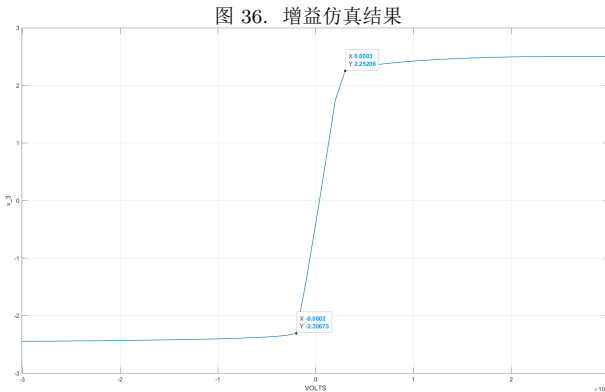


图 36. 增益仿真结果

图 37. 电压输出曲线

实际仿真得到的增益为 10.3389k, 满足设计要求  $A_v \geq 5000$ 。查看电压输出特性曲线, 可以看出

$-2.31V \leq V_{out} \leq 2.25V$ , 满足了  $V_{out} = \pm 2V_d$  的设计要求。进行交流仿真, 得到以下结果:

$$A_v = 10338.9$$

$$GBW = 5.0118MHz$$

$$\phi = 180 - 112 = 68$$

满足 60 的相位裕度设计要求

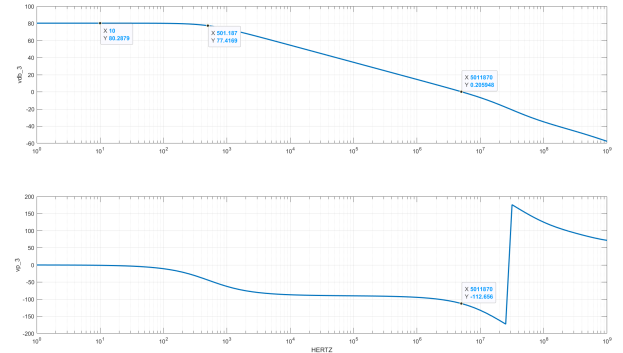


图 38. 波特图

接下来我们将运放接为反馈电路, 利用 Hspice 进行仿真, 得到输入电压 -输出电压/电流关系。图中可见共模输入范围 ICMR 为  $[-2.38V, 1.2V]$ , 满足设计要求  $[-2V, 1V]$

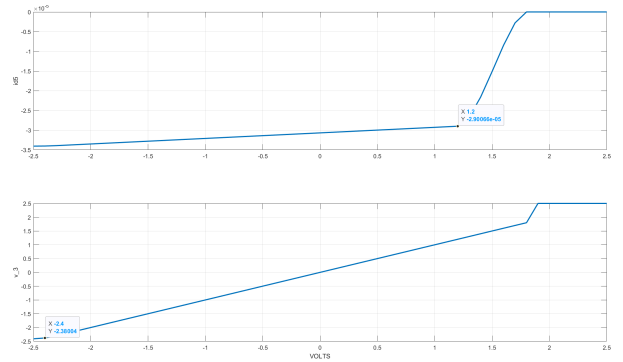


图 39. 输入电压-输出电压/电流关系

利用幅度为 4V 的大信号和幅度为 0.2V 的小信号来测试压摆率。首先可以计算出设计指标:

$$SR \approx \frac{I_{M5}}{C_c} = 10V/\mu s$$

根据仿真结果, 我们可以计算出:

$$SR_{UP} = 7.42V/\mu s$$

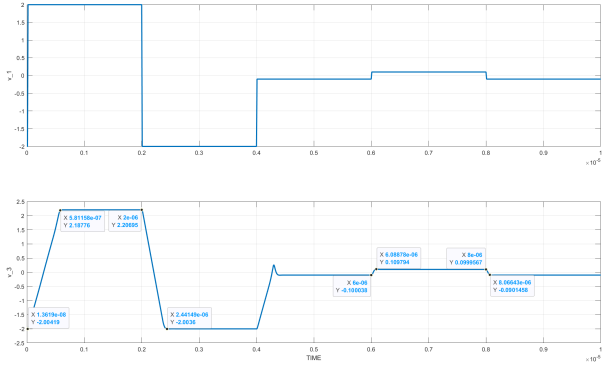


图 40. 压摆率测试

$$SR_{DOWN} = 10.07V/\mu s$$

可以看出该运算放大器的上行压摆率仍未达标，下行压摆率达标。最后我们进行共模抑制比的测试，将正负输入同时接到一个电压源，则  $CMRR \approx \frac{v_{cm}}{v_o}$ ，根据仿真结果可得：

$$CMRR = 84.82dB$$

至此，我们已经完成了对整个运算放大器的设计与仿

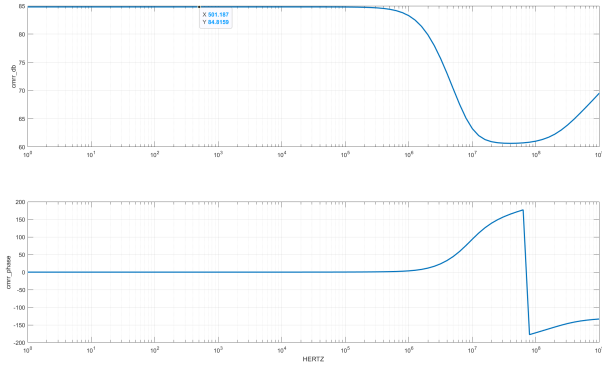


图 41. 共模抑制比测试

真，尽管部分指标并未达到一开始的设计目标，但是在后续的仿真中，该运放仍能较好地完成任务，故继续使用此运放。

表 II  
运算放大器性能参数

	总功率	开环增益	GBW	相位裕度
设计指标	$\leq 2mW$	73.98dB	5MHz	$\geq 60$
实际值	0.81mW	80.29dB	5.012MHz	68

表 III  
运算放大器性能参数

	SR	CMRR	输出电压摆幅	ICMR
设计指标	$\geq 10V/\mu s$	NONE	[-2V,2V]	[-2V,1V]
实际值	7.42, 10.07V/ $\mu s$	84.82	[-2.31V,2.25V]	[-2.38V,1.2V]

## B. 简单采样/保持电路中的开关电路设计与仿真

在进行对采样/保持电路的设计仿真之前，由于实际采样/保持电路的开关一般都用晶体管替代，当施加到栅极的时钟信号为高电平时，NMOS 晶体管源极与漏极导通，相当于开关闭合；而当时钟信号为低电平时，NMOS 管截止，相当于开关断开。如采用 PMOS 管，则开断情况正好相反。MOS 管导通时，即可工作于线性区，也可工作于饱和区。由于线性区导通电阻小，所以一般让其工作于线性区。MOS 管相对于理想开关而言，导通时具有一个非零电阻  $R_{on}$ ，截止时的电阻也并非无穷大，而是一个电阻  $R_{off}$ 。然而单个 MOS 管作开关时，不仅存在毛刺和输出失真问题，还存在时钟馈通效应、电荷注入效应，使采样电容上的电压值与 MOS 开关断开时的电压由一定误差。因此我们选用传输门

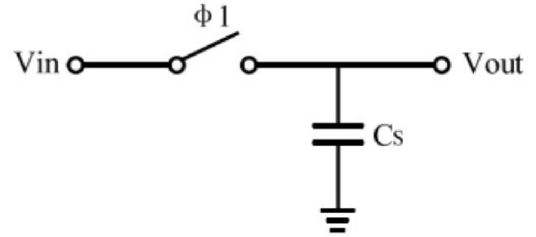


图 42. 简单采样/保持电路

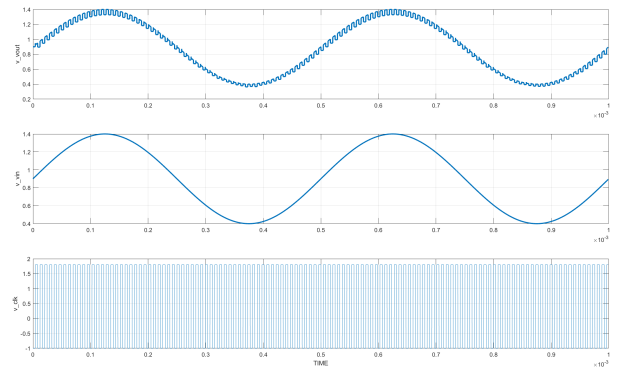


图 43. NMOS 开关仿真结果

开关来代替单个 MOS 作为开关, CMOS 传输门是由一个 PMOS 和一个 NMOS 组成的, 他们的栅极接出来作为控制端, 分别接相位相反的控制电平。由基本的器件知识可以知道, 当 PMOS 的栅极接高电平的时候, PMOS 管截止, 栅极接低电平的时候 PMOS 管导通; 当 NMOS 的栅极接高电平的时候, NMOS 管导通, 栅极接低电平的时候 NMOS 管截止。因此当 PMOS 的栅极接低, NMOS 的栅极接高电平时, 传输门的输入和输出导通, 此时就能实现电平的传输。

```
* CMOS inverter
.subckt INV vdda gnda in out
MPM2 out in vdda vdda p18 W=4u L=180n m=1
NMN1 out in gnda gnda n18 W=2u L=180n m=1
.ends

* CMOS switch
.subckt SWITCHb vdda gnda s in out
x1 vdda gnda s s_inv / INV
m1 out s in gnda n18 W=2u L=180n m=1
m2 out s_inv in vdda p18 W=4u L=180n m=1
.ends
```

Listing 2. Transmission Gate.cdl

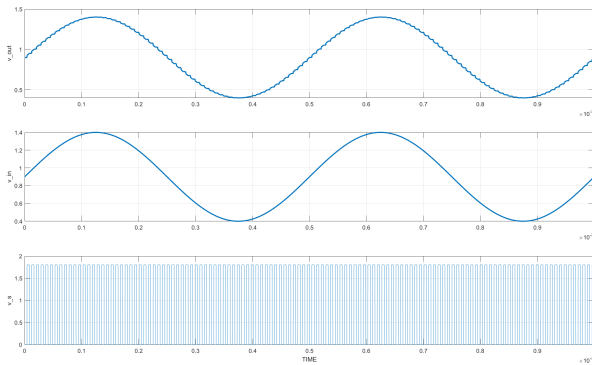


图 44. 传输门开关仿真结果

可以看到传输门开关基本可以完成开关的任务, 且更具 MATLAB 仿真结果, 可以计算出:

$$SR_{UP} = 41.82V\mu s$$

$$SR_{UP} = 47.24V\mu s$$

尽管这个压摆率并不理想, 但由于相对比之前设计的运算放大器已经足够大, 可以满足较低速率情况下的工作。简单采样/分析电路在 Simulink 的频谱分析中 SNR=8.75dB, 并不理想, 在精度和速度要求不高的场合, 一般的传输门结构就能够满足要求, 但是如果设计

要求比较苛刻, 那么普通的传输门结构就不能满足要求了, 我们知道传输门的导通电阻会随输入电压的变化而变化, 所以传输门的时间常数是随输入变化的, 在开关时间常数较大时可能会有建立不完全的情况, 所以会引入非线性。引起输出失真。通过阅读文献, 我们发现在高速低功耗电路中常使用栅压自举式开关, 其优势在于可以提高电路速度与线性度, 减少信号传输过程中的衰减与失真。

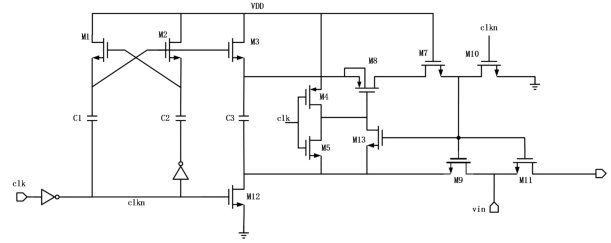


图 45. 栅压自举式开关电路

其中 clk\_n 是 clk 的反向信号, 左边的 MOS 管和电容的作用就是保证在采样时 M11 栅源电压保持恒定, 下面分析具体工作原理: 首先在 clk 为低电平时, 电容 C1 下极板为高电平, C2 下极板为低电平, 由于电容两端电压不能突变的特性, C1 上极板为高电平, M2 导通, 向 C2 充电至  $V_{DD}$ , 此时 C1 两端电压为 0, 而 C2 两端电压为  $V_{DD}$ , 同时 M3 导通, 所以 C3 两端的电压为  $V_{DD}$ 。M10 导通, M4, M5 构成的反相器输出为高, M8 关闭, M10 源端 0 电压就会传到 M9, M11 的栅端, M11 关断。

当 clk 为高电平时, 电容 C1 下极板为低电平, C2 下极板为高电平, 由于电容两端电压不能突变的特性, 那么 C1 上极板为低电平, 那么 M2 关断。C2 上极板电压为  $2V_{DD}$ , M1 导通, 向 C1 充电到  $V_{DD}$ , 此时 M2 还是关闭的, 所以此时 C1 两端电压为  $V_{DD}$ , C2 两端电压为  $V_{DD}$ , M3 和 M12 关断, C3 两端电压还是保持  $V_{DD}$ 。clk\_n 为低电平, M10 关断。M7 一直处于导通状态, M4, M5 形成的反相器输出为 M5 的源端电压、M8 的栅端电压, M8 的源端电压为 C3 的上极板电压, 所以 M8 栅源电压为 C3 两端的电压为  $V_{DD}$ , 所以 M8 导通、M9 导通, 此时 v\_in 信号会从 M9 传出, 传到 C3 下极板, 所以 C3 下极板的电压为  $V_{in}$ , 由于 C3 电荷没有泄放通道, 所以 C3 上极板的电压为  $V_{in} + V_{DD}$ , 而这个电压会传到 M11 栅端, 所以在采样过程中 M11 的栅源电压恒为  $V_{DD}$ 。

当 clk 再次为低电平, C1 电容下极板为高电平  $V_{DD}$ , 上极板为  $2V_{DD}$ , C2 下极板为低电平, 上极板为  $V_{DD}$ , M3 导通, C3 上极板为高电平, 下极板为 0。当 clk 为高电平, C1 电容下极板为低电平, 上极板为  $V_{DD}$ , C2 下极板为高电平, 上极板为  $2V_{DD}$ , 同时 M3 关断、M12 关断, C3 两端电压为  $V_{DD}$ , 这个电压会加到 M11 的 VGS 以后 clk 变化时都会重复该过程。

```
* CMOS inverter
.subckt INV vdda gnda in out
MPM2 out in vdda vdda p18 W=4u L=180n m=1
MNM1 out in gnda gnda n18 W=2u L=180n m=1
.ends

* CMOS bootstrap
.subckt Bootstrap vdd gnd clk in out

XIN0 vdd gnd clk clk INV
XIN1 vdd gnd clk 8 INV
XIN3 vdd gnd clk 9 INV
MN1 vdd 2 1 gnd n18 W=20u L=200n m=1
MN2 vdd 1 2 gnd n18 W=20u L=200n m=1
MN3 vdd 1 3 gnd n18 W=20u L=200n m=1
MN4 4 clk gnd gnd n18 W=20u L=200n m=1
MP1 5 9 3 3 p18 W=20u L=200n m=1
MN5 9 6 4 gnd n18 W=20u L=200n m=1
MN6 5 vdd 6 gnd n18 W=20u L=200n m=1
MN7 in 6 4 gnd n18 W=20u L=200n m=1
MN8 6 clk gnd gnd n18 W=20u L=200n m=1
MN9 out 6 in gnd n18 W=20u L=200n m=1
C1 1 clk 10p
C2 1 8 10p
C3 3 4 10p

.ends
```

Listing 3. Bootstrap.cdl

将该开关电路连入简单采样/仿真电路进行测试, 发现该电路能较好地完成采样/保持任务 在仿真结果中选取开关断开瞬间的波形, 对该电路进行压摆率计算, 可以算得其压摆率

$$SR = 4706.275V/\mu s$$

再对该波形利用 Simulink 进行频谱分析, 发现

$$SNR = 26.94dB$$

, 相对比之前使用传输门开关无论是信噪比还是压摆率都大大提升。利用 Hspice 对其进行功率测量, 其总功率

$$P = 524.8422\mu W$$

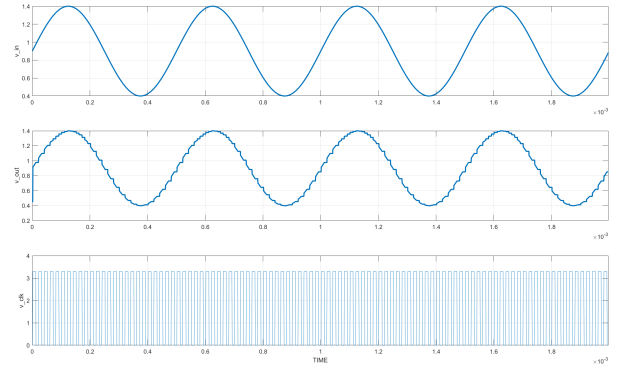


图 46. 栅压自举式开关电路仿真测试

其实除去该简单结构的采样保持电路以外, 还有电荷重分配型采样/保持电路和电容翻转型采样/保持电路可以选用, 不过尽管采样/保持电路结构简单, 但是因为使用了栅压自举式开关电路, 因此整个采样保持电路还是有着不错的性能, 能够完成后续流水线 ADC 设计的任务, 因此不在此对该两种电路进行仿真测试。

### C. 比较器电路设计与仿真

比较器通过比较输入电压和参考电压的大小, 输出 1 或 0 的数字码。当  $V_{in} > V_{ref}$  时输出高电平; 若  $V_{in} < V_{ref}$  时输出低电平。首先是常见的开环比较器, 以单极放大器开环应用形成的比较器, 主要依靠放大器高增益结构将输入较小的差分信号放大至电源电压和地电位, 所以不必进行频率补偿, 电路结构简单。但是这类比较器由于失调电压、建立时间、压摆率等方面性能较差, 所以一般不应用于高性能系统中, 本次我们主要对动态比较器进行设计和仿真研究。

动态比较器主要分为电阻分压型比较器、差分比较器和电荷分布型比较器三大类, 在不同背景下有不同的应用, 因此更具本次仿真设计需要, 我们首先选用下图的比较器。

```
* CMOS inverter
.subckt INV vdda gnda in out
MPM2 out in vdda vdda p18 W=4u L=180n m=1
MNM1 out in gnda gnda n18 W=2u L=180n m=1
.ends

* comparator
* if vip>vin then voutp=HIGH voutn=LOW
* if vip<vin then voutp=LOW voutn=HIGH
.SUBCKT comparator vdda gnda clk vip vin voutp voutn
xa1 vdda gnda net01 voutp / INV
xa2 vdda gnda net02 voutn / INV
```

```

MM1 net03 vip gnda gnda n18 W=20u L=180n m=1
MM2 net03 net04 gnda gnda n18 W=20u L=180n m=1
MM3 net04 net03 gnda gnda n18 W=20u L=180n m=1
MM4 net04 vin gnda gnda n18 W=20u L=180n m=1
MM5 net01 clk net03 gnda n18 W=30u L=180n m=1
MM6 net02 clk net04 gnda n18 W=30u L=180n m=1
MM7 net01 clk vdda vdda p18 W=60u L=180n m=1
MM8 net01 net02 vdda vdda p18 W=60u L=180n m=1
MM9 net02 net01 vdda vdda p18 W=60u L=180n m=1
MM10 net02 clk vdda vdda p18 W=60u L=180n m=1
.ENDS

```

Listing 4. Comparator.cdl

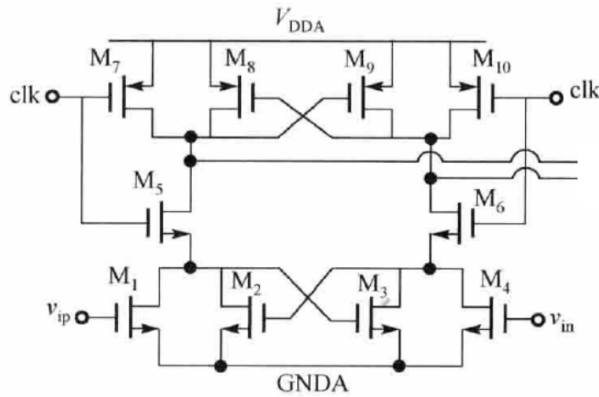


图 47. 动态比较器

参考电压为 1V，输入一个三角波作为输入信号，方波为时钟信号，观察该比较器在 Hspice 仿真下的输出。可

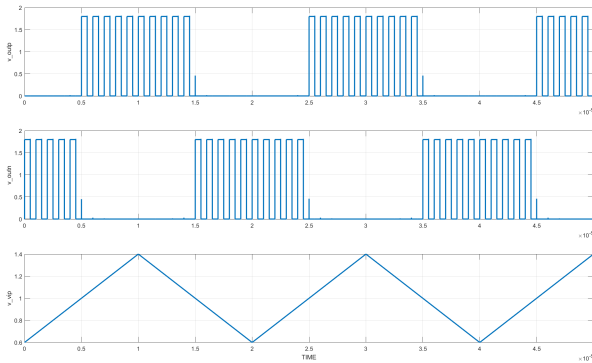


图 48. 动态比较器仿真结果

以看到该动态比较器能够较好地完成任务, 在时钟信号为高电平时进行比较, 时钟信号为低电平时停止比较, 在不进行比较任务时能够节省电路功耗。根据仿真测试结果还可以算出

$$SR = 5889.788V/\mu s$$

不仅如此, 我们还以为为该动态比较器添加一个锁存器来保存比较结果。

```

* CMOS nand
.SUBCKT NAND vdda gnda A B out
MPM2 out A vdda vdda p18 W=4u L=180n m=1
MPM1 out B vdda vdda p18 W=4u L=180n m=1
MNM1 net01 B gnda gnda n18 W=2u L=180n m=1
MNM2 out A net01 gnda n18 W=2u L=180n m=1
.ENDS

* latch comparator
* if vip>vin then voutp=HIGH voutn=LOW
* if vip<vin then voutp=LOW voutn=HIGH
.SUBCKT comparator vdda gnda clk vip vin voutp voutn
xa1 vdda gnda net01 voutn voutp / NAND
xa2 vdda gnda net02 voutp voutn / NAND
MM1 net03 vip gnda gnda n18 W=20u L=180n m=1
MM2 net03 net04 gnda gnda n18 W=20u L=180n m=1
MM3 net04 net03 gnda gnda n18 W=20u L=180n m=1
MM4 net04 vin gnda gnda n18 W=20u L=180n m=1
MM5 net01 clk net03 gnda n18 W=30u L=180n m=1
MM6 net02 clk net04 gnda n18 W=30u L=180n m=1
MM7 net01 clk vdda vdda p18 W=60u L=180n m=1
MM8 net01 net02 vdda vdda p18 W=60u L=180n m=1
MM9 net02 net01 vdda vdda p18 W=60u L=180n m=1
MM10 net02 clk vdda vdda p18 W=60u L=180n m=1
.END

```

Listing 5. Comparator.cdl

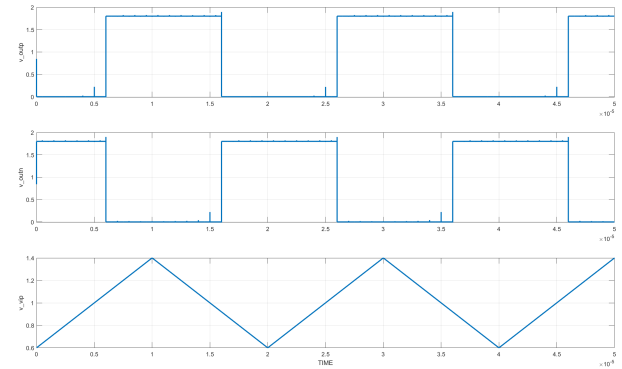


图 49. 动态锁存比较器仿真结果

通过查阅资料, 我们可以得到一种压摆率更低的动态比较器结构, 经过仿真测试, 其压摆率能达到  $5.09 \times 10^4 V/\mu s$ , 因此在后续电路设计中, 我们采用该动态比较器结构。

```

* CMOS inverter
.subckt INV in out gnda vdda
MPM2 out in vdda vdda p18 W=4u L=180n m=1
MNM1 out in gnda gnda n18 W=2u L=180n m=1

```



```
.ends
```

```
.SUBCKT comparator vdd gnd vip vin outp clk
XI0 n3 outp gnd vdd / inv
XI1 n4 outn gnd vdd / inv
MN1 n1 vip n5 gnd n18 W=20u L=0.2u m=1
MN2 n2 vin n5 gnd n18 W=20u L=0.2u m=1
MN3 n3 n4 n1 gnd n18 W=20u L=0.2u m=1
MN4 n4 n3 n2 gnd n18 W=20u L=0.2u m=1
MP1 n1 clk vdd vdd p18 W=20u L=0.2u m=1
MP2 n3 clk vdd vdd p18 W=20u L=0.2u m=1
MP3 n3 n4 vdd vdd p18 W=20u L=0.2u m=1
MP4 n4 n3 vdd vdd p18 W=20u L=0.2u m=1
MP5 n4 clk vdd vdd p18 W=20u L=0.2u m=1
MP6 n2 clk vdd vdd p18 W=20u L=0.2u m=1
MNX1 n2 vip n2 gnd n18 W=20u L=0.2u m=1
MNX2 n1 vin n1 gnd n18 W=20u L=0.2u m=1
MN7 n5 clk gnd gnd n18 W=20u L=0.2u m=1
.ENDS
```

Listing 6. Comparator.cdl

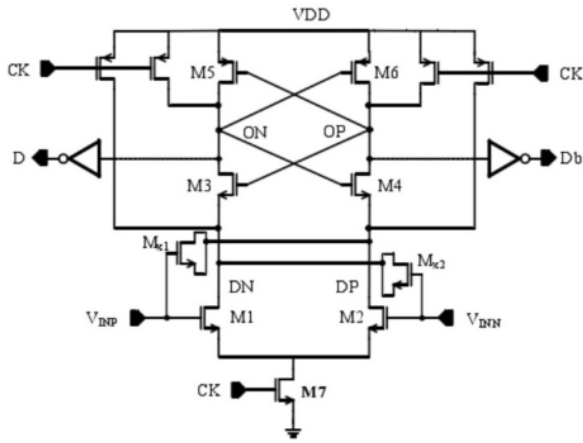


图 50. 动态比较器

#### D. Sub-ADC 电路设计与仿真

Sub-ADC 采用全平行结构 ADC，本节将以 2.5bit/级为例子进行后续的设计与仿真。因此 Sub-ADC 需要六个参考电压：

$$V_{ref1} = -0.625V_{in}$$

$$V_{ref2} = -0.375V_{in}$$

$$V_{ref3} = -0.125V_{in}$$

$$V_{ref4} = 0.125V_{in}$$

$$V_{ref5} = 0.375V_{in}$$

$$V_{ref6} = 0.625V_{in}$$

考虑如何产生该参考电压，首先排除使用多个电压源，这会导致电路的整体功耗大大增加。因此我们用多个电阻对供电电源进行分压以获得对应的参考电压。假设  $V_{in} = 1V, V_{DD} = 3V, V_{SS} = -3V$ ，按照该原理图进行 Hspice 仿真，得到以下结果。

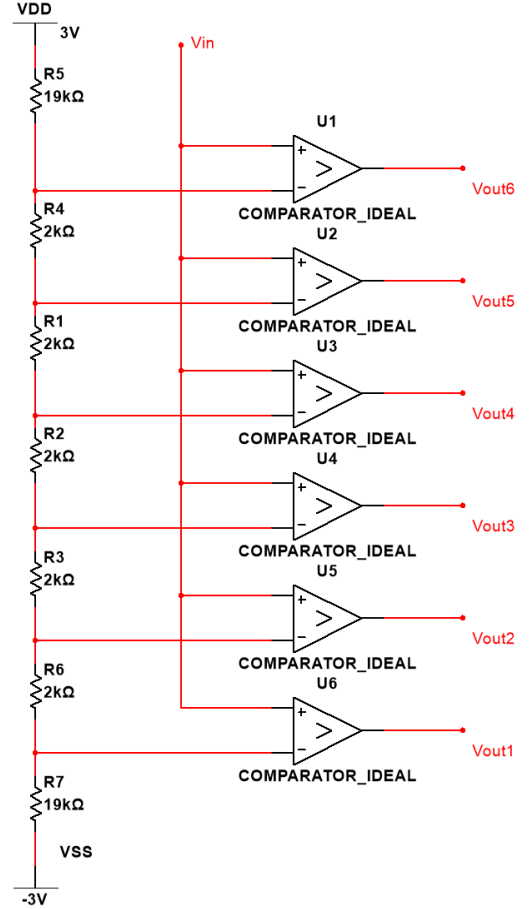


图 51. SubADC 原理图

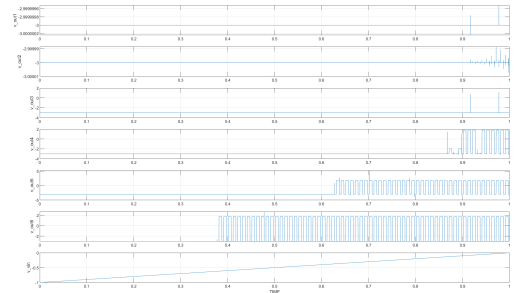


图 52. SubADC 原理图仿真结果



可以看出比较器并未能在电压发生变化的时刻准确地输出信号，这是由于此种分压方式会受比较器电路中 MOS 管和电容的影响，导致参考电压并不稳定甚至还会出现许多毛刺影响比较器，因此我们采用电容滤波的方式重新产生参考电压。

```
.SUBCKT subadc vdd vss gnd vip out1 out2 out3 out4 out5
out6 clk
//create reference voltage for flash adc
R1 vss ref1 11k
R2 ref1 ref2 2k
R3 ref2 ref3 2k
R4 ref3 ref4 2k
R5 ref4 ref5 2k
R6 ref5 ref6 2k
R7 ref6 vdd 11k

C1 ref1 gnd 1n
C2 ref2 gnd 1n
C3 ref3 gnd 1n
C4 ref4 gnd 1n
C5 ref5 gnd 1n
C6 ref6 gnd 1n

XC1 vdd vss vip ref1 out1 clk / comparator
XC2 vdd vss vip ref2 out2 clk / comparator
XC3 vdd vss vip ref3 out3 clk / comparator
XC4 vdd vss vip ref4 out4 clk / comparator
XC5 vdd vss vip ref5 out5 clk / comparator
XC6 vdd vss vip ref6 out6 clk / comparator
.ENDS
```

Listing 7. SubADC.cdl

由结果可看出，经过电容滤波的 SubADC 电路输出更加精准。

### E. MDAC 电路设计与仿真

MDAC 电路的功能实质上是输入电压和 Sub-ADC 采样电路做差，并且将余量放大到满量程。由于 2.5bitMDAC 的输入输出关系已经确定。我们利用电压加法电路，将各个比较器输出电压缩放后相加，再减去 3V 固定电平，使得输出信号在  $[-3V, 3V]$  范围内。最后利用电路与放大的信号做差，就能实现余量放大的功能。

查阅仿真资料可知，在实际仿真过程中，由于运算放大器存在非理想性，构建加法电路的过程中存在一定的误差，当 6 路信号的误差累加后最终输出偏差较大。因此，在 Hspice 仿真过程中采取的策略是利用一个 7 路加法电路，一个反相放大器，一个反相器。加法电路

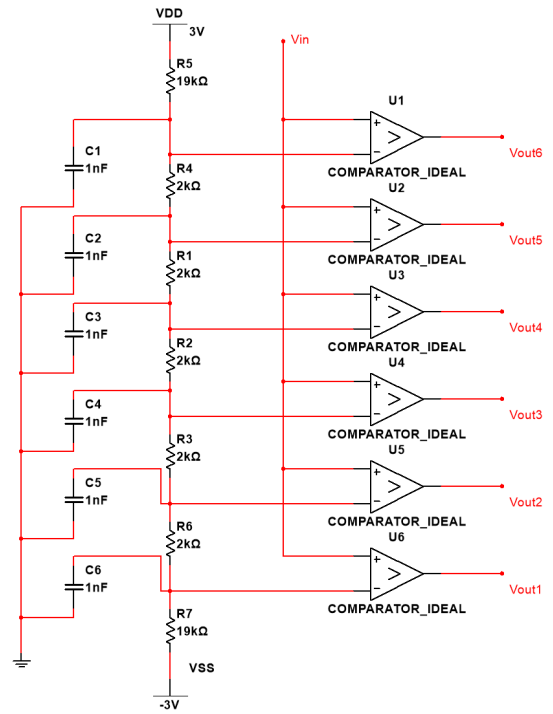


图 53. SubADC 原理图

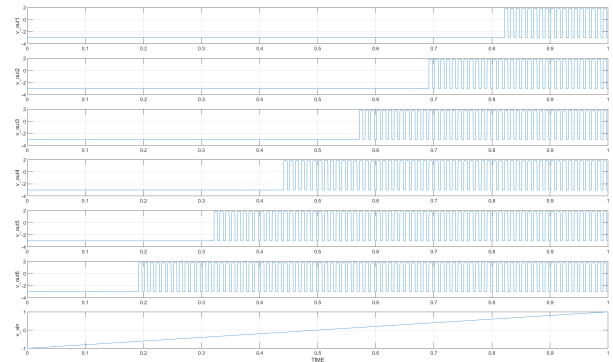


图 54. SubADC 原理图仿真结果

将各比较器输出以 1: 10 的比例相加，输入信号经反相器后放大 1.6 倍接入加法电路，最后将加法电路输出反相放大 1.5 倍，可以得到较为理想的输出。

```
.SUBCKT mdac vdd vss gnd in1 in2 in3 in4 in5 in6 in7 out
XI1 gnd in outt vdd vss OPAMP
R0 in outt 100k
Ra in1 in 1000k
Rb in2 in 1000k
Rc in3 in 1000k
Rd in4 in 1000k
Re in5 in 1000k
Rf in6 in 1000k
Ri in7 in 62k
XI2 outt vin2 out vdd vss OPAMP
```

```

R2f out vin2 150k
R21 vin2 gnd 100k
.ENDS

```

Listing 8. MDAC.cdl

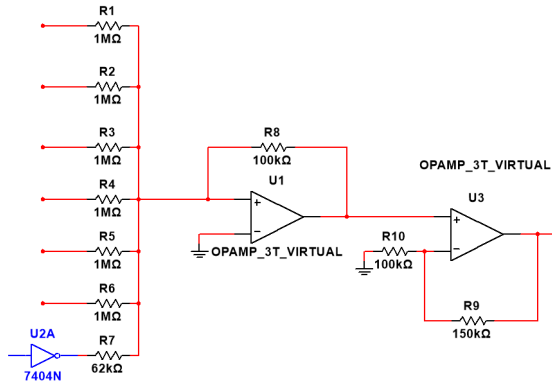


图 55. MDAC 原理图

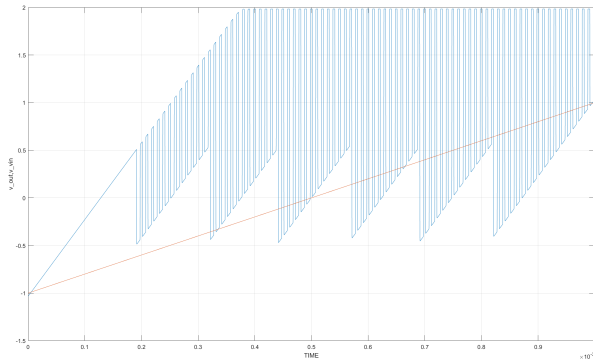


图 56. MDAC 仿真结果

#### F. 电路功能总结

最后搭建第一级子电路进行仿真，得到以下结果：论文提出的子结构理论上工作速率应当满足 1GSPS 的要求，其中传输门开关、栅压自举式开关和比较器电路均能工作在较高速率，然而设计的运算放大器极大地限制了整体电路的工作速率。子结构的工作速率不能太高，否则，由于运算放大器响应速率低，将导致 MDAC 中的加法电路无法正常工作，从而导致子结构整体输出错误。如果将电路的时钟频率增加，则能够明显地看出电路响应速率的问题。当我们加快时钟速率就会发现波形明显失真。最后，根据 Hspice 仿真，我们可以得到电

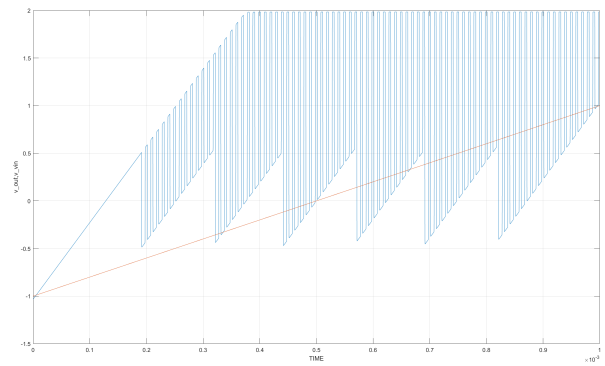


图 57. 第一级子电路仿真结果

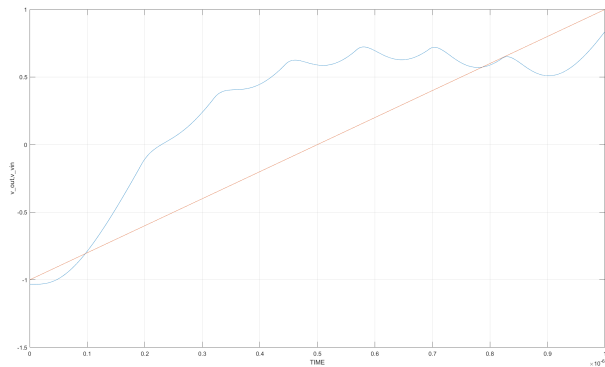


图 58. 第一级子电路仿真结果

路以下指标：工作电压  $\pm 2V$ 、最大工作速率 1MSPS、比特数 2.5bit、功耗约为 137.4mW

#### IV. 工作总结

在本次专题研究中，我深入学习了流水线 ADC 的相关知识。原本我对流水线 ADC 的认知仅仅停留在行为级模型上，但是经过这段时间的深入学习，我对流水线 ADC 的各个组成部分的电路模型也有了更加深刻的理解和认知，尤其是自学了 Bootstrap 型开关电路，两种采样/保持电路模型，两种动态比较器模型之后，我对 MOS 管的使用也有了更加清晰地认识。

本次仿真研究中，我主要使用了 Matlab+Hspice 的软件组合来帮助我对电路进行设计和仿真，这与以前我使用 Multisim 对电路进行仿真有着很大的不同。为此我首先学习了 Spice 语言的相关语法，学习了网表的编写和 Hspice 软件的使用方式，可谓是受益匪浅。

这种大作业的形式，既是课堂的一部分，也是课堂的延伸，自主确定的命题和研究方向对我来说确实是一个挑战，如今我完成了本次作业，也认识到了自己知识

的局限和不足，希望在以后自己能保持学习的热情，充实自己的知识，早日做出具有创新的研究成果。

### 参考文献

- [1] 陈抗生, 周金芳模拟电路基础: 从系统级到电路级 2018
- [2] 陈铖颖, 尹飞飞, 范军 CMOS 模拟集成电路设计与仿真实例——基于 Hspice[M], 北京: 电子工业出版社,2014