

**本科实验报告**

|  |  |
| --- | --- |
| 课程名称： | 数字逻辑电路设计 |
| 姓 名： | 庄毅非 |
| 学 院： | 计算机科学与技术学院 |
| 专 业： | 计算机 |
| 邮 箱： | [zhuangyf@zju.edu.cn](mailto:zhuangyf@zju.edu.cn) |
| QQ 号： | 1099665018 |
| 电 话： | 17346399235 |
| 指导教师： | 洪奇军 |
| 报告日期： | 2023年 11月 14日 |

**浙江大学实验报告**

课程名称： 数字逻辑设计 实验类型： 综合

实验项目名称： 锁存器与触发器基本原理

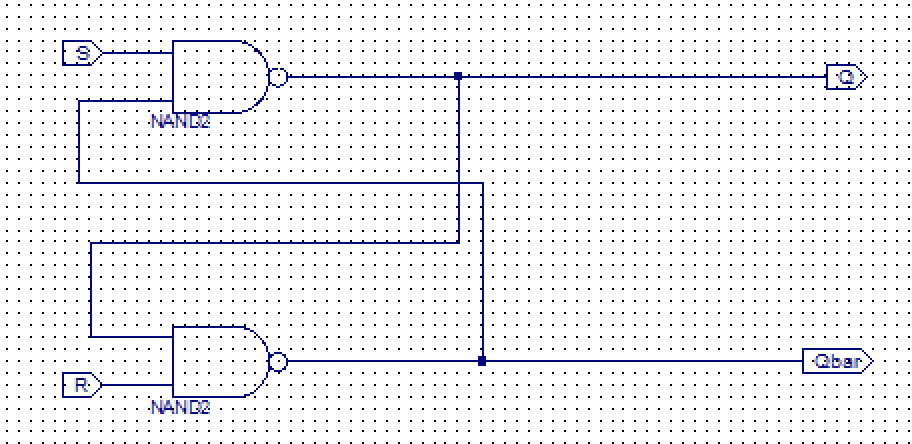
学生姓名： 庄毅非 学号： 3200105872 同组学生姓名：

实验地点： 紫金港东四509室 实验日期： 2023 年 11 月 21 日

# 操作方法与实验步骤

## 实现基本SR锁存器，验证功能和存在的时序问题

1. 新建工程MyLATCHS，类型为sematic
2. 新建源文件SR\_LATCH.sch，实现SR\_Latch

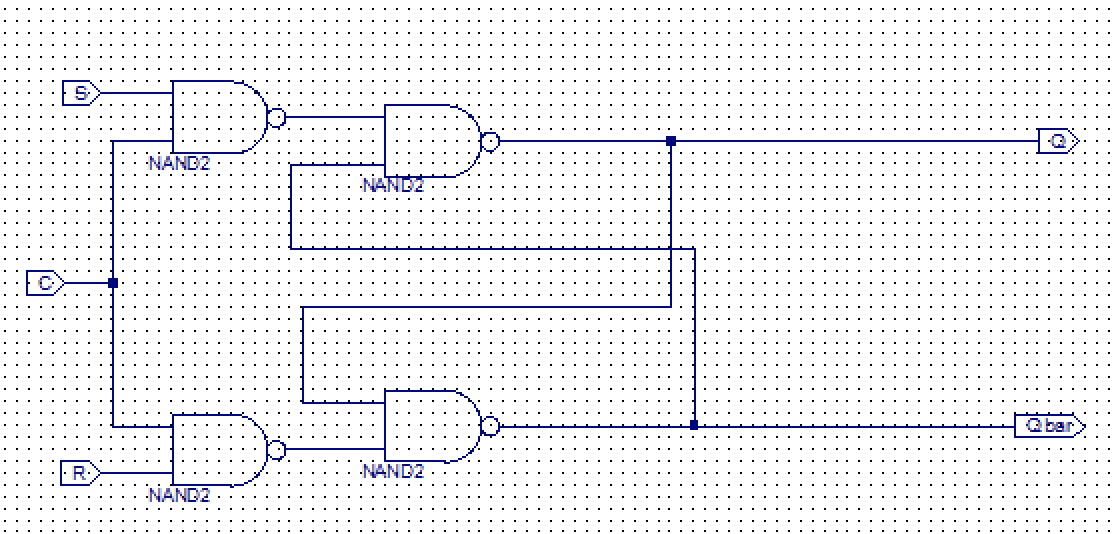


1. 进行仿真

## 1.2 实现基本门控 SR锁存器，验证功能和存在的时序问题

1. 新建源文件 CSR\_LATCH.sch，类型为sematic

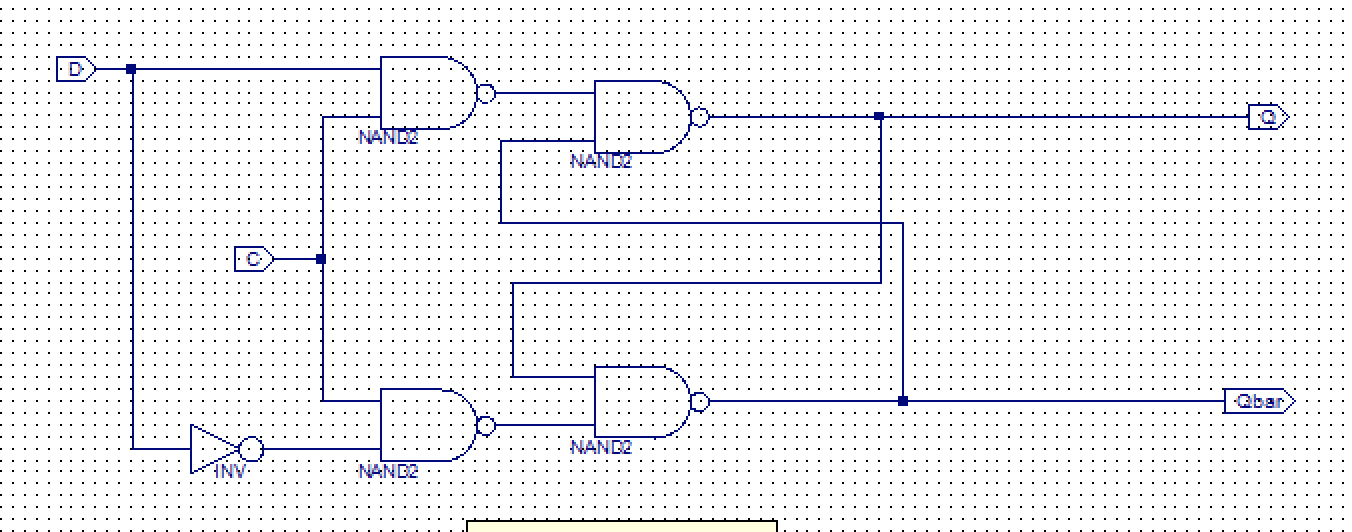
2. 实现门控SR锁存器



3. 进行模拟仿真

## 1.3 实现基本 D锁存器，验证功能和存在的时序问题

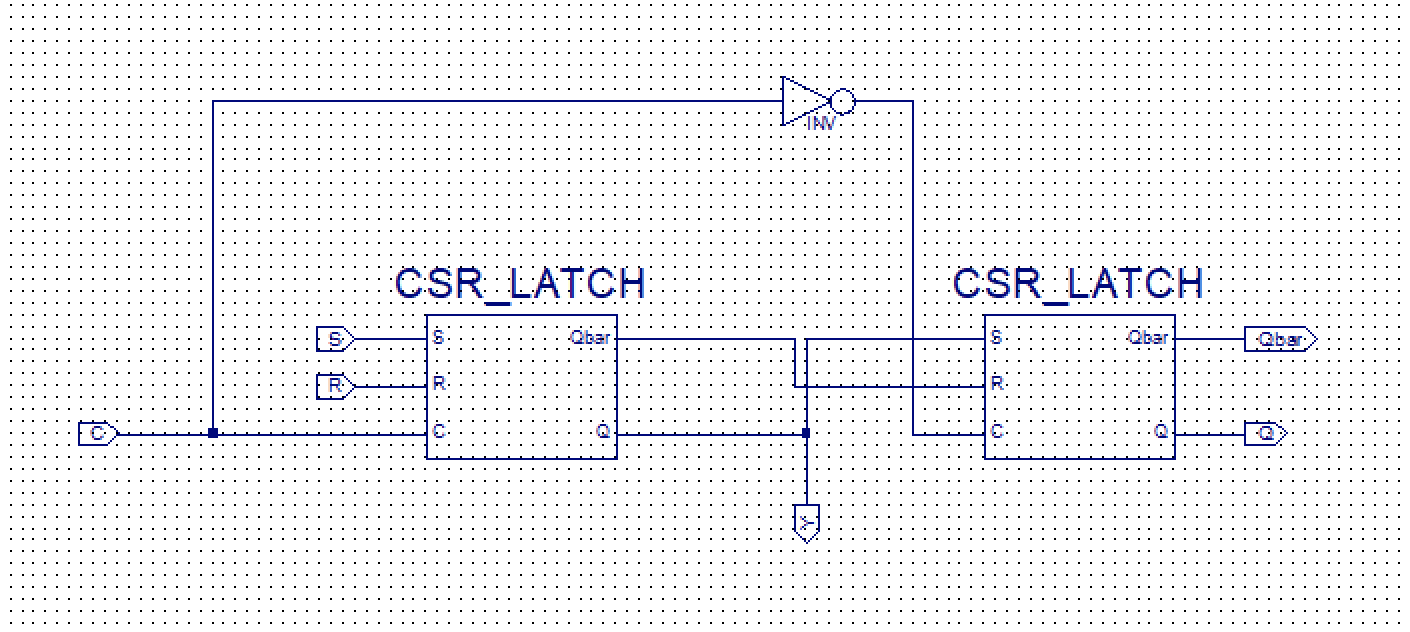
1. 新建源文件 D\_LATCH.sch，类型为sematic



.2 进行仿真

## 1.4 实现基本 SR 主从触发器，验证功能和存在的时序问题和一次性采样问题

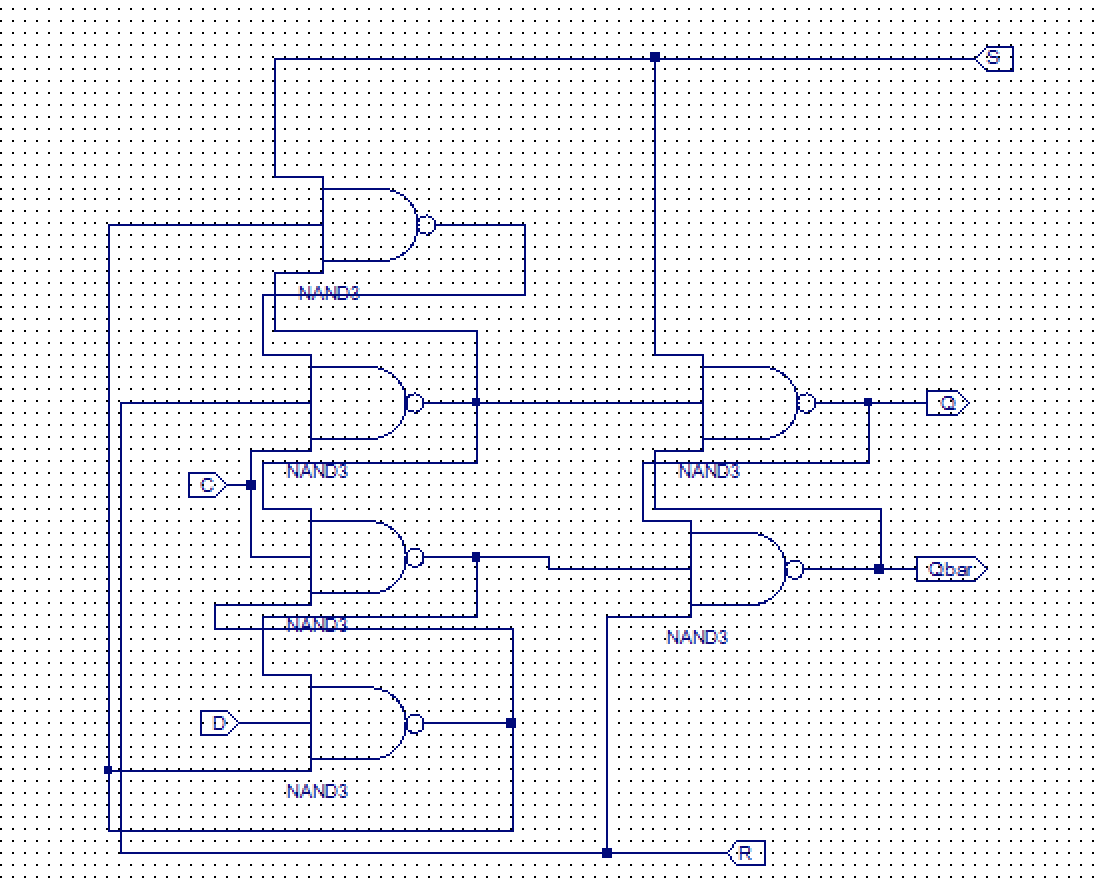
1. 新建源文件 MS\_FLIPFLOP.sch，类型为sematic



1. 进行仿真

## 1.5 实现基本 D触发器，验证功能和存在的时序问题

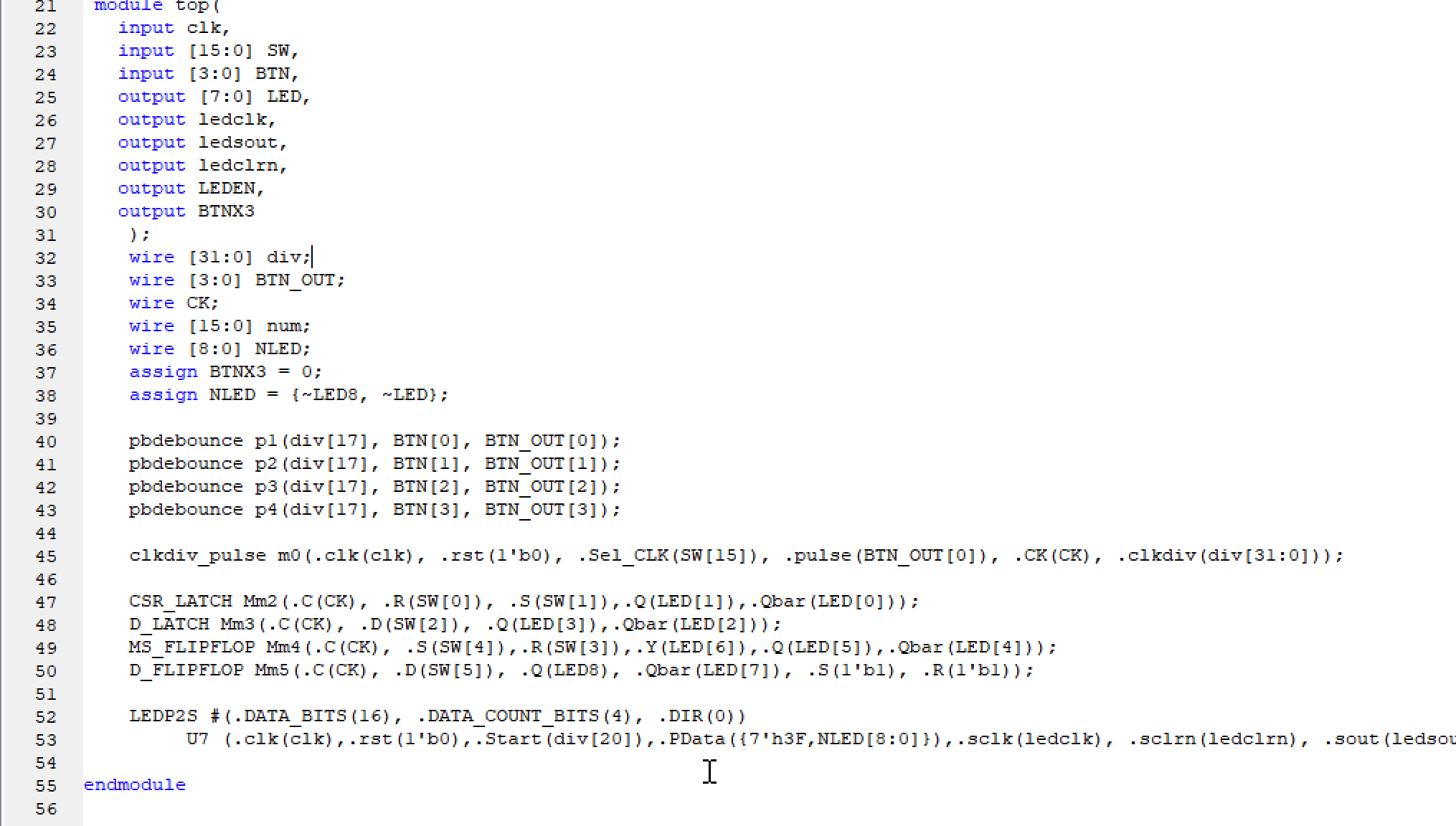
1. 新建源文件 D\_FLIPFLOP.sch，类型为sematic



## 2.进行仿真

## 3.下板实验

编写top文件，如图

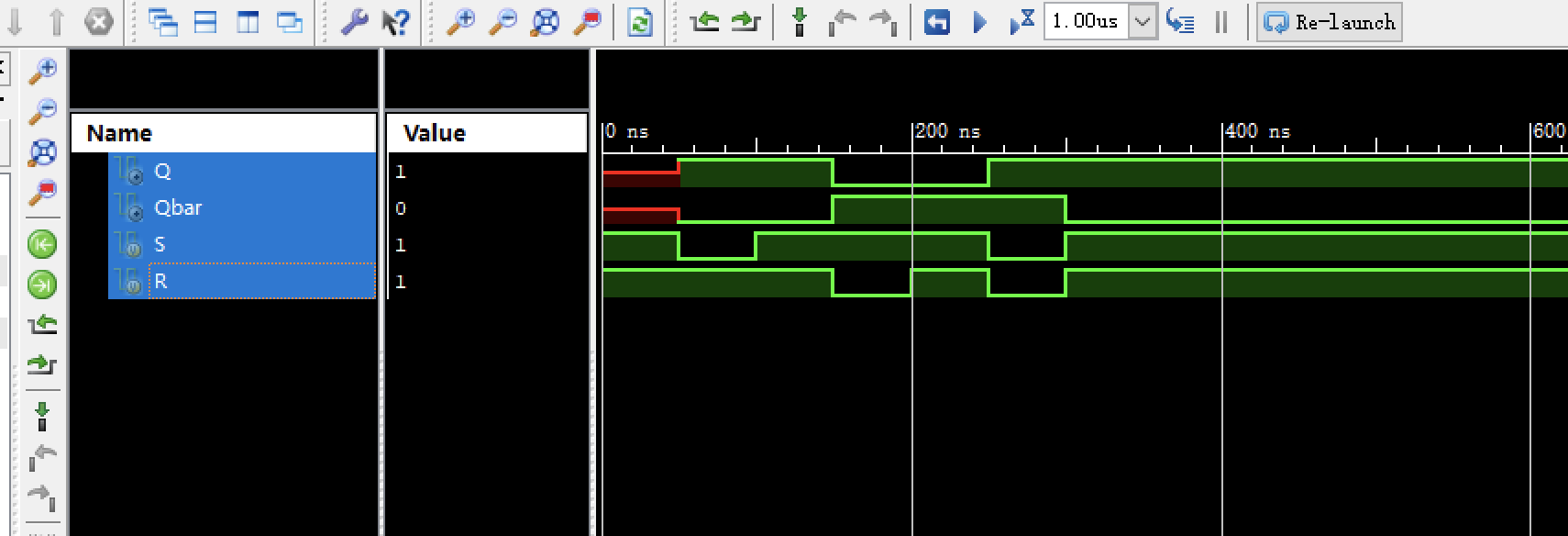


下板查看

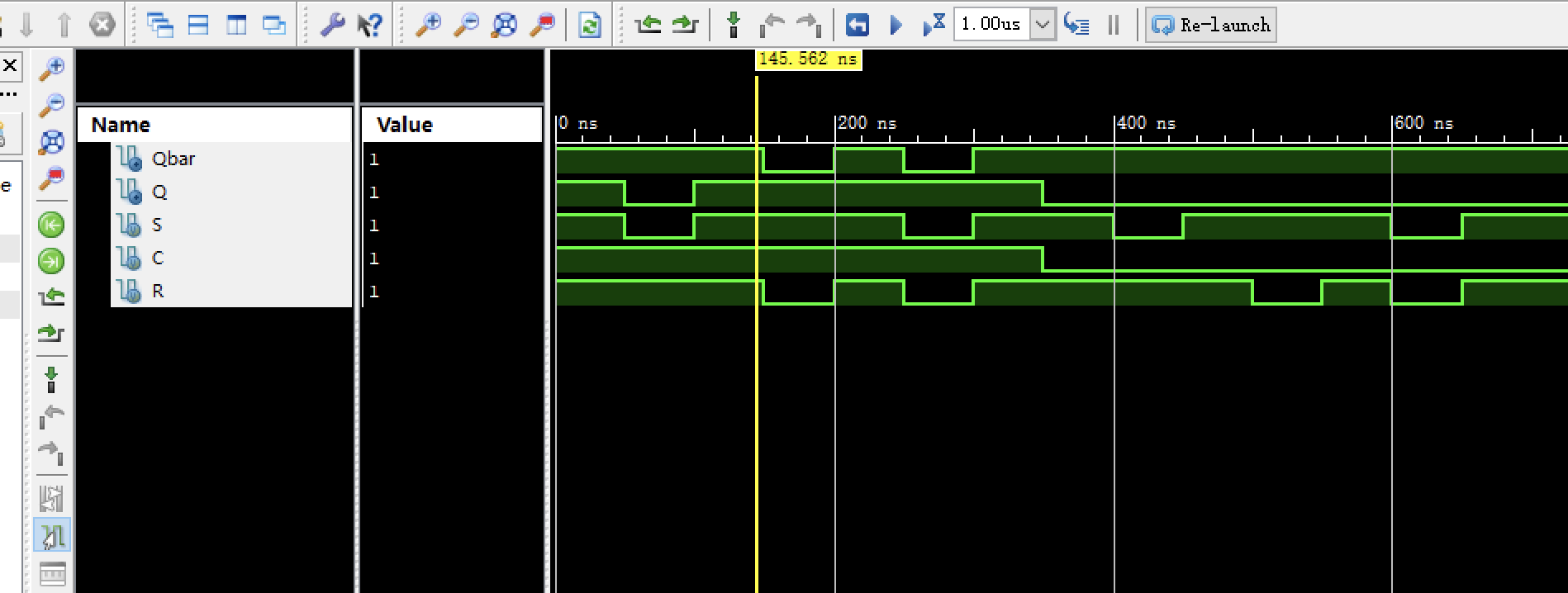
# 实验结果与分析

## 2.1 仿真结果

1. SR\_LATCH仿真波形



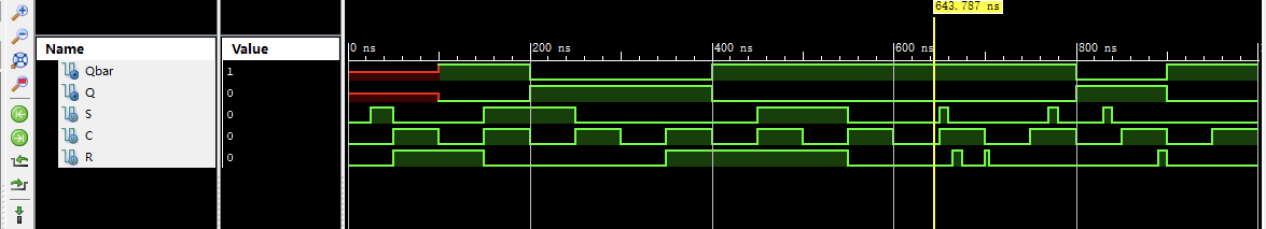
1. CSR\_LATCH仿真波形



1. D\_LATCH仿真测试



1. SR主从寄存器仿真



1. D触发器仿真

这里使用仿真代码

initial begin

S = 1;

R = 1;

D = 0; #150;

D = 1; #150;

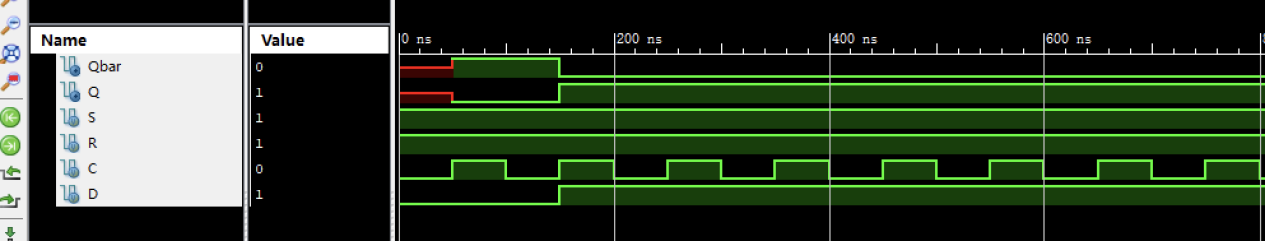
end

always begin

C=0; #50;

C=1; #50;

end



## 2.2 下板实验

* RS锁存器：

|  |  |
| --- | --- |
| 清零 | 置1 |

* D触发器

|  |  |
| --- | --- |
| 使能 | 非使能 |

* SR主从触发器

|  |  |
| --- | --- |
| 置位 | 清零 |

* MB\_DFF

|  |  |
| --- | --- |
|  |  |