



מערכות ספרתיות

7

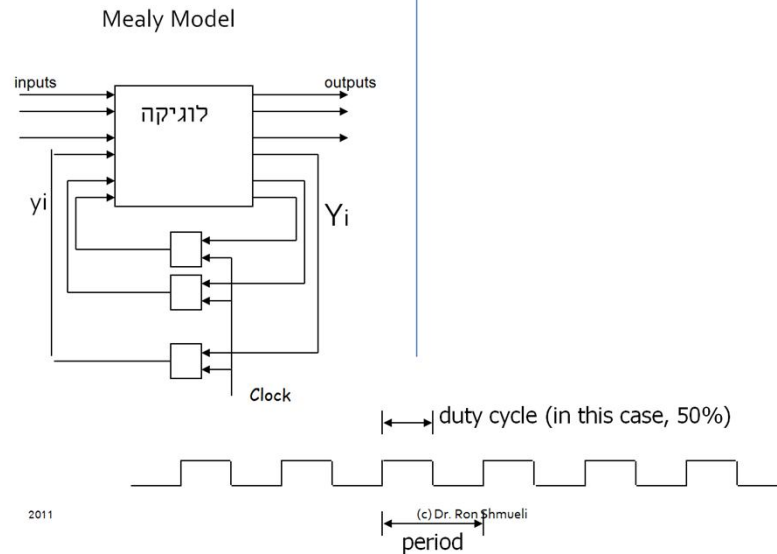
- מערכות סינכרוניות
- Flip Flops
- סינטיזה של מערכות סינכרוניות
- מודל Mealy
- מודל Moor
- אנליזה של מערכות סינכרוניות
- מודלים סינכרוניים

ד"ר רון שמואלי

(c) Dr. Ron Shmueli

1

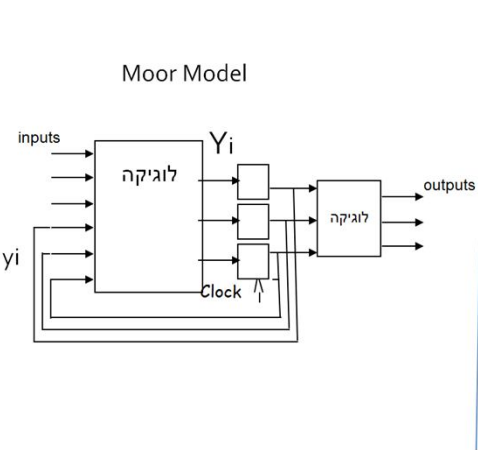
מערכות עקיבה סינכרוניות
synchronous sequential logic



2011

2

מערכות עקיבה סינכרוניות
synchronous sequential logic



1

0

stored value

Q(t)

S

R

Q(t+dt)

y → Y	S	R
0 → 0		
0 → 1		
1 → 0		
1 → 1		

	00	01	11	10
0				
1				

R

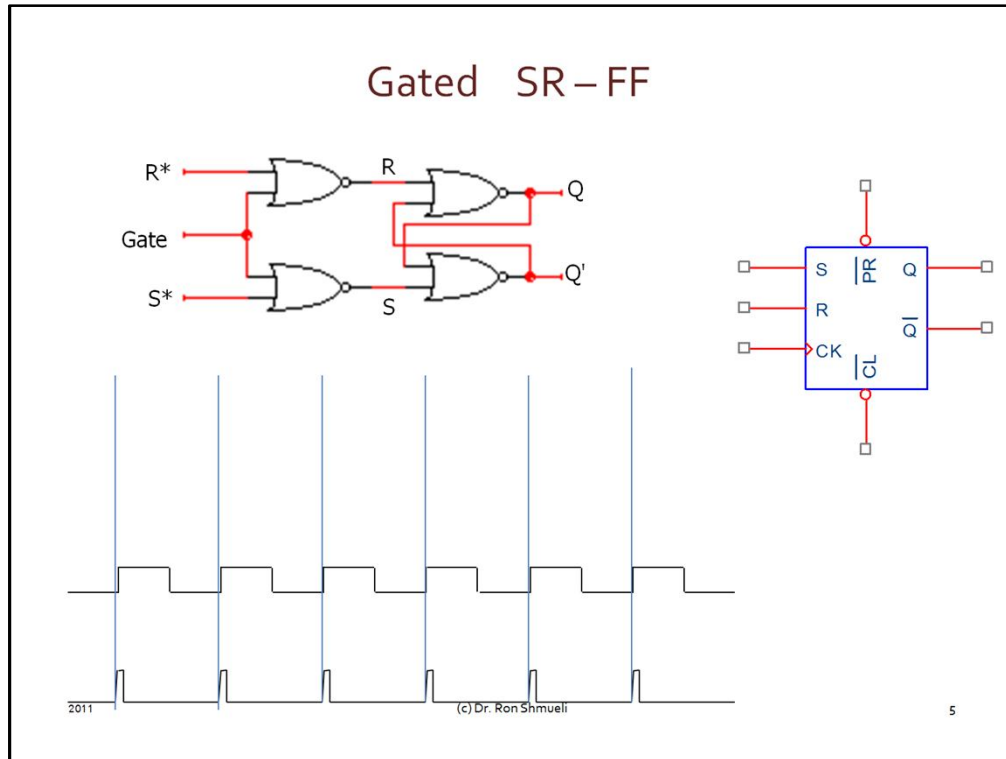
S

Q

Q'

(c) Dr. Ron Shmueli

S	R	Q(t)	Q(t+dt)
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	



Trigger Flip Flop

T -FF

y	→ Y	T
0	0	0
0	1	1
1	0	1
1	1	0

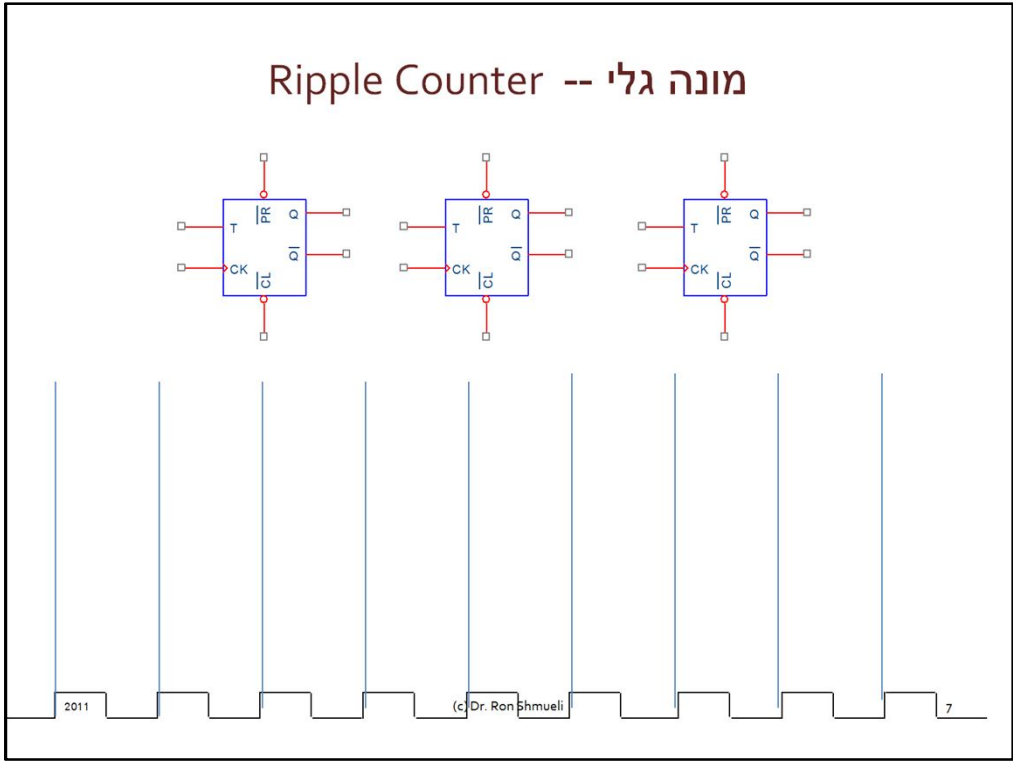
תכנון מחלק תדר

$$Y = T \oplus y$$

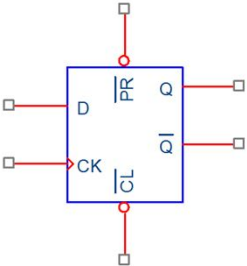
2011

(c) Dr. Ron Shmueli

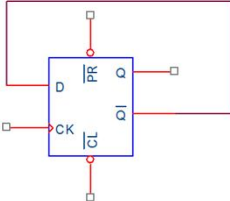
6



Delay Flip Flop D- FF




Y=D



y→Y	D
0→0	0
0→1	1
1→0	0
1→1	1

מחלק תדר

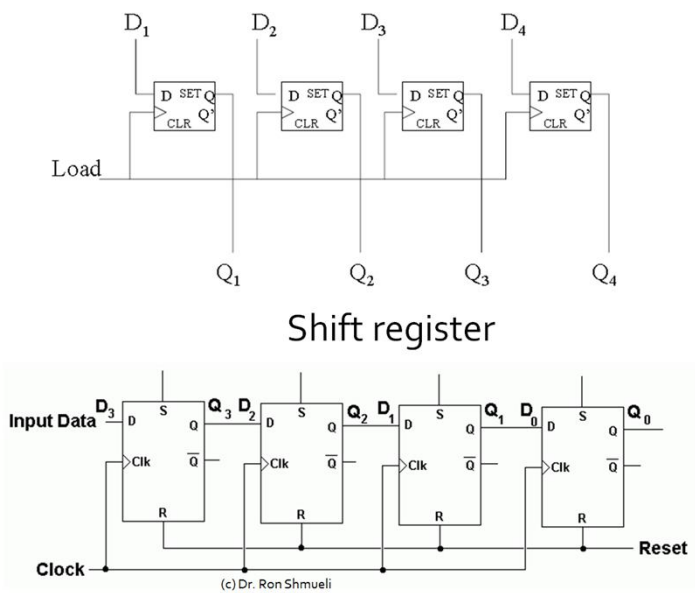


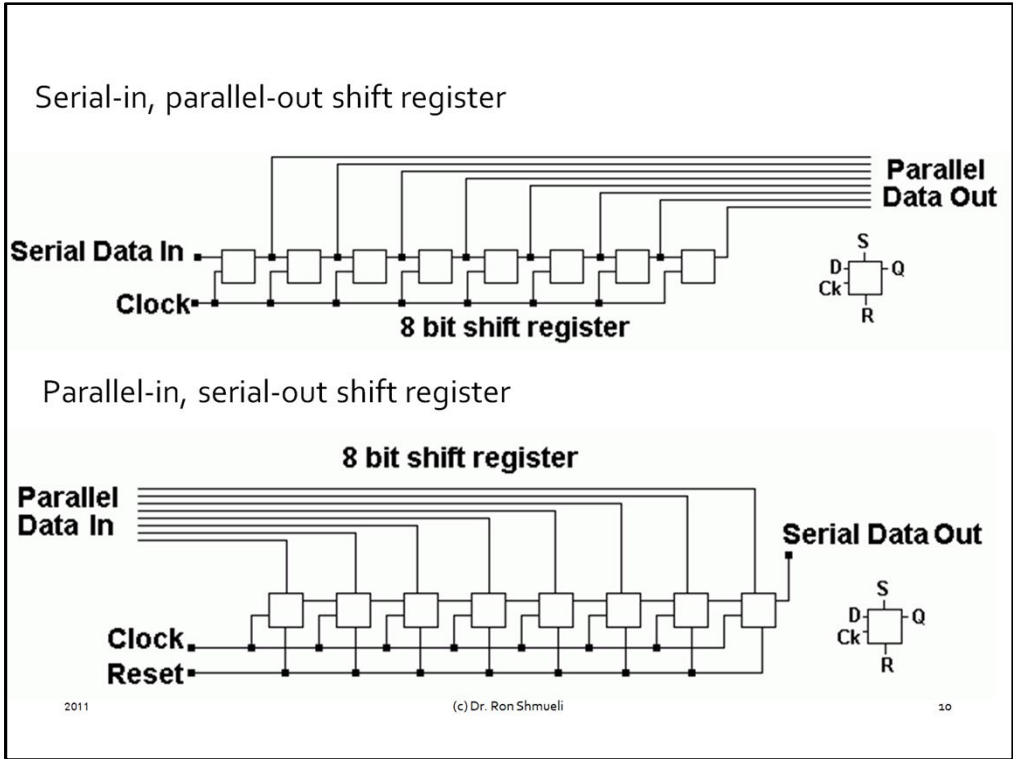
2011

(c) Dr. Ron Shmueli

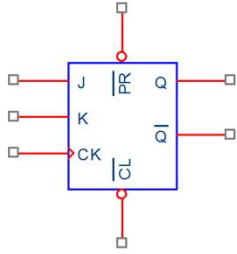
8

Registers





JK-Flip Flop

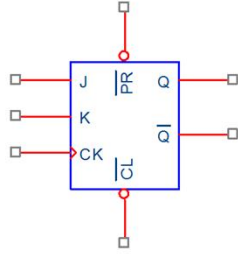
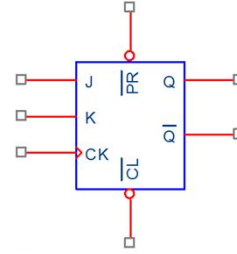


מימון D-FF

$$Y = \overline{K} \cdot y + J \cdot \overline{y}$$

y → Y	J	K
0 0	0	∅
0 1	1	∅
1 0	∅	1
1 1	∅	0

מימון T-FF



2011

(c) Dr. Ron Shmueli

11

שלבים בתכנון מערכת סינכרונית

1. דיאגרמת מצבים
2. טבלת מצבים פרימיטיבית.
3. צמצום מצבים
4. טבלה מצומצמת
5. הקצאת משתני מצב
6. טבלת מעברים ותפוקות
7. מימוש

2011

(c) Dr. Ron Shmueli

12

0

1

1

0

0

lsb

0

1

1

1

0

serial adder

z

000110

0

1

	00	01	11	10
0				
1				

000110

0

1

	00	01	11	10
0				
1				

000110

0

1

2011

(c) Dr. Ron Shmueli

דוגמא – תכנן מסכם טורי

א: שימוש ב D-FF

ב: שימוש ב JK-FF

1: דיאגרמת מצבים

2: טבלה פרימיטיבית

	N.S/Z			
P.S.	00	01	11	10
				13

דוגמא – תכנן מכונה למכירת פחיות קולה

מערכת עקיבה
סינכרונית

$X_1X_{1/2}$	Y_1Y_0/Z			
y_1y_0	00	01	11	10

2011

(c) Dr. Ron Shmueli

$X_1X_{1/2}$	$N.S/Z$			
P.S.	00	01	11	10

24

מכונת קולה המשך

	00	01	11	10
00	0	4	12	8
01	1	5	13	9
11	3	7	15	11
10	2	6	14	10

	00	01	11	10
00	0	4	12	8
01	1	5	13	9
11	3	7	15	11
10	2	6	14	10

	00	01	11	10
00	0	4	12	8
01	1	5	13	9
11	3	7	15	11
10	2	6	14	10

	00	01	11	10
00	0	4	12	8
01	1	5	13	9
11	3	7	15	11
10	2	6	14	10

2011

(c)Dr. Ron Shmueli

15

דוגמא – מסכם טורי במודל MOOR

	N.S./Z				
P.S	00	01	11	10	Z
.					

	Y ₁ Y ₀ /Z				
y ₁ y ₀	00	01	11	10	Z

	00	01	11	10
00	0	4	12	8
01	1	5	13	9
11	3	7	15	11
10	2	6	14	10

	00	01	11	10
00	0	4	12	8
01	1	5	13	9
11	3	7	15	11
10	2	6	14	10

2011

(c) Dr. Ron Shmueli

16

מערכות לזיהוי סדרות

In

מערכת עקיבה
סינכרונית

Z

- זיהוי סדרות ללא חפיפה במרווחים קבועים Z_1 .
- זיהוי סדרות ללא חפיפה Z_2 .
- זיהוי סדרות עם חפיפה Z_3 .
- דוגמא: זיהוי הסדרה 101

סיבית ראשונה

IN	1	1	0	1	1	0	1	0	1	0	0	1	1	1	0	1	0	1	0	1
Z ₁	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	1
Z ₂	0	1	0	0	1	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0
Z ₃	0	1	0	0	1	0	1	0	1	0	0	0	0	0	1	0	1	0	1	0

2011

(c) Dr. Ron Shmueli

17

סיבית ימנית ראשונה

011 010 000

מערכת לזיהוי הסדרות הבאות:

- במודל MEALY
- מערכת לזיהוי הסדרות הבאות:

In

מערכת עקיבה
סינכרונית

Z

	N.S./Z	
P.S.	X=0	X=1

2011

(c) Dr. Ron Shmueli

18

צמצום מצבים "שיטת המדרגות"

	N.S./Z	
P.S.	X=0	X=1

B

C

D

E

F

G

A B C D E F

2011

(c) Dr. Ron Shmueli

19

צמצום מצבים Successive Approximation

	N.S./Z	
P.S.	X=0	X=1

מערכת עקיבה
סינכרונית

→

→

דוגמא – זיהוי סדרות חופפות

סיבית ימנית ראשונה

• תכנן מערכת לזיהוי הסדרה 1011 במודל MEALY

	N.S./Z	
P.S.	X=0	X=1

	Y ₁ Y ₀ /Z	
y ₁ y ₀	X=0	X=1
2011		

y → Y	J	K
0 0	0	∅
0 1	1	∅
1 0	∅	1
1 1	∅	0

00 01 11 10

0

1

00 01 11 10

0

1

00 01 11 10

0

1

(c) Dr. Ron Shmueli

00 01 11 10

0

1

21

(c) Dr. Ron Shmueli

21

דוגמא

- תכנן מערכת לזיהוי הסדרות 01 ו-10 במודל MEALY (התעלם מהתפוקה בביט הראשון)

- מודל MEALY

	N.S./Z	
P.S.	X=0	X=1

	Y ₁ Y ₀ /Z	
Y	X=0	X=1

2011

(c) Dr. Ron Shmueli

22

דוגמא

- תכנן מערכת לזיהוי הסדרות 01 ו- 10 במודל Moor (התעלם מהתפוקה בביט הראשון)

	N.S		
P.S.	X=0	X=1	Z

	Y1Yo		
y1yo	X=0	X=1	Z
2011			

	00	01	11	10
0				
1				

(c) Dr. Ron Shmueli

	00	01	11	10
0				
1				

23

מונים סינכרוניים

- **תכנן מונה הסופר בסדר הבא:**

3 → 2 → 6 → 0 → 1
 ↙ ↘
 4

P.S.	N.S

y ₂ y ₁ y ₀	Y ₂ Y ₁ Y ₀

	00	01	11	10
0				
1				

	00	01	11	10
0				
1				

	00	01	11	10
0				
1				24

2011

(c) Dr. Ron Shmueli

דוגמא

• תכנן מונה Up / Down בינארי מודולו 5 בעל מוצא לציון סיום מחזור.

מערכת עקיבה סינכרונית

In → Z

	N.S/Z	
P.S	X=0	X=1
2011		

	Y ₂ Y ₁ Y ₀ /Z	
y ₂ y ₁ y ₀	X=0	X=1

	00	01	11	10
00	0	4	12	8
01	1	5	13	9
11	3	7	15	11
10	2	6	14	10
00				
01				
11				
10				

	00	01	11	10
00	0	4	12	8
01	1	5	13	9
11	3	7	15	11
10	2	6	14	10
00				
01				
11				
10				

(c) Dr. Ron Shmueli

25

אנליזה של מערכת סינכרונית

The circuit diagram shows a synchronous system with two J-K flip-flops. The first flip-flop has inputs J, K, and clock (CP), and outputs y1 and y1'. The second flip-flop has inputs J, K, and clock (CP), and outputs y2 and y2'. The combinational logic includes an inverter for X, two AND gates for y2 and X, two AND gates for y1' and X, an OR gate for the sum of y1'X and y2X, and an AND gate for the output Z = y1X. The RESET signal is connected to the clock inputs of both flip-flops.

	Y1Y0 / z	
y1y0	X=0	X=1

	N.S/Z	
P.S.	X=0	X=1
		z6

2011 (c)Dr. Ron Shmueli

אנליזה של מערכת סינכרונית

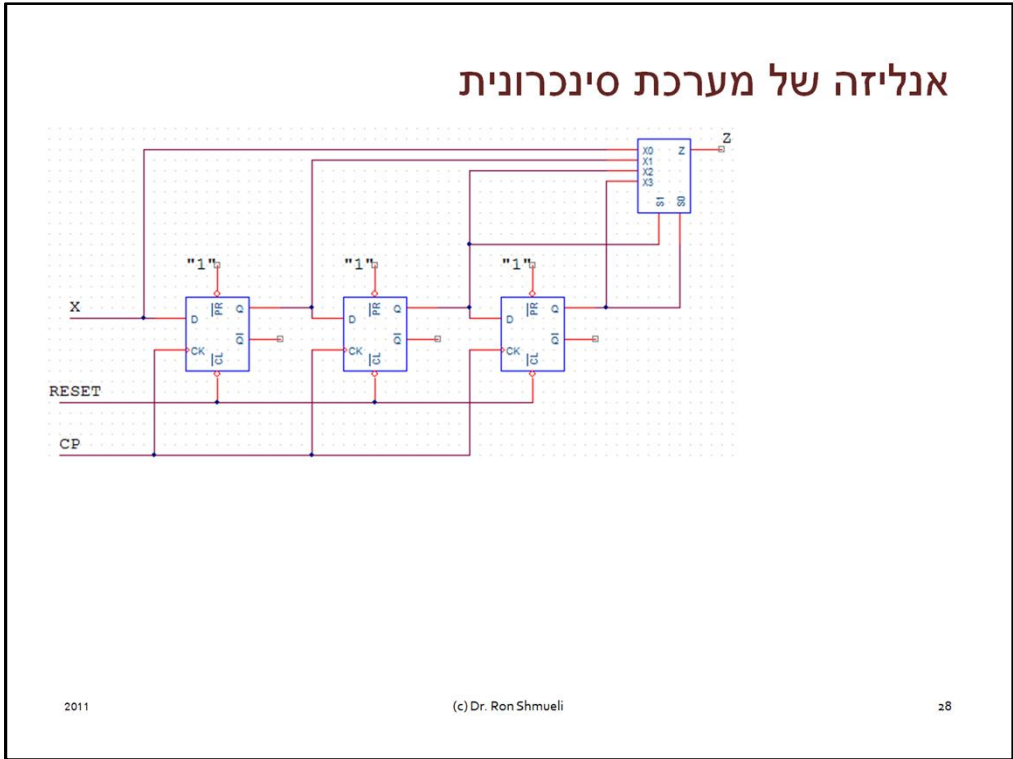
Y1Y0/Z		
y1y0	X=0	X=1

N.S/Z		
P.S.	X=0	X=1

2011

(c) Dr. Ron Shmueli

27



סיבית ימנית ראשונה

אנליזה של מערכת סינכרונית

- המעגל מפיק את הסדרה 0001010011 באופן מחזורי
 - מצא את המצב ההתחלתי ועדכן את הסכימה.
 - מצא את $f(y_4y_3y_2y_1)$ המינימלית SOP.

$y_4y_3y_2y_1$	f

2011

(c) Dr. Ron Shmueli

29

L	D	Y
0	0	0
0	1	y
1	0	y'
1	1	1

LD-FF

- נתון LD-FF ע"י טבלה אופיינית
- תן משוואה אופיינית וטבלת ערוך.
- ממש את LD-FF בעזרת SR-FF

y→Y	S	R
0	0	Φ
0	1	1
1	0	0
1	1	Φ

y→Y	L	D
0	0	
0	1	
1	0	
1	1	

(c) Dr. Ron Shmueli

	00	01	11	10
0				
1				

	00	01	11	10
0				
1				

מגבלות מערכת עקיבה

- תכנן מכונה המפיקה 1 אם מספר ה "1"ים שהתקבלו עד כה שווה למספר ה "0"ים.
- תכנן מכונה המפיקה "1" אם המספר שהתקבל עד כה באופן טורי מתחלק ב 5 ללא שארית (ה MSB נכנס ראשון)

2011

(c) Dr. Ron Shmueli

31

מודולים סינכרוניים

2011

(c) Dr. Ron Shmueli

32