

# Lab 1 ALU

---

DSDL 2016/3/24

DEADLINE 期中考週後一週 2016/5/5

# 目的

---

## 實作基本的數學運算

- 加減乘
- 除
- 6 bit signed integer

## 基本要求 – 實作自己的版本

- 使用 Verilog 實作自己的 module
- 加法 module 裡面不能使用 +
- 減法 module 裡面不能使用 -
- 乘法 module 裡面不能使用 \*
- 除法 module 裡面不能使用 / %

# 基本要求 - 補充

---

迴圈裡面的 counter 可以使用加減乘除

- 例如：用 counter 來連續處理 6 個bit
- 不要用 counter++ A次或B次 來實作加減法
  - 乘法除法不限制

可以使用 register, integer 來實作乘法

其他

- LAB2 的時候請用普通的 + - \* /

# 輸入輸出

---

## Input : Switch

- 設 input 為 A B, 功能為  $A+B$   $A-B$   $A*B$   $A/B$ , 輸出為 C
- 最左邊是高位元
- 前六個 switch 是 A SW[17] ~ SW[12]
- 接著六個是 switch 是 B SW[11] ~ SW[ 6]
- 右邊數來兩個是  $+$   $-$   $*$   $/$  的功能選擇 SW[0] ~ SW[1]
- 再一個是選擇 LED 要看 A,B 還是 C SW[2]

## LED燈

- A 6 bit LEDR[17]~LEDR[12]
- B 6 bit LEDR[11]~LEDR[ 6]
- C 6 bit or 12 bit (乘法 除法 使用 12 bit) LEDR[17]~LEDR[6]
  - 之後的投影片再詳細說明

# 加法/減法

---

使用 二補數(2's complement)

6 bit signed integer

Input : 6 bit A, 6 bit B

Output : 6

減法 A-B

使用 SW[2] 來決定要看 A B 還是看 C

# 乘法

---

設 輸入 A,B 輸出C

輸入 兩個 6 bit

輸出 12 bit

小心正負號

使用 SW[2] 來決定要看 A B 還是看 C

# 除法

---

輸入 A B 各 6 bits

輸出 C1,C2 商數與餘數

- 各 6 bits
- 餘數擺左邊，商數擺右邊

使用 SW[2] 來決定要看 A B 還是看 C

A 跟 B 出題時只用正數測試

助教不會出除以零

# 評分標準

---

有實作 加減乘除，但是功能可能不完美 **70分**

- 加減 **40**, 乘除 **30**

隨機出題目，共五題，全部正確則 **100分**

- 加法兩題 其他一題

加分題 **10分**

遲交一週內剩**80%**

超過一週後每天扣**10%**



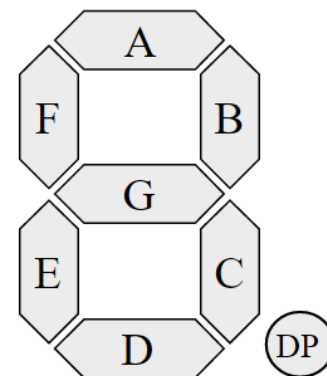
# 加分題

---

使用七段顯示器

- 10進位顯示
- 顯示 output

顯示計算結果



偵測 Overflow

- 若有 **overflow** 多亮一個綠色LED燈
- 或是以其他方式顯示
- **Integer Overflow**的定義：計算結果不在能表示的範圍內
  - 例如  $-1+1 = 0$  沒有 **overflow**
  - 兩個正數相加變成負數：**overflow**

# Test case example

---

TBA

- 詳細的 Switch on/off 之後會公告

例如 給定  $2+3$  要計算出 5

# 其他補充

---

運算效能不影響評分

- 但是請不要超過一秒才有反應