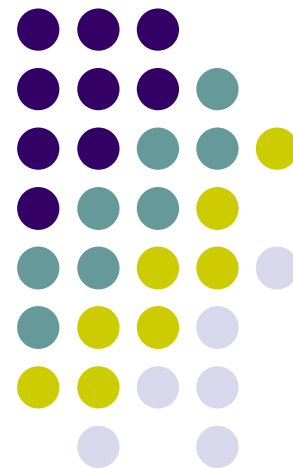


课程设计要求



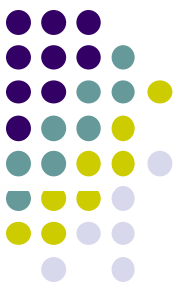
课程设计概述



- 课程设计1：ALU的设计与实现
- 课程设计2：MCU设计实现及应用(打榜评分)
- 提交内容：设计报告、源代码、测试程序及测试结果、每个榜单第一名公开Pre展示。**如有抄袭情况，将取消考试资格。**
- **考核方式：竞赛式考核 + 应用设计（排序、DCT）**
- 组队完成**3人**一组，设组长1人，组员2人。教学团队给出设计的平均成绩，由**组长分配**每个成员课程设计成绩；如**2名团队成员**对组长分配有异议，可向教学团队提出复议，根据实际情况重新分配。
- 考核时间期末考试后(待定)，报告提交时间为打榜验收后5天内。



课程设计说明



- ALU的设计与实现：要求结构化输入
- MCU的设计与实现：可以采用行为级输入
- MCU需至少支持add、sub、and、or、slt、lw、sw、beq
- 可在MIPS指令集内选择扩展支持更多指令
- ALU/MCU结构不限制（以MIPS指令架构为基础，32比特指令，32比特操作数）
 - 流水、超流水
 - 单指令多操作
 - 硬件加速核（乘法器）
 - 多核并行
 - ...



课程设计验收



- **课程设计1：ALU的设计与实现**

课程设计1由教学团队提供FPGA硬件测试平台，验收环节仅作为督促大家学习设计、测试、优化方法，不计入最终评分结果

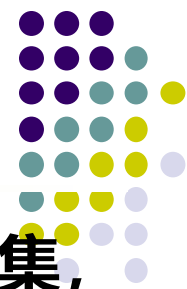
- **课程设计2：MCU设计实现及应用(打榜评分)**

课程设计2的评分包含四个环节：

- (a)标准指令测试：教学团队提供标准化机器码及结果
- (b)打榜测试验收：四个榜单竞赛式验收
- (c)设计报告评分：小组为单位提交设计报告
- (d)各个榜单第一名公开Presentation展示,并演示运行结果,重点突出本组创新点及特色



课程设计报告



关于设计报告：课程设计1(ALU设计)为课程设计2的子集，最终每组仅提交1份课程设计报告，需包含以下内容：

- **课程设计概述(想要做什么、效果如何)**
- **背景及意义**
- **目标及完成情况**
- **关键创新点及效果(可选)**
- **详细设计报告(1.硬件架构设计(ALU+MCU+优化方法); 2.软件设计(汇编指令+机器码+优化方法))**
- **详细测试报告(1.自测结果展示; 2.标准指令测试结果展示; 3.打榜测试结果展示)**
- **总结及展望**

课程设计评分规则



- **竞赛式考核**
- 完成标准指令测试即及格
- 两个应用、处理速度、硬件效率，形成4个排行榜
- 第一名启评分96分，第二名分92分，...
- 根据报告质量(及公开展示质量)±4分
- 每个队取最高排名后，从其它排行中删除相应排名，其它队依次补进

排序		向量矩阵乘法	
速度	硬件效率	速度	硬件效率
第一名队	第一名队	第一名队	第一名队
第二名队	第二名队	第二名队	第二名队
...

■注：硬件效率＝处理速度/资源



课程设计应用介绍(1)



- 设计一个程序在所设计MCU能够完成对16个随机数的**排序**包括正负数
- 全部设计必须以MCU的指令形式完成，不能做专用硬件芯片，最后要求展示对应汇编指令
- 展示时，外部生成一个**ROM**（名字为test_ROM,线路输出名字为test_vector_in）的IP core，测试时随机载入一个coe文件。作为测试向量放入到**ROM**中，然后利用MCU指令从此**ROM**中将数据放入内部的存储。从第一个数据开始读入进行计数器计数（计数器独立设计，位宽为20比特名字为cnt_test，一旦开始计数，中间禁止停止）
- 完成相应的操作后，一次性将数据读出存储到外部的**RAM**中（名字为verify_RAM,线路输入名字为verify_vector_out）。最后一个数据输出完成停止计数。

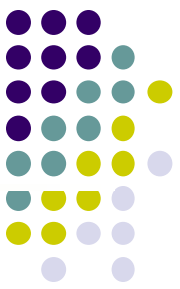


课程设计应用介绍(1)



- 设计一个程序在所设计MCU能够完成对16个随机数的**排序**，包括正负数
- 需要将test_vector_in, verify_RAM, cnt_test放入ILA，ILA深度设为8192。
- 输入数据定点为带符号的16位整数，输出也为16位带符号整数
- 考试验证时，会检查test_vector_in, verify_RAM的结果是否正确，以及功能完成后计数器的计数总量
- 所有结果都是上板后结果，不再以simulation结果进行任何参考。正确性就只看test_vector_in, verify_RAM，而且必须以现场提供的coe进行测试为准
- 实际工作时钟频率必须满足综合报告worse case slack为正值

课程设计应用介绍(1)



- 设计一个程序在所设计MCU能够完成对16个随机数的**排序**，包括正负数
- **Timing report**必须满足所有时序，若有**violation**则设计不为成果，最后计算时间就是（cnt计数时间-32）×时钟周期
- 硬件资源开销为：**LUT+FF**(换算关系： **$10*LUT+6*FF$**)

课程设计应用介绍(2)



- 设计一个程序在所设计MCU完成对8点DCT变换。
- 全部设计必须以MCU的指令形式完成，不能做专用硬件芯片，最后要求展示对应汇编指令
- 展示时，外部生成一个ROM（名字为test_ROM,线路输出名字为test_vector_in）的IP core，测试时随机载入一个coe文件。作为测试向量放入到ROM中包括8个采样点的测试数据，然后利用MCU指令从此ROM中将数据放入内部的存储。从第一个数据开始读入进行计数器计数（计数器独立设计，位宽为20比特名字为cnt_test，一旦开始计数，中间禁止停止）。



课程设计应用介绍(2)



- 设计一个程序在所设计MCU完成对8点DCT变换
 - 完成相应的操作后，一次性将数据读出，只需要读出8点运算结果向量，存储到外部的RAM中（名字为verify_RAM,线路输入名字为verify_vector_out）。最后一个数据输出完成停止计数。
 - 需要将test_vector_in, verify_RAM, cnt_test放入ILA，ILA深度设为8192。
 - 输入/输出数据均为16比特定点数。



课程设计应用介绍(2)



- 设计一个程序在所设计MCU完成对8点DCT变换
 - 考试验证时，会检查test_vector_in, verify_RAM的结果是否正确，以及功能完成后计数器的计数总量
 - 所有结果都是上板后结果，不再以simulation结果进行任何参考。正确性就只看test_vector_in, verify_RAM，而且必须以现场提供的coe进行测试为准
 - Timing report必须满足所有时序，若有violation则设计不为成果，最后计算时间就是（cnt计数时间-16）×时钟周期
 - 硬件开销为10*LUT+6*FF



课程设计加分项说明



- 加分项：采用了课程教学内容以外的技术**成功**应用于本次课程设计
- 对加分项的设计内容在设计报告中，以“创新设计”条目进行说明，包括设计方法、实现技术路径、对该技术的测试等；并在设计整体验收时向测试老师说明；
- 加分值只计入课程设计成绩，有教师团队共同决定加分值。