

多发射乱序 CPU 的 RTL 级实现与验证

Yingkun Zhou, 2015K8009929023

key word: RISC-V, MIPS, CPU, out-of-order, multi-microprocessor

乱序多发射的 CPU 设计并不容易，可以借鉴的并不多。而且比设计更加困难的是调试，如何保证复杂执行的 CPU 能够有条不紊，毫无错误的运行比如像 Linux 这样的操作系统更加难上加难。然而借着 RISC-V 开源的东风，我看到了希望之光。首先对于单一时钟，同步复位的电路，chisel 完全够用，并且逻辑的刻画效率比 verilog 更高；其次乱序的 CPU 如今也有开源的 BOOM 代码实现，可以很好的参考；然后 RISC-V 目前有一整套的调试手段可以借用；最后 RISC-V 有整套的软件栈可以运行自己设计的 CPU。站在巨人的肩膀上，可以看的更远，可以做得更好正是这个道理。所以计划的第一步就是实现一个基于 RISC-V ISA 的乱序双发射的 CPU，调试完毕能够跑通简单的测试程序。本人也深知这绝非易事，(希望能够比较顺利)。接下来可以的话再做操作系统的移植，甚至能够支持多核。如果这些都完成了，下面的任务反倒轻松起来，一开始的设计就一定要做到微结构和 ISA 层解耦合，这样把 RISC-V 改成 MIPS 就会轻松很多。这样我就有两个 ISA 版本同样微结构的架构，所以接下来就可以比较客观的对比两个 ISA 的优劣了。当然更有野心的目标是既然双发射乱序也已经做了，那么为什么不做到最好，而现在恰好有一个目标—那就是 ARM 的 Cortex A53，一款业界公认的小而精致，性能极高的双发射 8 级静态调度的 CPU。既然已经摆在了我面前，为什么不争取一下超过它！