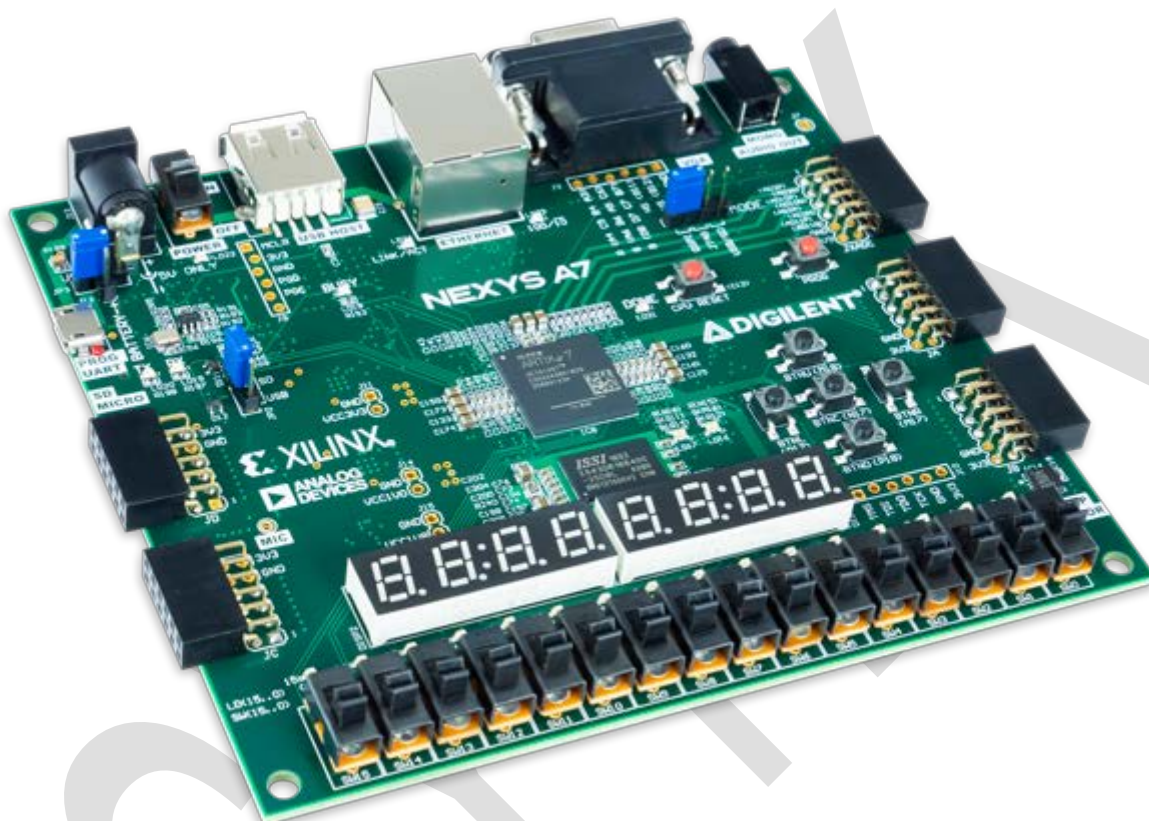
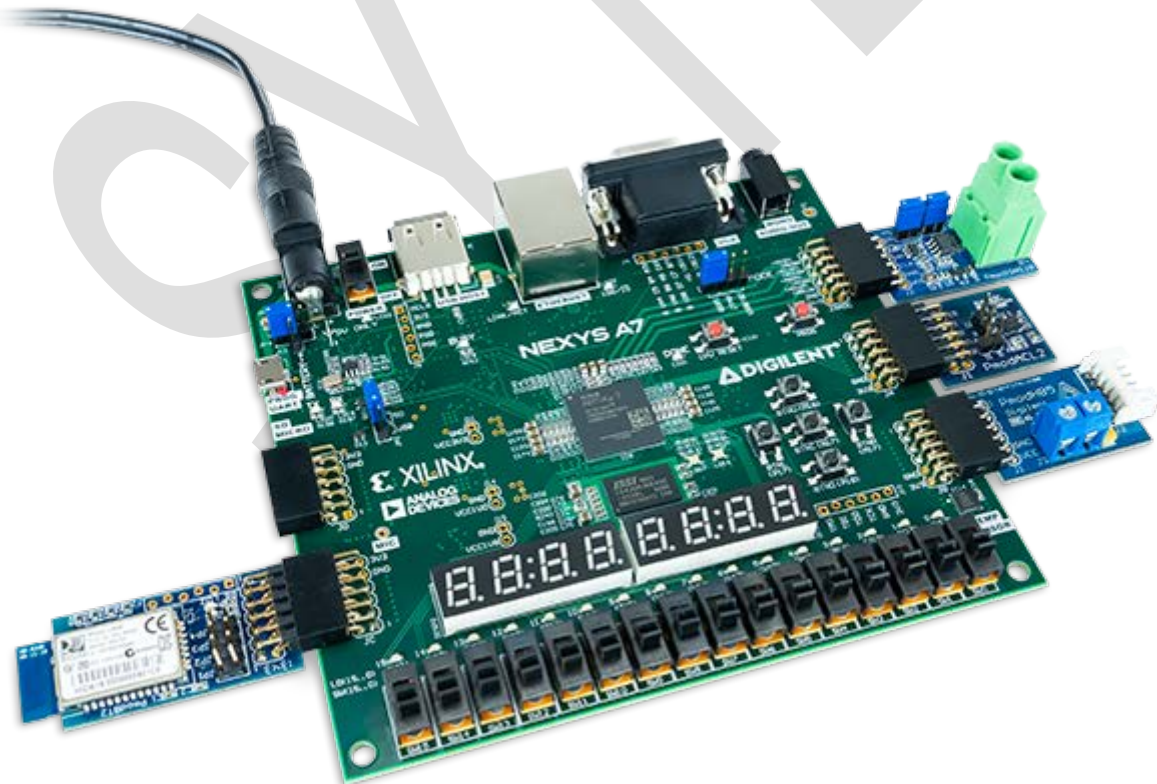
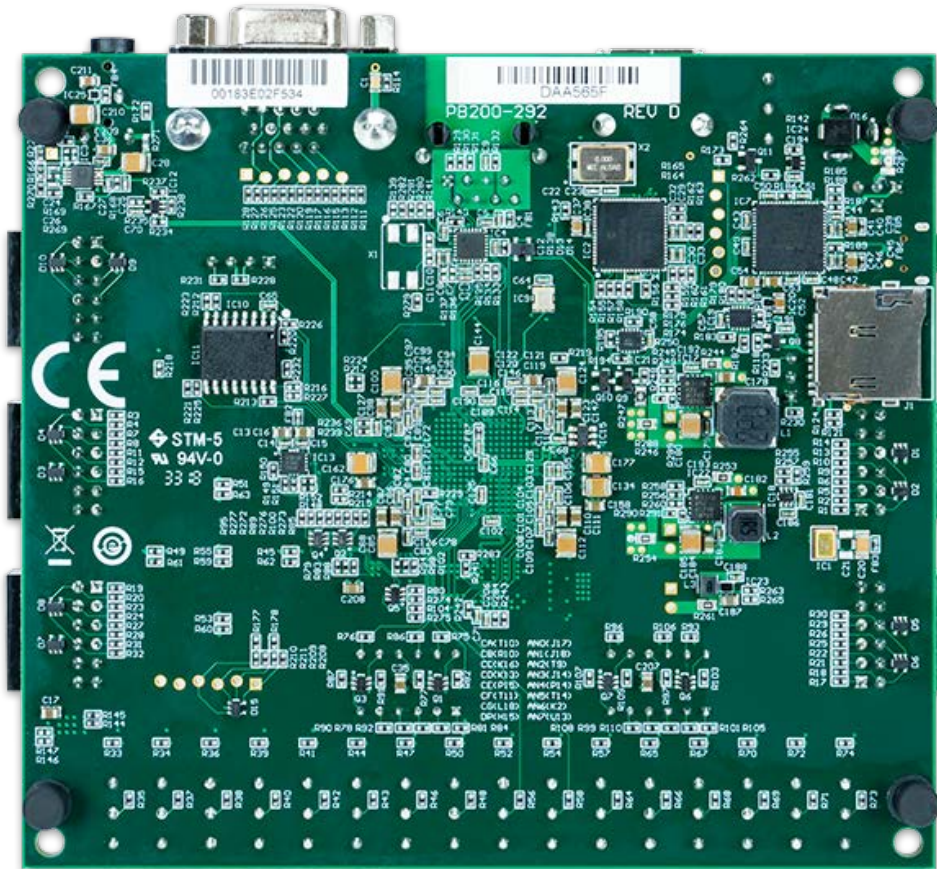


# Nexys A7 参考手册

Nexys A7 板是一个完整的，即用型数字电路开发平台，非常适合作为计算机类/微机类课程教学实验板。基于 Xilinx® 的最新 Artix-7™ 现场可编程门阵列 (FPGA)。凭借其大容量，高容量的 FPGA，丰富的外部存储器以及 USB，以太网和其他端口的集合，Nexys A7 可以承载从入门组合电路到功能强大的嵌入式处理器的各种设计。多种内置外设，包括加速度计，温度传感器，MEMs 数字麦克风，扬声器放大器和多个 I/O 设备，使 Nexys A7 可用于各种设计，无需任何其他组件。





# 参数特征

- **Artix-7 FPGA**
  - 15,850 个可编程逻辑片，每个片有 4 个 6 输入 LUT 和 8 个触发器 (\* 8,150 片)
  - 1,188 Kbits 快速 RAM (\* 600 Kbits)
  - 六个时钟管理磁贴，每个都有锁相环 (PLL)
  - 240 个 DSP 片 (\* 120 个 DSP)
  - 内部时钟速度超过 450 MHz
  - 双通道，1 MSPS 内部模数转换器 (XADC)
- **板载存储**
  - 128MiB DDR2
  - 串行闪存
  - microSD 卡插槽
- **供电**
  - 由 USB 或任何 4.5V-5.5V 外部电源供电
- **USB 和以太网**
  - 10/100 以太网 PHY
  - USB-JTAG 编程电路
  - USB-UART 桥
  - USB HID 主机适用于鼠标，键盘和记忆棒
- **简单的用户输入/输出**
  - 16 个开关
  - 16 个 LED
  - 两个 RGB LED
  - 两个 4 位 7 段显示器
- **音频和视频**
  - 12 位 VGA 输出
  - PWM 音频输出
  - PDM 麦克风
- **附加传感器**
  - 3 轴加速度计
  - 温度感应器
- **扩展连接器**
  - 用于 XADC 信号的 Pmod 连接器
  - 四个 Pmod 连接器，提供 32 个总 FPGA I/O.

Nexys A7-100T 与 Xilinx 的 Vivado®DesignSuite 以及 ISE®工具集兼容，后者包括 ChipScope™和 EDK。

Nexys A7-50T 变体仅与 Vivado®DesignSuite 兼容。

Xilinx 提供这些工具集的自由 WebPACK™版本，因此可以免费实施设计。

Digilent Adept Utility 不支持 Nexys A7。



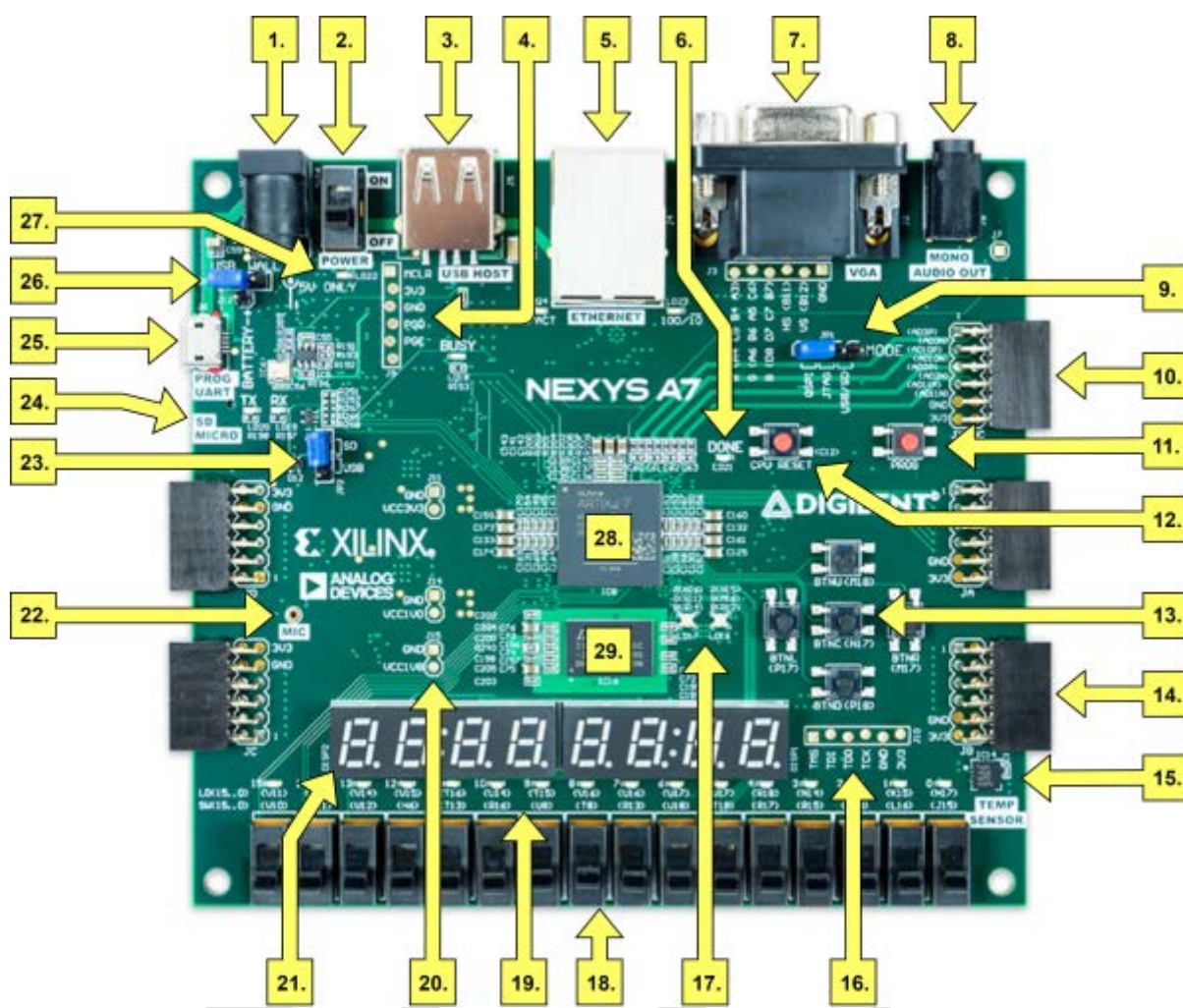


图 1. Nexys A7 功能标注

序号	组件说明	大喊	组件说明
1	电源插孔	16	用于（可选）外部电缆的 JTAG 端口
2	电源开关	17	三色（RGB）LED
3	USB 主机连接器	18	滑动开关（16）
4	PIC24 编程端口（工厂使用）	19	LED（16）
5	以太连接器	20	电源测试点
6	FPGA 编程完成 LED	21	八位 7-seg 显示屏
7	VGA 连接器	22	麦克风
8	音频连接器	23	外部配置跳线（SD / USB）

9	编程模式跳线	24	MicroSD 卡插槽
10	模拟信号 Pmod 端口 (XADC)	25	共享 UART / JTAG USB 端口
11	FPGA 配置复位按钮	26	电源选择跳线和电池头
12	CPU 复位按钮 (用于软核)	27	电源良好的 LED
13	五个按钮	28	Xilinx Artix-7 FPGA
14	Pmod 港口	29	DDR2 内存
15	温度感应器		

## 采购选项

Nexys A7 可以选购 XC7A100T 或 XC7A50T FPGA。这两种 Nexys A7 产品变体分别称为 Nexys A7-100T 和 Nexys A7-50T。当 Digilent 文档描述这两种变体共有的功能时，它们统称为“Nexys A7”。在描述仅对特定变体共有的内容时，将通过其名称明确调出变体。

Nexys A7-100T 与 Nexys A7-50T 的唯一区别在于 Artix-7 的尺寸。Artix-7 FPGA 具有相同的功能，但 XC7100T 的内部 FPGA 大约是 XC750T 的 2 倍。两种变体之间的差异总结如下：

产品变体	Nexys A7-100T	Nexys A7-50T
FPGA 部件号	XC7A100T-1CSG324C	XC7A50T-1CSG324I
查找表 (LUT)	63400	32600
人字拖	126800	65,200
Block RAM	1,188 Kb	600 Kb
DSP 切片	240	120
时钟管理瓷砖	6	五

## 开发板修订

Nexys A7 是 Nexys 4 DDR 板的品牌重塑版，是对 Nexys 4 主板的增量更新。

## 从 Nexys 4 DDR 迁移

Nexys A7 和 Nexys 4 DDR 之间的唯一区别是增加了 Nexys A7 的 Nexys A7-50T 变体，它具有更小的门阵列。Nexys A7-100T 变体在功能上与 Nexys 4 DDR 完全相同。

Nexys A7 的用户可能会发现 Nexys 4 DDR 产生的资源很有用，可以在 Nexys 4 DDR 的[资源中心找到](#)。

## 从 Nexys 4 迁移

从 Nexys 4 到 Nexys 4 DDR 的主要改进是用 16 MiB DDR2 SDRAM 内存取代 16 MiB Cellular RAM。此外，为了适应新的存储器，FPGA bank 的引脚输出也发生了变化。

音频输出（AUD\_PWM）需要驱动开漏，而不是 Nexys 4 上的推挽。

# 功能说明

## 1 电源

Nexys A7 板可以从 Digilent USB-JTAG 端口（J6）或外部电源接收电源。跳线 JP3（靠近电源插孔）决定使用哪个信号源。

所有 Nexys A7 电源均可通过单个逻辑电平开关（SW16）打开和关闭。甲电源良好 LED（LD22），由供给 ADP2118 的“电源良好”输出来驱动，指示该耗材被接通和正常运行。Nexys A7 电源电路概述如图 1.1 所示。

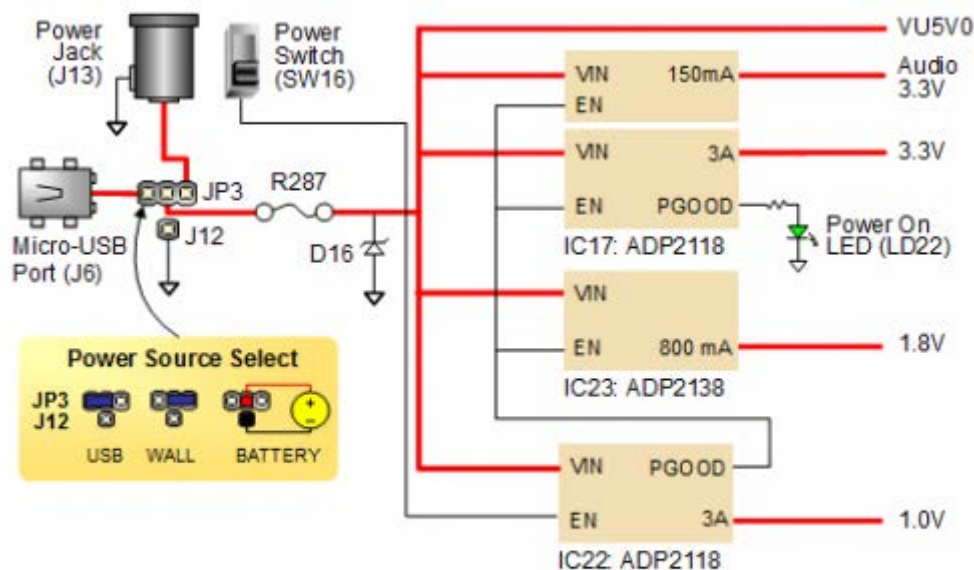


图 1.1 Nexys A7 电源电路

USB 端口可为绝大多数设计提供足够的功率。为了从 USB 端口设置跳线 JP3 到“USB”为电路板供电。我们的开箱即用演示从 5V 输入轨吸收约 400mA 电流。一些要求苛刻的应用，包括任何驱动多个外围板的应用，可能需要比 USB 端口提供的更多功率。此外，某些应用程序可能需要在不连接到 PC 的 USB 端口的情况下运行。在这些情况下，可以使用外部电源或电池组。

通过插入电源插孔 (J13) 并将跳线 JP3 设置为“WALL”，可以使用外部电源。电源必须使用同轴，中心正 2.1mm 内径插头，并提供 4.5VDC 至 5.5VDC 和至少 1A 的电流（即至少 5W 的功率）。许多合适的耗材可以从 Digilent，Digi-Key 或其他目录供应商处购买。

通过将电池的正极端子连接到 JP3 的中心引脚，将负极端子连接到标记为 J12 的引脚，直接在 JP3 下方，可以使用外部电池组。由于 Nexys A7 上的主调节器无法容纳超过 5.5VDC 的输入电压，因此外部电池组必须限制在 5.5VDC。电池组的最小电压取决于应用：如果使用 USB 主机功能 (J5)，则需要提供至少 4.6V 的电压。在其他情况下，最小电压为 3.6V。

ADI 公司的稳压器电路从主电源输入产生所需的 3.3V, 1.8V 和 1.0V 电源。表 1.1 提供了其他信息。典型电流很大程度上取决于 FPGA 配置，所提供的值是典型的中等尺寸/速度设计。

表 1.1 Nexys A7 电源。

电平	电路	设备	电流（最大/典型值）
3.3V	FPGA I/O, USB 端口, 时钟, RAM I/O, 以太网, SD 插槽, 传感器, 闪存	IC17: ADP2118	3A / 0.1 至 1.5A
1.0V	FPGA 核心	IC22: ADP2118	3A / 0.2 至 1.3A
1.8V	DDR2, FPGA 辅助和 RAM	IC23: ADP2118	0.8A / 0.5A



## 1.1 保护

Nexys A7 在输入电源轨上具有过流和过压保护功能。3.5A 保险丝(R287)和 5V 齐纳二极管(D16)为其他板载集成电路提供不可复位保护,如图 2 所示。超出本文档中所述规格的电源不在保修范围内。如果发生这种情况,其中一个或两个都可能永久损坏。损坏的部件不是用户可更换的。

## 2 FPGA 配置

上电后,必须先配置(或编程) Artix-7 FPGA 才能执行任何功能。您可以通过以下四种方式之一配置 FPGA:

1. PC 可以使用 Digilent USB-JTAG 电路(端口 J6, 标记为“PROG”)在电源打开时对 FPGA 进行编程。
2. 存储在非易失性串行(SPI)闪存器件中的文件可以使用 SPI 端口传输到 FPGA。
3. 编程文件可以从 micro SD 卡传输到 FPGA。
4. 编程文件可以从连接到 USB HID 端口的 USB 记忆棒传输。

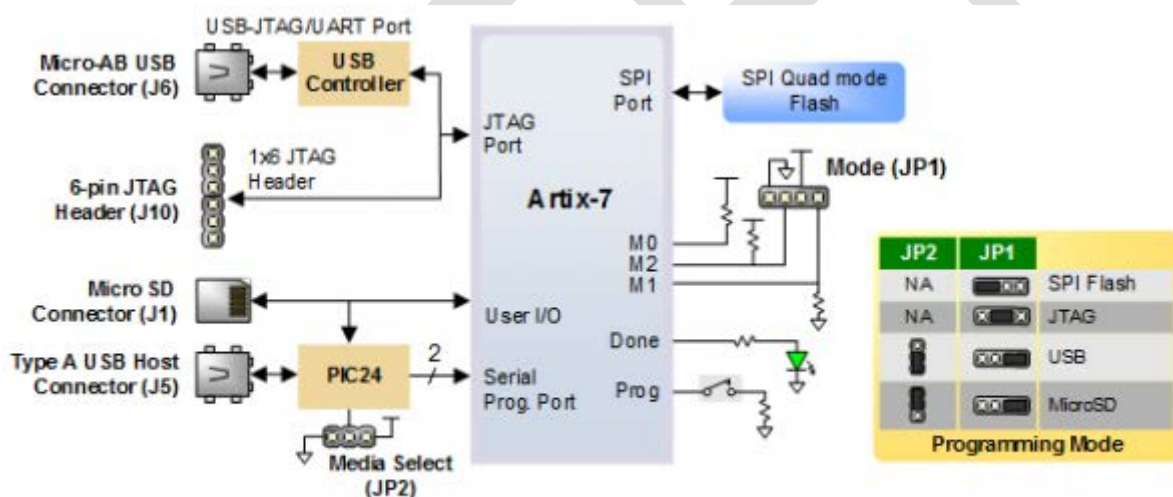


图 2.1 Nexys A7 DDR 配置选项

图 2.1 显示了可用于配置 FPGA 的不同选项。板载“模式”跳线(JP1)和媒体选择跳线(JP2)在编程模式之间进行选择。

FPGA 配置数据存储在称为比特流的文件中,该文件具有.bit 文件扩展名。Xilinx 的 ISE 或 Vivado 软件可以从 VHDL, Verilog®或基于原理图的源文件创建比特流(在 ISE 工具集中,EDK 用于基于 MicroBlaze™嵌入式处理器的设计)。

比特流存储在 FPGA 内的基于 SRAM 的存储器单元中。这些数据定义了 FPGA 的逻辑功能和电路连接,它通过移除电路板电源,按下 PROG 输入端的复位按钮或使用 JTAG 端口写入新的配置文件来擦除,直到它被擦除。



Artix-7 100T 比特流通常为 30,606,304 比特，并且可能需要很长时间才能传输。编程 Nexys A7 所需的时间可以通过在编程之前压缩比特流来减少，然后允许 FPGA 在配置期间自行解压缩比特流。根据设计复杂性，可以实现 10 倍的压缩比。可以在 Xilinx 工具（ISE 或 Vivado）中启用比特流压缩，以在生成期间进行。有关如何执行此操作的说明，请参阅 Xilinx 文档以了解所使用的工具集。成功编程后，FPGA 将产生“DONE”LED 照亮。随时按“PROG”按钮将重置 FPGA 中的配置存储器。复位后，FPGA 将立即尝试从编程模式跳线选择的任何方法重新编程。

以下部分提供了有关使用不同方法对 Nexys A7 进行编程的更多详细信息。

## 2.1 JTAG 配置

Xilinx 工具通常使用测试访问端口和边界扫描架构（通常称为 JTAG）与 FPGA 通信。在 JTAG 编程期间，使用板载 Digilent USB-JTAG 电路（端口 J6）或连接到端口 J10 的外部 JTAG 编程器（例如 Digilent JTAG-HS2）将 .bit 文件从 PC 传输到 FPGA。无论模式跳线（JP1）设置为何种，您都可以在 Nexys A7 上电后随时执行 JTAG 编程。如果已配置 FPGA，则通过 JTAG 传输比特流将覆盖现有配置。将模式跳线设置为 JTAG 设置（如图 3 所示）有助于防止从任何其他比特流源配置 FPGA，直到发生 JTAG 编程。

使用板载 USB-JTAG 电路对带有未压缩比特流的 Nexys A7 进行编程通常需要大约五秒钟。JTAG 编程可以使用 Vivado 中的硬件服务器或 ISE 附带的 iMPACT 工具和 Vivado 的 Lab Tools 版本完成。[www.digilentinc.com](http://www.digilentinc.com) 上提供的演示项目提供了有关如何对电路板进行编程的深入教程。

## 2.2 QSPI 配置

由于 Nexys A7 上的 FPGA 是易失性的，因此它依赖于 Quad-SPI 闪存来在电源周期之间存储配置。此配置模式称为主 SPI。空白 FPGA 充当主设备的角色，并在上电时从闪存设备中读取配置文件。为此，需要先将配置文件下载到闪存中。编程非易失性闪存设备时，比特流文件将分两步传输到闪存。首先，FPGA 编程有一个可以对闪存器件进行编程的电路，然后通过 FPGA 电路将数据传输到闪存器件（这种复杂性在 Xilinx 工具中对用户隐藏）。这称为间接编程。闪存设备编程完成后，它可以在随后的上电或复位事件中自动配置 FPGA，具体取决于模式跳线设置（参见图 3）。无论电源循环事件如何，存储在闪存设备中的编程文件都将保留，直到被覆盖为止。

对闪存进行编程可能需要长达 4 到 5 分钟，这主要是由于存储器技术固有的冗长擦除过程。然而，一旦编写，FPGA 配置可以非常快 - 不到一秒钟。比特流压缩，SPI 总线宽度和配置速率是 Xilinx 工具控制的元素，可能会影响配置速度。Nexys A7 支持 x1，x2 和 x4 总线宽度以及高达 50 MHz 的数据速率，适用于 Quad-SPI 编程。

Quad-SPI 编程可以使用 ISE 附带的 iMPACT 工具或 Vivado 的 Lab Tools 版本完成。

## 2.3 USB 主机和 Micro SD 编程

您可以通过执行以下操作，从连接到 USB 主机端口（J5）的笔式驱动器或插入 J1 的 microSD 卡对 FPGA 进行编程：

1. 使用 FAT32 文件系统格式化存储设备（Pen 驱动器或 microSD 卡）。

2. 将单个.bit 配置文件放在存储设备的根目录中。
3. 将存储设备连接到 Nexys A7。
4. 将 Nexys A7 上的 JP1 编程模式跳线设置为“USB / SD”。
5. 使用 JP2 选择所需的存储设备。
6. 按下 PROG 按钮或重新启动 Nexys A7。

FPGA 将自动配置所选存储设备上的.bit 文件。任何不是为适当的 Artix-7 设备构建的.bit 文件都将被 FPGA 拒绝。

辅助功能状态或“BUSY” LED 在 FPGA 尚未编程时提供有关配置过程状态的可视反馈：

- 当稳定点亮时，辅助微控制器正在启动或正在读取配置介质（microSD 或笔式驱动器）并将比特流下载到 FPGA。
- 慢速脉冲意味着微控制器正在等待插入配置介质。
- 如果在配置期间出现错误，LED 将快速闪烁。

成功配置 FPGA 后，LED 的行为是特定于应用的。例如，如果插入 USB 键盘，快速闪烁将表示从键盘接收到 HID 输入报告。

## 3 存储器

Nexys A7 板包含两个外部存储器：**1Gib（128MiB）DDR2 SDRAM** 和 **128Mib（16MiB）非易失性串行闪存器件**。DDR2 模块集成在板上，并使用行业标准接口连接到 FPGA。串行闪存位于专用的四模（x4）SPI 总线上。FPGA 和外部存储器之间的连接和引脚分配如下所示。

### 3.1 DDR2

Nexys A7 包括一个 Micron MT47H64M16HR-25: H DDR2 内存组件，创建一个单级，16 位宽的接口。它连接到 1.8V 供电的 HR（高范围）FPGA bank，具有 50 欧姆控制的单端走线阻抗。FPGA 中的 50 欧姆内部端接用于匹配走线特性。类似地，在存储器侧，管芯上终端（ODT）用于阻抗匹配。

为了正确操作存储器，需要在 FPGA 设计中包括存储器控制器和物理层（PHY）接口。有两种推荐的方法可以实现，下面概述了这些方法的复杂性和设计灵活性。

直接的方法是使用 Digilent 提供的 DDR-to-SRAM 适配器模块，该模块实例化存储器控制器并使用异步 SRAM 总线与用户逻辑接口。该模块向后兼容为使用 CellularRAM 而非 DDR2 的旧 Nexys 线路板编写的项目。为简单起见，它交换内存带宽。

更高级的用户或希望了解更多有关 DDR SDRAM 技术的用户可能希望使用由 MIG（存储器接口生成器）向导生成的 Xilinx 7 系列存储器接口解决方案核心。根据所使用的工具（ISE, EDK 或 Vivado），MIG 向导可以生成本机 FIFO 样式或 AXI4 接口以连接到用户逻辑。此工作流程允许自定义针对特定应用程序优化的多个 DDR 参数。下面的表 3.1 列出了针对 Nexys A7 优化的 MIG 向导设置。

表 3.1.1 Nexys A7 的 DDR2 设置。

设置	值
记忆类型	DDR2 SDRAM
最大。时钟周期	3000ps (667Mbps 数据速率)
推荐的时钟周期 (便于生成时钟)	3077ps (650Mbps 数据速率)
记忆部分	MT47H64M16HR-25E
数据宽度	16
数据掩码	启用
片选引脚	启用
Rtt (标称值) - 片上终结	50 欧姆
内部 Vref	启用
内部终端阻抗	50 欧姆

虽然 FPGA, 存储器 IC 和电路板本身的最大数据速率为 667Mbps, 但时钟生成原语的限制限制了可以从 100 MHz 系统时钟产生的时钟频率。因此, 为简单起见, 建议使用 650Mbps 的下一个最高数据速率。

在生成 IP 内核之前, MIG 向导将要求输入并验证存储器信号的固定引脚输出。为方便起见, Digilent 网站上提供了可导入的 UCF 文件, 以加快此过程。

有关 Xilinx 存储器接口解决方案的更多详细信息, 请参阅 7 系列 FPGA 存储器接口解决方案用户指南 (ug586)<sup>1</sup>。

## 3.2 Quad-SPI Flash

FPGA 配置文件可写入 Quad-SPI Flash (Spansion 部件号 S25FL128S), 并且模式设置可用于使 FPGA 在上电时自动从该器件读取配置。Artix-7 100T 配置文件只需少于 4 个 MiB (mebibyte) 内存, 大约 77% 的闪存设备可用于用户数据。或者, 如果从其他源配置 FPGA, 则整个存储器可用于自定义数据。

可以通过在 SPI 总线上发出某些命令来操作存储器的内容。该协议的实施超出了本文档的范围。除了 SCK 之外, SPI 总线中的所有信号都是 FPGA 配置后的通用用户 I/O 引脚。SCK 是一个例外, 因为即使在配置之后它仍然是专用引脚。通过名为 STARTUPE2 的特殊 FPGA 原语提供对该引脚的访问。

**注意:** 有关详细信息, 请参阅制造商的数据表<sup>2</sup>和 Xilinx 用户指南<sup>3</sup>。

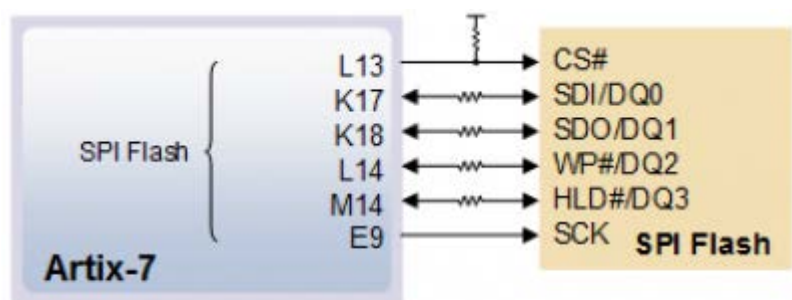


图 3.2.1 Nexys A7 DDR SPI Flash 引脚输出

<sup>1</sup> 来自 Xilinx 的 Zynq-7000 SoC 和 7 系列器件存储器接口解决方案

<sup>2</sup> Spansion 公司 S25FL032P 00 数据表

<sup>3</sup> 7 系列 FPGA 配置用户从赛灵思指南

## 4 以太网 PHY

Nexys A7 主板包括一个 SMSC 10/100 以太网 PHY（SMSC 部件号 LAN8720A）和一个带集成磁性的 RJ-45 以太网插孔。SMSC PHY 使用 RMII 接口并支持 10/100 Mb/s。图 4.1 显示了 Artix-7 和以太网 PHY 之间的引脚连接。在上电复位时，PHY 设置为以下默认值：

- RMII 模式界面
- 启用自动协商，宣传所有 10/100 模式
- PHY 地址= 00001

连接到 PHY 的两个板载 LED（LD23 = LED2，LD24 = LED1）提供链路状态和数据活动反馈。有关详细信息，请参见 PHY 数据手册。

基于 EDK 的设计可以使用 axi\_ethernetlite（AXI EthernetLite）IP 内核或 axi\_ethernet（三模式以太网 MAC）IP 内核访问 PHY。需要插入 mii\_to\_rmii 内核（以太网 PHY MII 到减少 MII）以将 MAC 接口从 MII 转换为 RMII。此外，需要为 mii\_to\_rmii 内核和外部 PHY 的 CLKIN 引脚生成 50 MHz 时钟。为了解决 mii\_to\_rmii 内核引入的偏差，单独生成每个时钟，外部 PHY 时钟相对于 mii\_to\_rmii Ref\_Clk 具有 45 度相移。正确使用以太网 PHY 的 EDK 演示项目可在 Nexys A7 产品页面 [www.digilentinc.com](http://www.digilentinc.com) 上找到。

ISE 设计可以使用 IP 内核生成器向导来创建以太网 MAC 控制器 IP 内核。

注意：有关详细信息，请参阅 LAN8720A 数据表<sup>1</sup>。



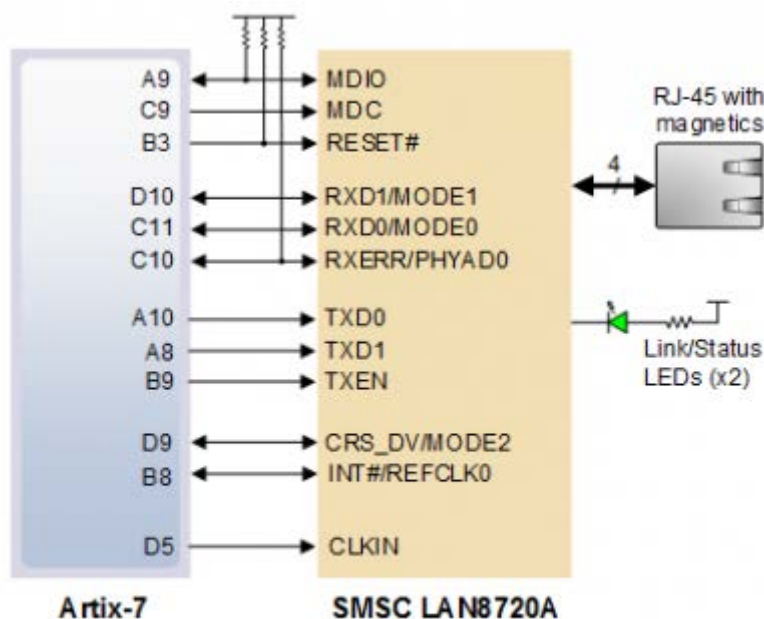


图 4.1 Artix-7 和以太网 PHY 之间的引脚连接

<sup>1</sup> 从 [Microchip 的 SMSC LAN8720A 数据表](#)

## 5 振荡器/时钟

Nexys A7 板包括连接到引脚 E3 的单个 100 MHz 晶体振荡器（E3 是存储体 35 上的 MRCC 输入）。输入时钟可以驱动 MMCM 或 PLL 以产生各种频率的时钟，并且具有在整个设计中可能需要的已知相位关系。一些规则限制了 100 MHz 输入时钟可以驱动哪些 MMCM 和 PLL。有关这些规则和 Artix-7 时钟资源功能的完整说明，请参阅 Xilinx 提供的“7 系列 FPGA 时钟资源用户指南”。

Xilinx 提供时钟向导 IP 内核，可帮助用户生成特定设计所需的不同时钟。该向导将根据用户指定的所需频率和相位关系正确实例化所需的 MMCM 和 PLL。然后，向导将围绕这些可插入用户设计的时钟资源输出一个易于使用的包装器组件。可以从 Project Navigator 或 Core Generator 工具中访问时钟向导。

## 6 USB-UART 桥接器（串行端口）

Nexys A7 包括一个 FTDI FT2232HQ USB-UART 桥接器（连接到 J6 连接器），允许您使用 PC 应用程序使用标准 Windows COM 端口命令与电路板通信。免费的 USB-COM 端口驱动程序，可从 [www.ftdichip.com](http://www.ftdichip.com) 的“Virtual Com Port”或 VCP 标题下获得，将 USB 数据包转换为 UART / 串行端口数据。使用双线串行端口（TXD / RXD）和可选的硬件流控制（RTS / CTS）与 FPGA 交换串行端口

数据。安装驱动程序后，可以从指向 COM 端口的 PC 使用 I/O 命令，以在 C4 和 D4 FPGA 引脚上产生串行数据流量。

两个板载状态 LED 提供流经端口的流量的可视反馈：发射 LED（LD20）和接收 LED（LD19）。暗示方向的信号名称来自 DTE（数据终端设备）的视点，在这种情况下是 PC。

FT2232HQ 也可用作 Digilent USB-JTAG 电路的控制器，但 USB-UART 和 USB-JTAG 功能完全相互独立。有兴趣在其设计中使用 FT2232 的 UART 功能的编程人员无需担心 JTAG 电路干扰 UART 数据传输，反之亦然。将这两个功能组合到一个设备中，可以对 Nexys A7 进行编程，通过 UART 进行通信，并通过连接有单根 Micro USB 线缆的计算机供电。

FT2232HQ 和 Artix-7 之间的连接如图 6.1 所示。

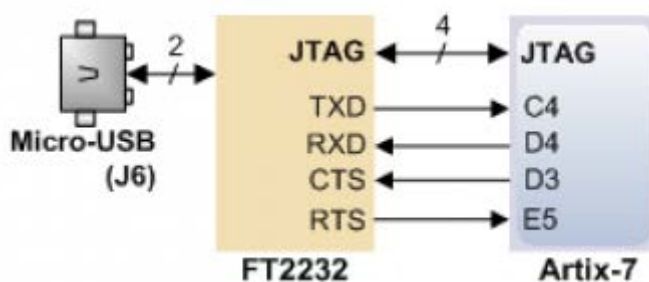


图 6.1 Nexys A7 FT2232HQ 连接

## 7 USB HID 主机

辅助功能微控制器（Microchip PIC24FJ128）为 Nexys A7 提供 USB 嵌入式 HID 主机功能。上电后，微控制器处于配置模式，或者将比特流下载到 FPGA，或者等待从其他源编程。一旦 FPGA 被编程，微控制器就切换到应用模式，在这种情况下是 USB HID 主机。微控制器中的固件可以驱动连接到 J5 标记为“USB 主机”的 A 型 USB 连接器的鼠标或键盘。目前不支持集线器支持，因此只能使用一个鼠标或一个键盘。仅支持支持 Boot HID 接口的键盘和鼠标。PIC24 将几个信号驱动到 FPGA 中 - 两个用于实现标准 PS/2 接口，用于与鼠标或键盘通信，

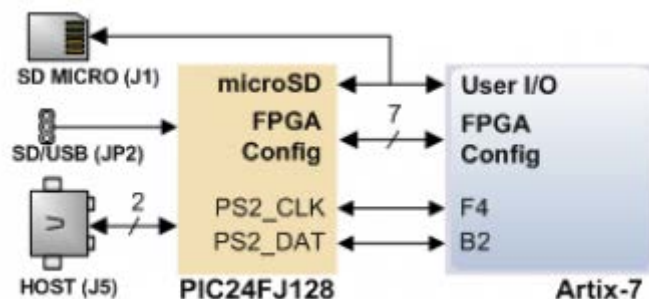
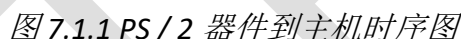


图 7.1 Nexys A7 PIC24 连接

辅助功能微控制器隐藏了 FPGA 的 USB HID 协议，并模拟旧式 PS/2 总线。微控制器的行为就像 PS/2 键盘或鼠标一样。这意味着新设计可以重复使用现有的 PS/2 IP 内核。使用 PS/2 协议的鼠标和键盘使用双线串行总线（时钟和数据）与主机通信。在 Nexys A7 上，微控制器模拟 PS/2 器件，而 FPGA 则扮演主机的角色。鼠标和键盘都使用 11 位字，包括起始位，数据字节（LSB 优先），奇校验和停止位，但数据包的组织方式不同，键盘接口允许双向数据传输（所以主机设备可以照亮键盘上的状态 LED）。总线时序如图 7.1.1 所示。



当键盘或鼠标连接到 **Nexys A7** 时，会向主机发送“自检通过”命令（**0xAA**）。在此之后，可以向设备发出命令。由于键盘和鼠标都使用相同的 **PS/2** 端口，因此可以使用设备 ID 判断连接的设备类型。可以通过发出读取 ID 命令（**0xF2**）来读取此 ID。此外，鼠标在“自检传递”命令之后立即发送其 ID（**0x00**），这将其与键盘区分开来。

PS/2 型键盘使用扫描码来传达按键数据。为每个键分配一个代码，只要按下该键就会发送该代码。如果按住键，扫描码将每 100ms 重复发送一次。释放密钥后，将发送 F0 加密代码，然后发送已释放密钥的扫描代码。如果可以移动键以产生新字符（如大写字母），则除了扫描代码之外还会发送移位字符，并且主机必须确定要使用的 ASCII 字符。一些称为扩展密钥的密钥在扫描代码之前发送 E0（并且它们可以发送多个扫描代码）。释放扩展密钥后，将发送 E0 F0 加密代码，然后发送扫描代码。大多数密钥的扫描代码如图 7.2.1 所示。

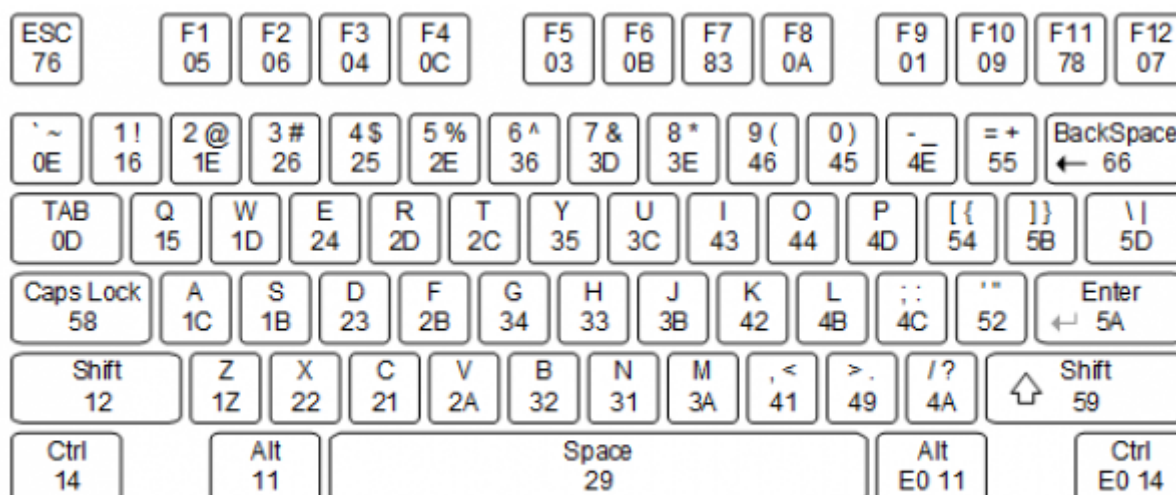


图 7.2.1 键盘扫描码

主机设备也可以将数据发送到键盘。表 7.2.1 显示了主机可能发送的一些常用命令的列表。

仅当数据和时钟线都很高（或空闲）时，键盘才能将数据发送到主机。由于主机是总线主机，因此键盘必须检查主机是否在驱动总线之前发送数据。为此，时钟线用作“清除发送”信号。如果主机将时钟线驱动为低电平，则在释放时钟之前，键盘不得发送任何数据。键盘以 11 位字的形式向主机发送数据，其中包含一个'0'起始位，后跟 8 位扫描码（LSB 优先），后跟一个奇校验位，并以'1'停止位终止。当数据发送时，键盘产生 11 个时钟转换（20 至 30 KHz），数据在时钟的下降沿有效。

表 7.2.1。键盘命令

命令	行动
ED	设置 Num Lock, Caps Lock 和 Scroll Lock LED。键盘在收到 ED 后返回 FA，然后主机发送一个字节来设置 LED 状态：位 0 设置 Scroll Lock，位 1 设置 Num Lock，位 2 设置 Caps Lock。第 3 位至第 7 位被忽略。
EE	回声（测试）。接收 EE 后键盘返回 EE
F3	设置扫描码重复率。键盘在接收 FA 时返回 F3，然后主机发送第二个字节以设置重复率。
FE	重发。FE 指示键盘重新发送最新的扫描代码。
FF	重启。重置键盘。



## 7.3 鼠标

一旦进入流模式并启用数据报告，鼠标在移动时输出时钟和数据信号；否则，这些信号保持在逻辑“1”。每次移动鼠标时，都会从鼠标向主机设备发送三个 11 位字，如图 7.3.1 所示。每个 11 位字包含一个'0'起始位，后跟 8 位数据（LSB 优先），后跟一个奇校验位，并以'1'停止位结束。因此，每个数据传输包含 33 个比特，其中比特 0,11 和 22 是'0'个起始比特，比特 11,21 和 33 是'1'个停止比特。这三个 8 位数据字段包含移动数据，如图 7.3.1 所示。数据在时钟的下降沿有效，时钟周期为 20 至 30 KHz。

鼠标采用相对坐标系，其中向右移动鼠标在 X 字段中产生正数，向左移动产生负数。同样，向上移动鼠标会在 Y 字段中生成正数，向下移动则表示负数（状态字节中的 XS 和 YS 位是符号位 - “1”表示负数）。X 和 Y 数字的大小代表鼠标移动的速度；数字越大，鼠标移动得越快（状态字节中的 XV 和 YV 位是移动溢出指示符。“1”表示发生溢出）。如果鼠标连续移动，则每 50ms 左右重复 33 位传输。状态字节中的 L 和 R 字段表示按下向左和向右按钮（“1”表示按下按钮）。

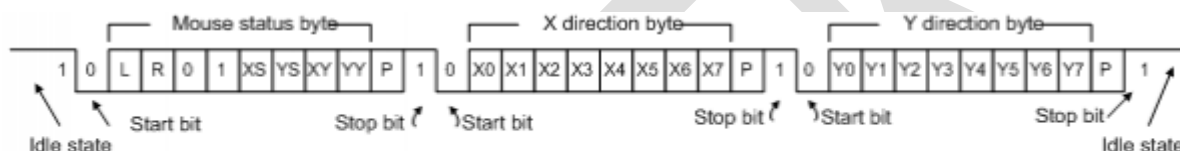


图 7.3.1

### 鼠标数据格式

微控制器还支持 Microsoft® IntelliMouse® 类型的扩展，用于报告代表鼠标滚轮的第三个轴，如表 7.3.1 所示。

表 7.3.1。Microsoft IntelliMouse 类型扩展，命令和操作。

命令	行动
EA	设置流模式。鼠标以“确认”（0xFA）响应，然后重置其移动计数器并进入流模式。
F4	启用数据报告。鼠标以“确认”（0xFA）响应，然后启用数据报告并重置其移动计数器。此命令仅影响流模式下的行为。一旦发出，鼠标移动将自动生成数据包。
F5	禁用数据报告。鼠标以“确认”（0xFA）响应，然后禁用数据报告并重置其移动计数器。
F3	设置鼠标采样率。鼠标以“确认”（0xFA）响应，然后从主机读取另一个字节。然后将该字节保存为新的采样率，并发出新的“确认”数据包。
FE	重发。FE 指示鼠标重新发送最后一个数据包。
FF	重启。鼠标以“确认”（0xFA）响应，然后进入复位模式。

## 8 VGA 端口

Nexys A7 主板使用 14 个 FPGA 信号创建一个 VGA 端口，每个颜色为 4 位，两个标准同步信号（HS - 水平同步和 VS - 垂直同步）。彩色信号使用电阻分压器电路，与 VGA 显示器的 75 欧姆终端电阻配合使用，在红色，绿色和蓝色 VGA 信号上分别产生 16 个信号电平。该电路如图 8.1 所示，产生的视频彩色信号在 0V（完全关闭）和 0.7V（完全打开）之间以相等的增量进行。使用该电路，可以显示 4096 种不同的颜色，每种独特的 12 位模式一种颜色。必须在 FPGA 中创建视频控制器电路，以正确的时序驱动同步和彩色信号，以生成工作的显示系统。

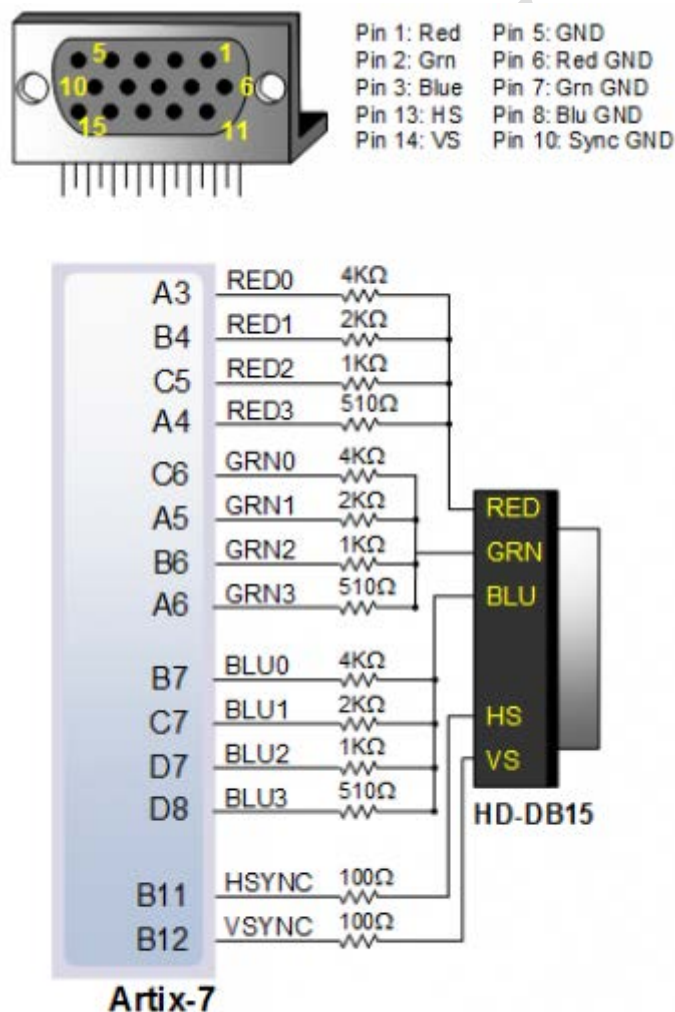


图 8.1 Nexys A7 VGA 接口

### 8.1 VGA 系统时序

VGA 信号时序由 VESA®组织 ([www.vesa.org](http://www.vesa.org)) 指定，发布，版权所有并出售。提供以下 VGA 系统时序信息作为如何在 640×480 模式下驱动 VGA 监视器的示例。

**注意：**有关更精确的信息或有关其他 VGA 频率的信息，请参阅 VESA 网站上提供的文档。

基于 CRT 的 VGA 显示器使用调幅移动电子束（或阴极射线）在荧光涂层屏幕上显示信息。LCD 显示器使用一系列开关，这些开关可以在少量液晶上施加电压，从而在逐个像素的基础上改变通过晶体的光介电常数。尽管以下描述仅限于 CRT 显示器，但 LCD 显示器已演变为使用与 CRT 显示器相同的信号时序（因此下面的“信号”讨论涉及 CRT 和 LCD）。彩色 CRT 显示器使用三束电子束（一个用于红色，一个用于蓝色，一个用于绿色），以激活涂在阴极射线管显示端内侧的荧光粉（见图 8.1.1）。

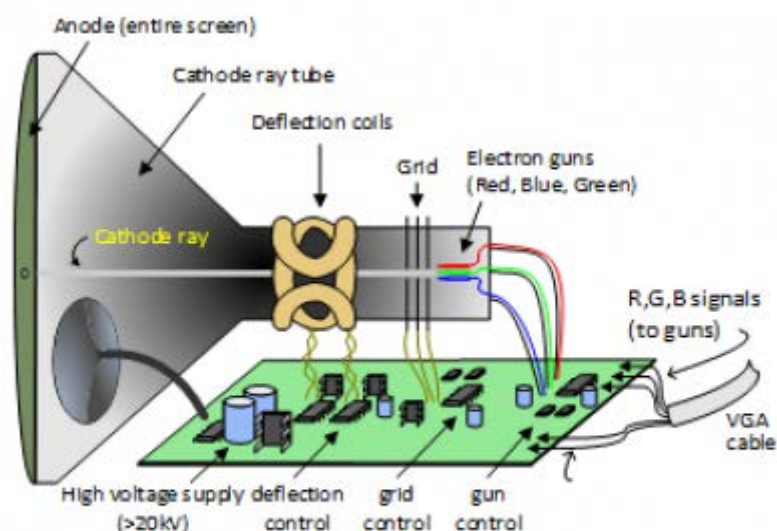


图8.1.1 彩色 CRT 显示

电子束从“电子枪”发出，电子枪是精细加热的阴极，放置在一个称为“栅格”的带正电的环形板附近。栅格施加的静电力拉动来自阴极的激发电子的光线，以及那些电子束。光线由流入阴极的电流供给。这些粒子射线最初朝向栅格加速，但是它们很快就受到大得多的静电力的影响，该静电力是由 CRT 的整个荧光涂层显示器表面充电到 20kV（或更高）而产生的。当光线穿过网格中心时，光线聚焦成细光束，然后它们加速撞击荧光粉涂层显示器表面。荧光表面在撞击点发出明亮的光，并且在移除光束后它继续发光几百微秒。进入阴极的电流越大，荧光粉发光越亮。

在栅格和显示表面之间，光束穿过 CRT 的颈部，其中两个线圈产生正交的电磁场。因为阴极射线由带电粒子（电子）组成，所以它们可以被这些磁场偏转。电流波形通过线圈产生磁场，与阴极射线相互作用，使它们以“光栅”图案横向向显示表面，从左到右水平，从上到下垂直，如图 8.1 所示。2。当阴极射线在显示器表面上移动时，可以增加或减少发送到电子枪的电流，以改变阴极射线撞击点处显示器的亮度。

信息仅在光束沿“向前”方向（从左到右和从上到下）移动时显示，而不是在光束重置回显示器的左边缘或上边缘时显示。因此，当光束被复位并稳定以开始新的水平或垂直显示通过时，大部分潜在的显示时间在“消隐”时段中丢失。光束的大小，光束可以在显示器上跟踪的频率，以及电子束可以被调制的频率决定了显示分辨率。

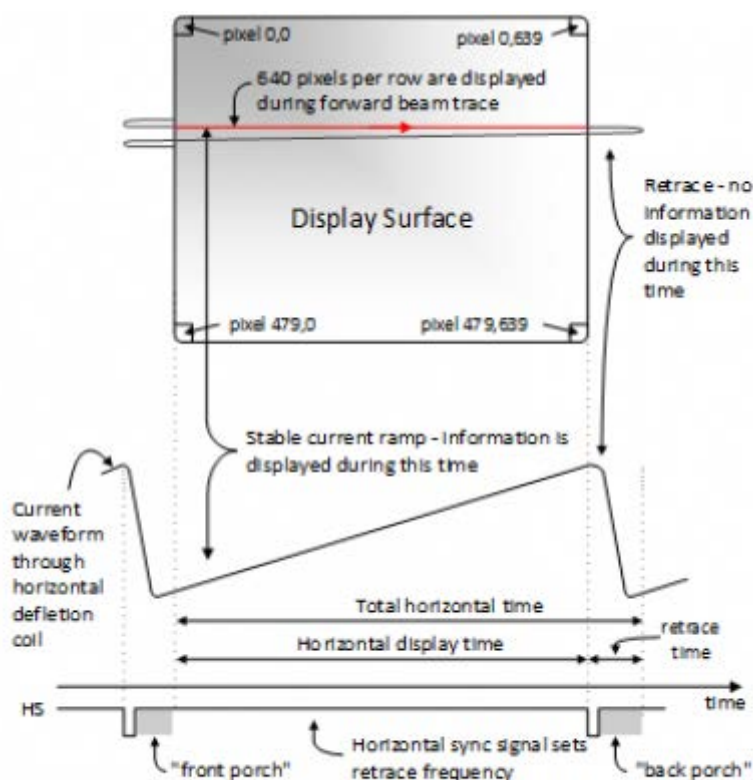


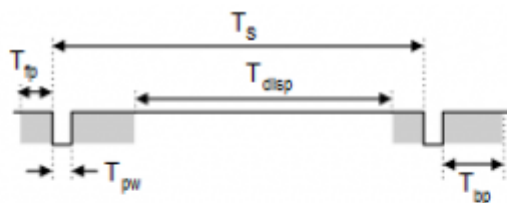
图 8.1.2 VGA 水平同步

现代 VGA 显示器可以适应不同的分辨率, VGA 控制器电路通过产生控制光栅图案的定时信号来决定分辨率。控制器必须产生 3.3V (或 5V) 的同步脉冲, 以设定电流流过偏转线圈的频率, 并且必须确保在正确的时间将视频数据应用于电子枪。光栅视频显示定义了许多“行”, 它们对应于阴极在显示区域上进行的水平通过的次数, 以及多个“列”, 它们对应于分配给一个“像素”的每一行上的区域, “或像素。典型的显示器使用 240 到 1200 行和 320 到 1600 列。显示器的总大小以及行数和列数决定了每个像素的大小。

视频数据通常来自视频刷新存储器; 将一个或多个字节分配给每个像素位置 (Nexys A7 每像素使用 12 位)。当光束在显示器上移动时, 控制器必须索引到视频存储器中, 并且精确地在电子束在给定像素上移动时检索并将视频数据应用于显示器。

VGA 控制器电路必须生成 HS 和 VS 定时信号, 并基于像素时钟协调视频数据的传送。像素时钟定义了显示一个像素信息的可用时间。VS 信号定义显示器的“刷新”频率, 或重新绘制显示器上所有信息的频率。最小刷新频率是显示器的磷光体和电子束强度的函数, 实际刷新频率落在 50Hz 至 120Hz 范围内。在给定刷新频率下显示的行数定义了水平“回扫”频率。对于使用 25 MHz 的 640 像素乘 480 行显示器像素时钟和 60 +/- 1Hz 刷新, 可以导出图 8.1.3 所示的信号时序。同步脉冲宽度和前后沿间隔的时间 (门廊间隔是无法显示信息的同步前和后同步脉冲时间) 是基于从实际 VGA 显示中获得的观察结果。





Symbol	Parameter	Vertical Sync			Horiz. Sync	
		Time	Clocks	Lines	Time	Clks
$T_S$	Sync pulse	16.7ms	416,800	521	32 us	800
$T_{disp}$	Display time	15.36ms	384,000	480	25.6 us	640
$T_{pw}$	Pulse width	64 us	1,600	2	3.84 us	96
$T_{fp}$	Front porch	320 us	8,000	10	640 ns	16
$T_{bp}$	Back porch	928 us	23,200	29	1.92 us	48

图 8.1.3 使用 25 MHz 像素时钟和 60 Hz 垂直刷新的 640 像素×480 行显示器的信号时序

VGA 控制器电路，如图 8.1.4 所示，对由像素时钟驱动的水平同步计数器的输出进行解码，以产生 HS 信号时序。您可以使用此计数器查找给定行上的任何像素位置。同样，垂直同步计数器的输出随每个 HS 脉冲递增可用于生成 VS 信号时序，您可以使用此计数器来定位任何给定行。这两个连续运行的计数器可用于在视频 RAM 中形成地址。指定 HS 脉冲开始与 VS 脉冲开始之间没有时间关系，因此您可以安排计数器以轻松形成视频 RAM 地址，或最小化同步脉冲生成的解码逻辑。

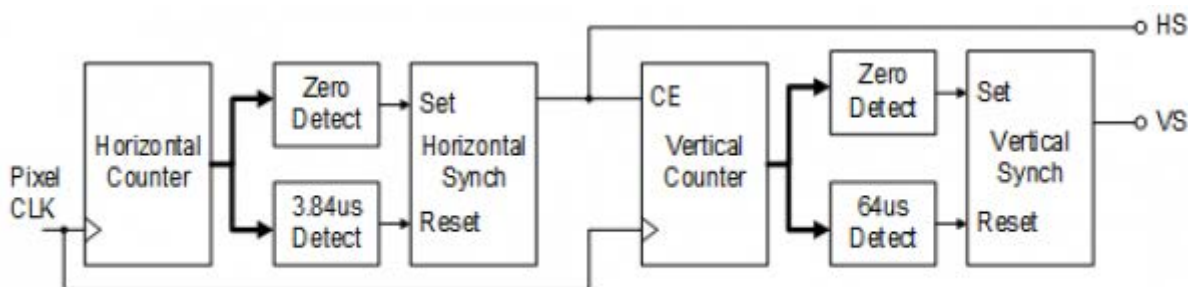


图 8.1.4 VGA 显示控制器框图

## 9 基本 I/O.

Nexys A7 主板包括两个三色 LED，十六个滑动开关，六个按钮，十六个独立 LED 和一个八位七段显示器，如图 9.1 所示。按钮和滑动开关通过串联电阻连接到 FPGA，以防止意外短路造成的损坏（如果分配给按钮或滑动开关的 FPGA 引脚被无意中定义为输出，则可能发生短路）。以加号配置排列的五个按钮是“瞬时”开关，通常在静止时产生低输出，仅在按下时产生高输出。另一方面，标有“CPU RESET”的红色按钮在静止时产生高输出，在按下时产生低输出。CPU

RESET 按钮用于 EDK 设计以重置处理器，但您也可以将它用作通用按钮。滑动开关根据其位置产生恒定的高或低输入。

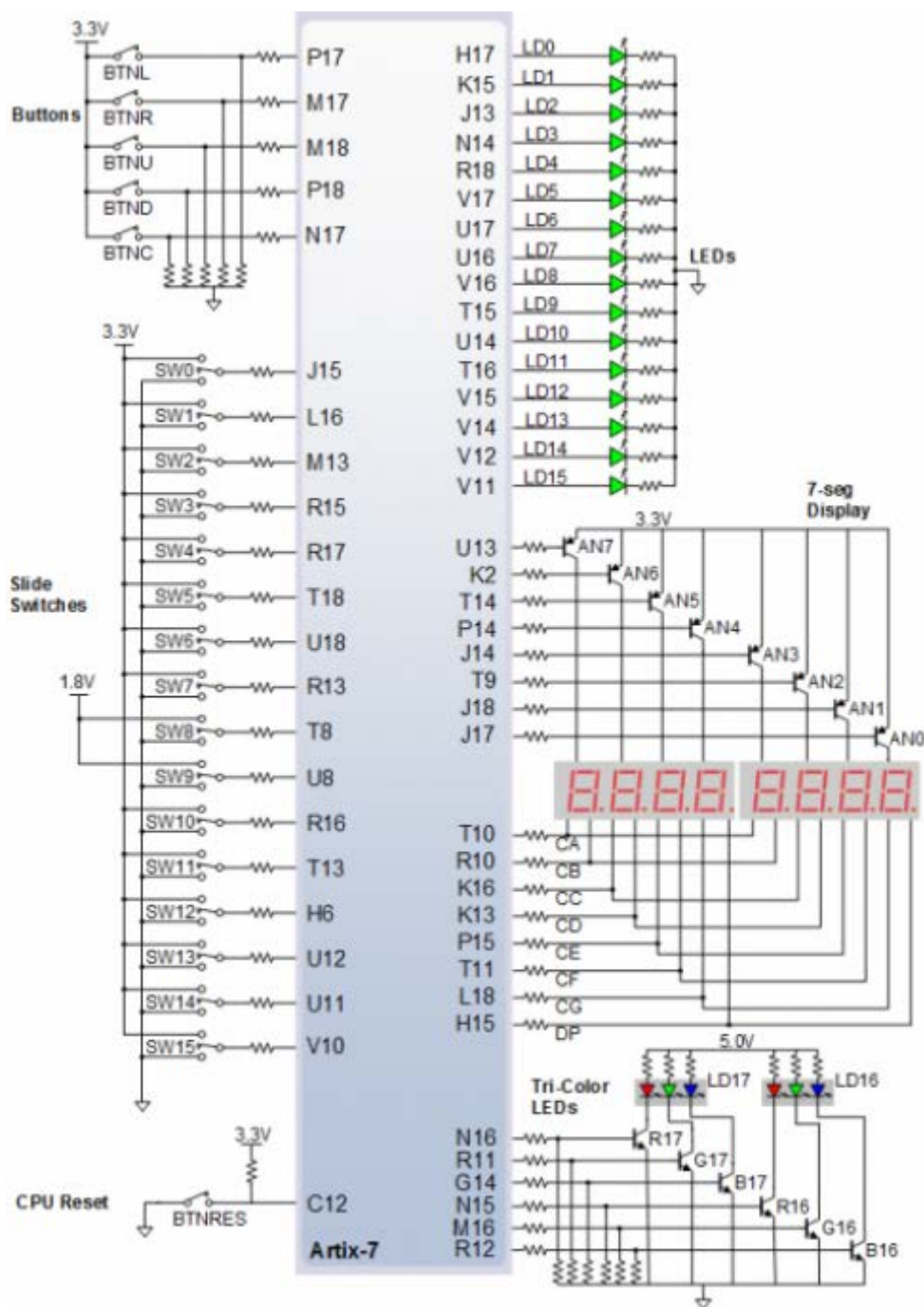


图 9.1 Nexys A7 上的通用 I/O 设备

16 个独立的高效 LED 通过 330 欧姆电阻阳极连接到 FPGA，因此当逻辑高电压施加到各自的 I/O 引脚时，它们将导通。用户无法访问的其他 LED 指示电源开启，FPGA 编程状态以及 USB 和以太网端口状态。

## 9.1 七段数码管

Nexys A7 主板包含两个四位共阳极七段 LED 显示屏，配置为单个八位数显示屏。八个数字中的每一个由以“图 8”图案排列的七个段组成，每个段中嵌入 LED。段 LED 可以单独点亮，因此 128 个图案中的任何一个都可以通过点亮某些 LED 段而使其他 LED 段显示为黑色，如图 9.1.1 所示。在这 128 种可能的模式中，对应于十进制数字的十种是最有用的。

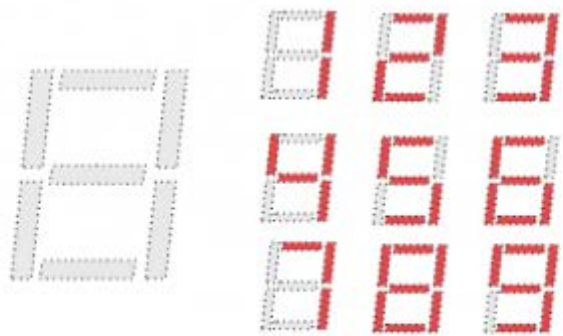


图 9.1.1 未照明的七段显示和九个对应十进制数字的照明模式

形成每个数字的七个 LED 的阳极连接成一个“共阳极”电路节点，但 LED 阴极保持分离，如图 18 所示。共阳极信号可作为八个“数字使能”输入信号到达 8 位数显示。所有四个显示器上的类似段的阴极连接到标记为 CA 到 CG 的七个电路节点中。例如，八位数的八个“D”阴极被组合成一个称为“CD”的单个电路节点。这七个阴极信号可用作 8 位显示器的输入。该信号连接方案产生多路复用显示器，其中阴极信号对于所有数字是公共的，但是它们只能照亮其对应的阳极信号被断言的数字段。

为照亮一个区段，阳极应被驱动为高电平，而阴极被驱动为低电平。然而，由于 Nexys A7 使用晶体管将足够的电流驱动到公共阳极点，因此阳极使能被反转。因此，AN0..7 和 CA..G / DP 信号在激活时被驱动为低电平。

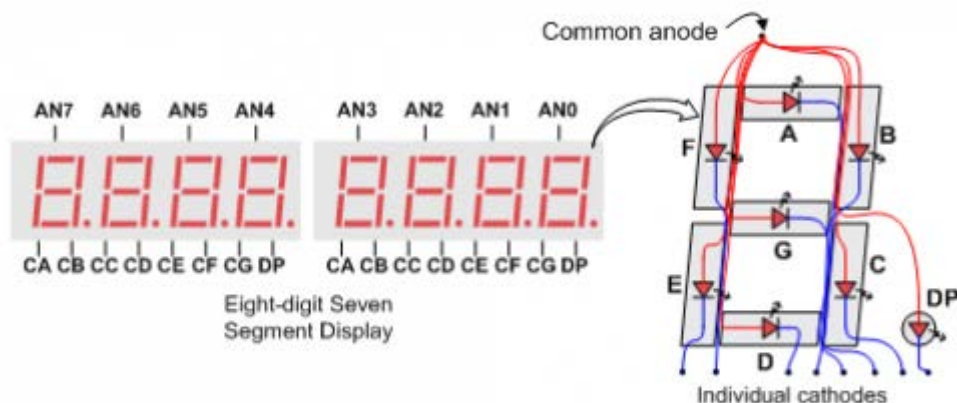


图 9.1.2 公共阳极电路节点

扫描显示控制器电路可用于在该显示器上显示八位数字。该电路以比人眼可以检测到的更快的更新速率连续地连续驱动每个数字的阳极信号和相应的阴极图案。每个数字仅在八分之一的时间内被点亮，但由于在再次照亮数字之前眼睛无法感知数字变暗，数字会持续亮起。如果更新或“刷新”速率减慢到大约 45Hz，则可以在显示器中注意到闪烁。

对于四个数字中的每一个都显得明亮并持续发光，所有八个数字应每 1 至 16ms 驱动一次，刷新频率约为 1KHz 至 60Hz。例如，在 62.5Hz 刷新方案中，整个显示器将每 16ms 刷新一次，并且每个数字将被刷新刷新周期的 1/8 或 2ms。当相应的阳极信号被驱动为高电平时，控制器必须以正确的模式驱动阴极低电压。为了说明这个过程，如果在 CB 和 CC 被置位时 AN0 被置位，那么在数字位置 1 将显示“1”。然后，如果在 CA, CB 和 CC 被置位时断言 AN1，则“7”将被置位以数字位置 2 显示。如果 AN0, CB 和 CC 被驱动 4ms，然后 AN1, CA, CB 和 CC 连续驱动 4ms，显示屏将在前两位数字中显示“71”。图 9.1.3 显示了四位数控制器的示例时序图。

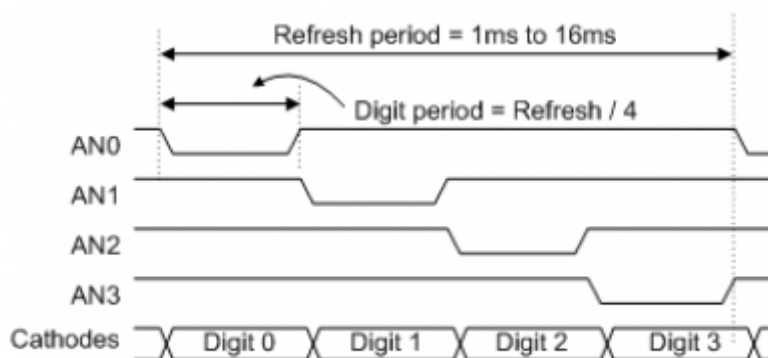


图 9.1.3 四位扫描显示控制器时序图

## 9.2 三色 LED

Nexys A7 板包含两个三色 LED。每个三色 LED 有三个输入信号，驱动三个较小的内部 LED 的阴极：一个红色，一个蓝色和一个绿色。将与这些颜色中的一种相对应的信号驱动为高将照亮内部 LED。输入信号由 FPGA 通过晶体管驱动，晶体管反转信号。因此，为了点亮三色 LED，需要将相应的信号驱动为高电平。三色 LED 将发出颜色，这取决于当前正在照明的内部 LED 的组合。例如，如果红色和蓝色信号被驱动为高，绿色被驱动为低，则三色 LED 将发出紫色。

注意：Digilent 强烈建议在驱动三色 LED 时使用脉冲宽度调制（PWM）（有关 PWM 的信息，请参见第 15.1 节“脉冲密度调制（PDM）”）。将任何输入驱动到稳定逻辑“1”将导致 LED 以令人不舒服的明亮水平点亮。您可以通过确保没有任何三色信号以超过 50% 的占空比驱动来避免这种情况。使用 PWM 还极大地扩展了三色 LED 的潜在色彩。单独调整每种颜色的占空比在 50% 和 0% 之间会导致不同的颜色以不同的强度被照亮，几乎可以显示任何颜色。



## 10 个 Pmod 接口

Pmod 端口以 2×6 直角排列，并且是 100 密耳的母连接器，与标准的 2×6 引脚接头配合。每个 12 引脚 Pmod 端口提供两个 3.3V VCC 信号（引脚 6 和 12），两个接地信号（引脚 5 和 11）和八个逻辑信号，如图 10.1 所示。在 VCC 和接地引脚可提供高达 1A 的电流提供。Pmod 数据信号不是匹配对，它们使用最佳可用轨道进行路由，无阻抗控制或延迟匹配。连接到 FPGA 的 Pmod I/O 的引脚分配如表 5 所示。



图 10.1 Pmod 连接器; 前视图, 在 PCB 上加载

表 10.1。Nexys A7 Pmod 引脚分配。

Pmod JA	Pmod JB	Pmod JC	Pmod JD	Pmod XDAC
JA1: C17	JB1: D14	JC1: K1	JD1: H4	JXADC1: A13 (AD3P)
JA2: D18	JB2: F16	JC2: F6	JD2: H1	JXADC2: A15 (AD10P)
JA3: E18	JB3: G16	JC3: J2	JD3: G1	JXADC3: B16 (AD2P)
JA4: G17	JB4: H14	JC4: G6	JD4: G3	JXADC4: B18 (AD11P)
JA7: D17	JB7: E16	JC7: E7	JD7: H2	JXADC7: A14 (AD3N)
JA8: E17	JB8: F13	JC8: J3	JD8: G4	JXADC8: A16 (AD10N)
JA9: F18	JB9: G13	JC9: J4	JD9: G2	JXADC9: B17 (AD2N)
JA10: G18	JB10: H16	JC10: E6	JD10: F3	JXADC10: A18 (AD11N)

Digilent 生产大量 Pmod 模块，可以连接到 Pmod 扩展连接器，以添加现成的功能，如 A/D，D/A，电机驱动器，传感器，以及其他功能。有关更多信息，请访问 [www.digilentinc.com](http://www.digilentinc.com)。

### 10.1 双模拟/数字 Pmod

标有“JXADC”的板载 Pmod 扩展连接器连接到 FPGA 的辅助模拟输入引脚。根据配置，该连接器可用于将差分模拟信号输入到 Artix-7 (XADC) 内部的模数转换器。连接器中的任何或所有对都可以配置为模拟输入或数字输入输出。

Nexys A7 上的双模拟/数字 Pmod 与其余部分的路径不同。八个数据信号分为四对，这些对被紧密耦合，以获得更好的模拟噪声抗扰度。此外，每对都有一个部分加载的抗混叠滤波器，布局在 PCB 上。滤波器没有电容器 C60-C63。在需要这种滤波器的设计中，电容器可由用户手动加载。

注意：耦合路由和抗混叠滤波器可能会限制用于数字信号时的数据速度。

Artix-7 中的 XADC 内核是一个双通道 12 位模数转换器，能够以 1 MSPS 的速度运行。任何一个通道都可以由连接到 JXADC 接头的任何辅助模拟输入对驱动。通过动态重配置端口（DRP）从用户设计控制和访问 XADC 内核。DRP 还可以访问每个 FPGA 电源轨上的电压监视器，以及 FPGA 内部的温度传感器。有关使用 XADC 内核的更多信息，请参考标题为“7 系列 FPGA 和 Zynq-7000 全可编程 SoC XADC 双 12 位 1 MSPS 模数转换器”的 Xilinx 文档。

## 11 MicroSD 插槽

Nexys A7 为 FPGA 配置和用户访问提供 microSD 插槽。板载辅助功能微控制器与 FPGA 共享 SD 卡总线。在配置 FPGA 之前，微控制器必须通过 SPI 访问 SD 卡。一旦将位文件下载到 FPGA（来自任何源），微控制器就会对 SD 插槽进行电源循环并放弃对总线的控制。这使插槽中的任何 SD 卡能够重置其内部状态机并以 SD 本机总线模式启动。FPGA 上的所有 SD 引脚都连接到本机接口模式下支持全 SD 速率，如图 11.1 所示。如果需要，SPI 也可用。一旦 SD 总线的控制从微控制器传递到 FPGA，SD\_RESET 信号需要由 FPGA 主动驱动为低电平，以便为 microSD 卡插槽供电。[www.sdcard.org](http://www.sdcard.org)。

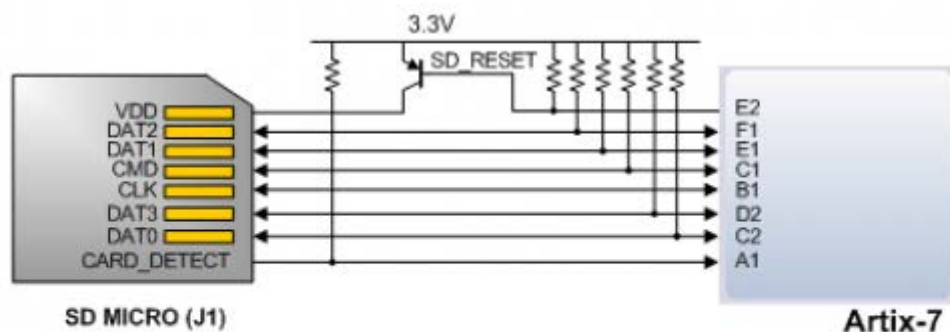


图 11.1 Artix-7 microSD 卡连接器接口（未显示 PIC24 连接）

## 12 温度传感器

Nexys A7 包含一个模拟设备 ADT7420 温度传感器。该传感器提供高达 16 位的分辨率，典型精度优于 0.25 摄氏度。温度传感器和 FPGA 之间的接口如图 12.1 所示。

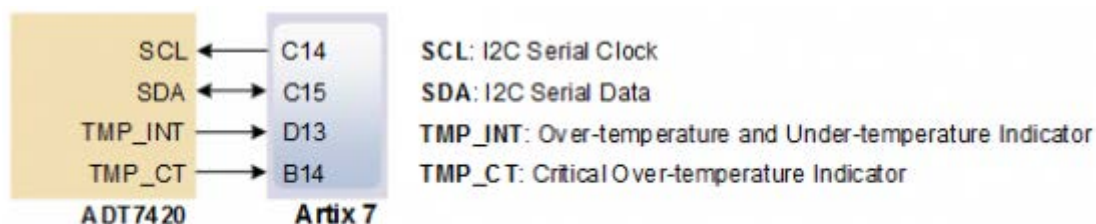


图 12.1 温度传感器接口

## 12.1 I<sup>2</sup>C 接口

ADT7420 芯片使用工业标准 I<sup>2</sup>C 通信方案作为从器件。要与 ADT7420 芯片通信，I<sup>2</sup>C 主机必须指定从机地址（0x4B）和指示通信是读（1）还是写（0）的标志。一旦进行通信规范，就会进行数据传输。对于 ADT7420，数据传输应包括所需器件寄存器的地址，然后是要写入指定寄存器的数据。要从寄存器读取，主器件必须将所需的寄存器地址写入 ADT7420，然后发送 I<sup>2</sup>C 重启条件，并向 ADT7420 发送新的读取请求。如果主机在尝试读取之前未产生重启条件，则写入地址寄存器的值将重置为 0x00。由于某些寄存器将 16 位值存储为 8 位寄存器对，因此 ADT7420 在访问某些寄存器（如温度寄存器和阈值寄存器）时会自动递增器件的地址寄存器。这允许主设备使用单个读或写请求来访问这些寄存器的低字节和高字节。有关寄存器及其行为的完整列表，请参见 ADI 公司网站上提供的 ADT7420 数据手册。

## 12.2 漏极开路输出

ADT7420 提供两个开漏输出信号，以指示何时达到预设温度阈值。如果温度超出寄存器 TLOW（0x06：0x07）和 THIGH（0x04：0x05）定义的范围，则可以根据器件的配置将 INT 引脚驱动为低电平或高电平。同样，如果温度超过 TCRIT（0x08：0x09）中定义的临界阈值，CT 引脚可以被驱动为低电平或高电平。使用时，这两个引脚都需要内部 FPGA 上拉。

有关 INT 和 CT 引脚的电气规格和配置的详细信息，请参考 ADT7420 数据手册

## 12.3 快速入门操作

当 ADT7420 上电时，它处于一种可用作简单温度传感器的模式，无需任何初始配置。默认情况下，器件地址寄存器指向温度 MSB 寄存器，因此在不指定寄存器的情况下进行双字节读取将从器件读取温度寄存器的值。读回的第一个字节将是温度数据的最高有效字节（MSB），第二个字节将是数据的最低有效字节（LSB）。这两个字节构成一个二进制补码 16 位整数。如果结果移位到右边三位并乘以 0.0625，则得到的有符号浮点值将是以摄氏度为单位的温度读数。

有关读取和写入器件其他寄存器的信息，以及有关温度测量精度的说明，请参考 ADT7420 数据手册。

## 13 加速度计

Nexys A7 包含一个模拟设备 ADXL362 加速度计。ADXL362 是一款 3 轴 MEMS 加速度计在 100Hz 输出数据速率下消耗小于 2 $\mu$ A，在运动触发唤醒模式下消耗 270nA。与使用功率工作循环实现低功耗的加速度计不同，ADXL362 不会通过欠采样来混叠输入信号；它以所有数据速率对传感器的全部带宽进行采样。ADXL362 始终提供 12 位输出分辨率；当分辨率较低时，还提供 8 位格式化数据，以实现更高效的单字节传输。可提供 $\pm 2$  g， $\pm 4$  g 和 $\pm 8$  g 的测量范围，在 $\pm 2$  g 范围内的分辨率为 1 mg / LSB。FPGA 可以通过 SPI 接口与 ADXL362 通信。当 ADXL362 处于测量模式时，它会连续测量并存储 X 数据，Y 数据和 Z 数据寄存器中的加速度数据。

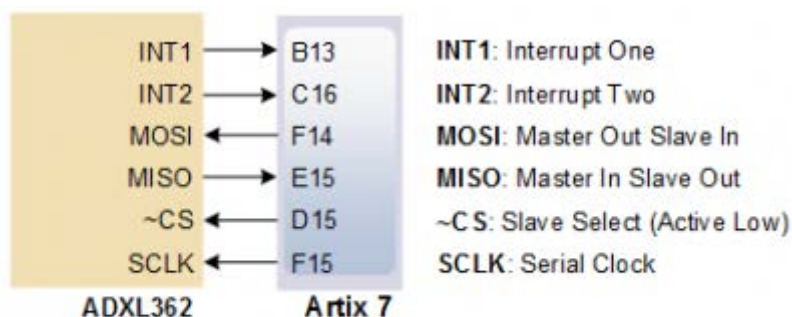


图 13.1 加速度计接口

### 13.1 SPI 接口

ADXL362 使用 SPI 通信方案充当从器件。推荐的 SPI 时钟频率范围为 1 MHz 至 5 MHz。SPI 在 SPI 模式 0 下工作，CPOL = 0 且 CPHA = 0。与器件的所有通信都必须指定寄存器地址和标志，指示通信是读还是写。实际数据传输始终遵循寄存器地址和通信标志。可以通过写入加速度计内的控制寄存器来执行器件配置。通过读取设备寄存器来访问加速度计数据。

有关寄存器，其功能和通信规范的完整列表，请参阅 ADXL362 数据手册<sup>1</sup>。

### 13.2 中断

ADXL362 的几个内置功能可以触发中断，以警告主处理器某些状态条件。中断可以映射到两个中断引脚（INT1，INT2）中的任意一个（或两个）。这两个引脚在使用时都需要内部 FPGA 上拉。有关中断的更多详细信息，请参见 ADXL362 数据手册。

<sup>1</sup> 来自 [Analog Devices ADXL362 产品页面](#)

## 14 麦克风

Nexys A7 主板包括一个全向 MEMS 麦克风。麦克风采用模拟器件 ADMP421 芯片，具有 61dBA



**ADMP421**      **Artix 7**

**CLK:** Clock Input to Microphone  
**DATA:** Data Output Signal  
**L/R SEL:** Left/Right Channel Select

### 14.1 脉冲密度调制 (PDM)

Sine Wave

PDM Signal

01011011111111111111111101101010010000000000000010001

邮箱: support@sytek.ltd

表 14.1.2。Sigma Delta 调制器，输入电压为  $0.4V_{dd}$ 。

和	积分器	触发器输出
$0.4 - 0 = 0.4$	$0 + 0.4 = 0.4$	0
$0.4 - 0 = 0.4$	$0.4 + 0.4 = 0.8$	1
$0.4 - 1 = -0.6$	$0.8 - 0.6 = 0.2$	0
$0.4 - 0 = 0.4$	$0.2 + 0.4 = 0.6$	1
$0.4 - 1 = -0.6$	$0.6 - 0.6 = 0$	0
$0.4 - 0 = 0.4$	$0 + 0.4 = 0.4$	0
$0.4 - 0 = 0.4$	$0.4 + 0.4 = 0.8$	1
$0.4 - 1 = -0.6$	$0.8 - 0.6 = 0.2$	0

为简单起见，假设模拟输入和数字输出具有相同的电压范围  $0 \sim V_{dd}$ 。触发器的输入类似于比较器（任何高于  $V_{dd}/2$  的信号被认为是'1'，任何低于  $V_{dd}/2$  的输入被认为是'0'）。积分电路的输入是输入模拟信号与前一个时钟周期的 PDM 信号的差值。然后，积分电路对这两个输入进行积分，并通过 D 触发器对积分电路的输出进行采样。表 6 显示了输入为  $0.4V_{dd}$  的  $\Delta-\Sigma$  调制器的功能。

注意，触发器输出的平均值等于输入模拟信号的值。因此，为了获得模拟输入的值，所需要的只是一个计数器，它在一段时间内计算'1'。

## 14.2 麦克风数字接口时序

根据应用的采样率和数据精度要求，麦克风的时钟输入范围为  $1 \text{ MHz}$  至  $3.3 \text{ MHz}$ 。必须将 L/R 选择信号设置为有效电平，具体取决于读取数据位的时钟边沿。L/RSEL 的低电平使数据在时钟的上升沿可用，而高电平对应于时钟的下降沿，如图 14.2.1 所示。

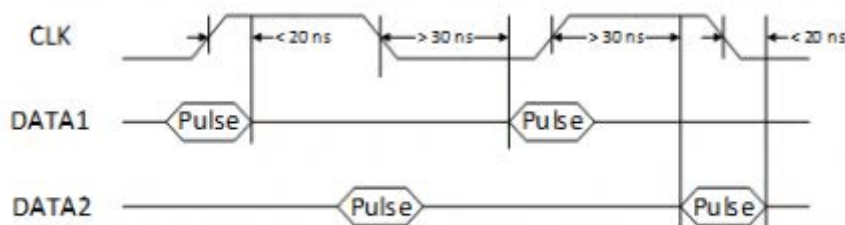


图 14.2.1 PDM 时序图

时钟频率的典型值为  $2.4 \text{ MHz}$ 。假设应用程序需要 7 位精度和  $24 \text{ KHz}$ ，则可以有二个计数器在  $12 \text{ KHz}$  下计数 128 个样本，如图 14.2.2 所示。

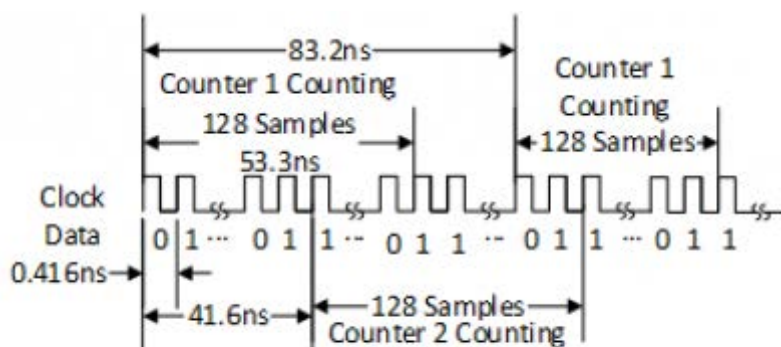


图 14.2.2 使用两个计数器采样 PDM

## 15 单声道音频输出

板载音频插孔（J8）由 Sallen-Key Butterworth 低通四阶滤波器驱动，可提供单声道音频输出。低通滤波器的电路如图 15.1 所示。滤波器的输入（AUD\_PWM）连接到 FPGA 引脚 A11。数字输入通常是由 FPGA 产生的脉冲宽度调制（PWM）或脉冲密度调制（PDM）开漏信号。对于逻辑“0”，信号需要被驱动为低电平，而对于逻辑“1”，需要保持高阻态。板载上拉电阻连接到干净的模拟 3.3V 电压轨将为逻辑“1”建立适当的电压。输入上的低通滤波器将用作重建滤波器，将脉冲宽度调制的数字信号转换为音频插孔输出上的模拟电压。

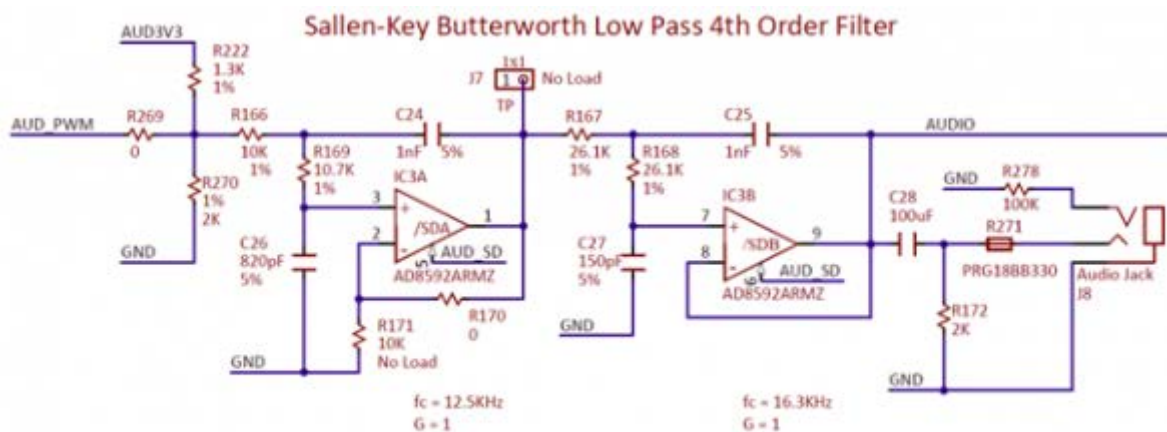


图 15.1 Sallen-Key Butterworth 低通四阶滤波器

SK Butterworth 低通滤波器的频率响应如图 15.2 所示。使用 NI Multisim 12.0 完成电路的 AC 分析。

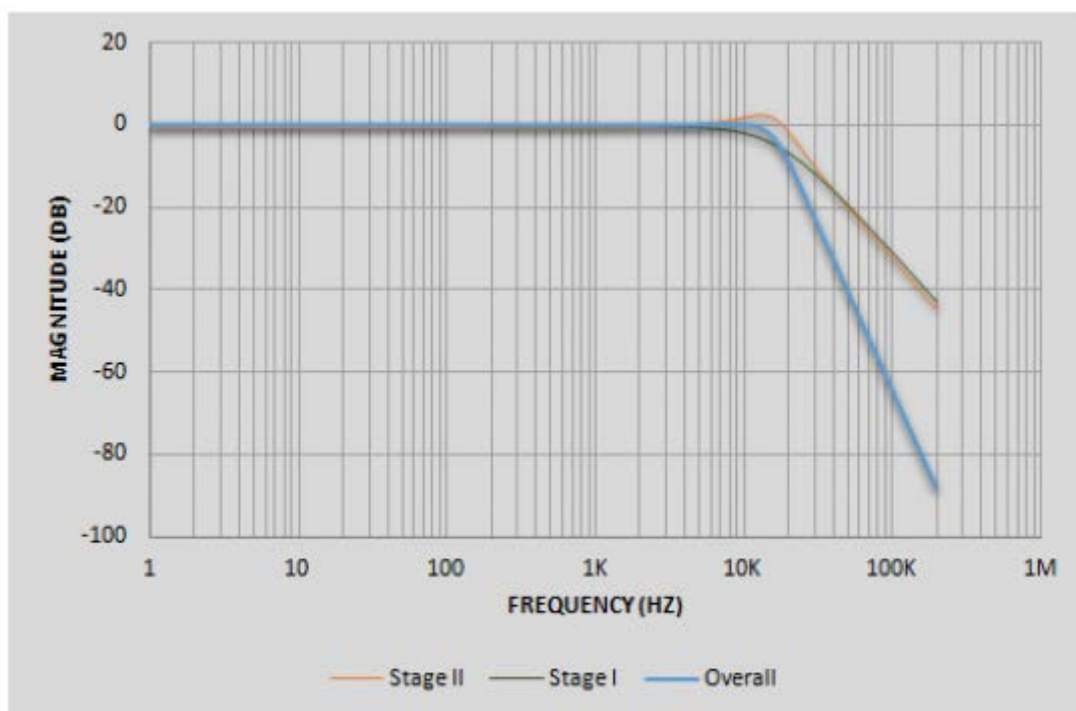


图 15.2 SK 巴特沃斯低通滤波器频率响应

## 15.1 脉冲宽度调制

脉冲宽度调制 (PWM) 信号是某个固定频率的脉冲链，每个脉冲可能具有不同的宽度。该数字信号可以通过一个简单的低通滤波器，该滤波器对数字波形进行积分，以产生与某个间隔内的平均脉冲宽度成比例的模拟电压（该间隔由低通的 3dB 截止频率决定）滤波器和脉冲频率）。例如，如果脉冲高达可用脉冲周期的 10% 的平均值，则积分器将产生模拟值，该模拟值是 Vdd 电压的 10%。图 15.1.1 显示了表示为 PWM 信号的波形。

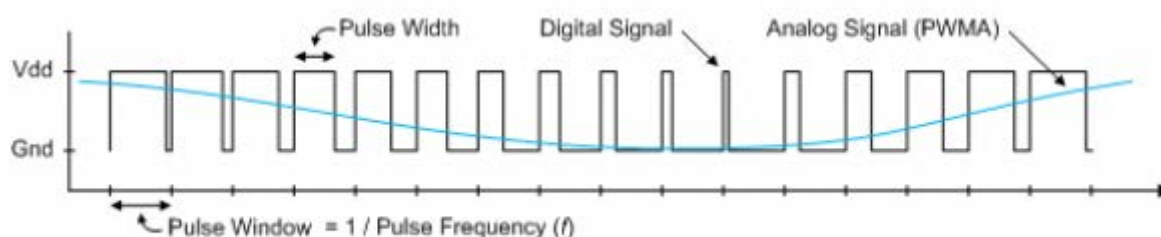


图 15.1.1 表示为 PWM 的简单波形

必须集成 PWM 信号以定义模拟电压。低通滤波器 3dB 频率应比 PWM 频率低一个数量级，以便从信号中滤除 PWM 频率的信号能量。例如，如果音频信号必须包含高达 5 KHz 的频率信息，则 PWM 频率应至少为 50 KHz（最好甚至更高）。通常，就模拟信号保真度而言，PWM 频率越高越好。图 15.1.2 显示了 PWM 积分器的表示，通过积分脉冲序列产生输出电压。注意，稳态滤波器输出信号幅度比与 Vdd 的相同与脉冲宽度占空比相同（占空比定义为脉冲高电平时间



除以脉冲窗口时间）。

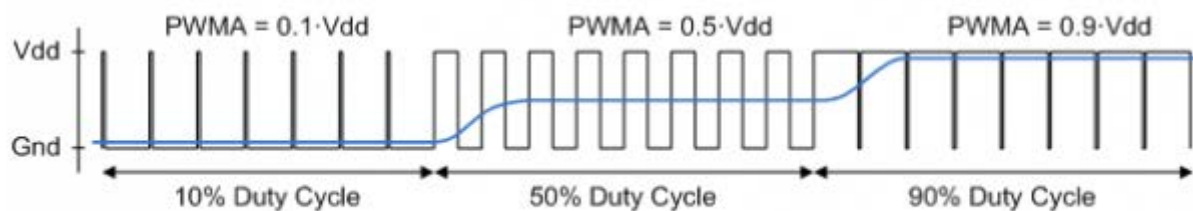


图 15.1.2 PWM 积分器的表示通过积分脉冲串产生输出电压

## 16 内置自检 (BIT)

在制造过程中，演示配置被加载到 Nexys A7 板上的 Quad-SPI 闪存器件中。此设计的源代码和预构建比特流可从 Digilent 网站下载。如果演示配置存在于闪存中且 Nexys A7 板在 SPI 模式下启动，则演示项目将允许基本硬件验证。以下概述了此演示如何驱动不同的板载组件：

- 当相应的用户开关置于打开位置时，用户 LED 点亮。
- 三色 LED 由一些用户按钮控制。按 BTNL, BTNC 或 BTNR 会使它们分别照亮红色，绿色或蓝色。按下 BTND 会使它们开始循环通过多种颜色。反复按 BTND 将打开或关闭两个 LED。
- 按 BTNU 将从板载 PDM 麦克风触发 5 秒钟录音。然后立即在单声道音频输出端口上播放此录音。用户 LED 上显示录制和播放的状态。录音保存在 DDR2 内存中。
- VGA 端口显示来自板载麦克风，温度传感器，加速度计，RGB LED 和 USB 鼠标的反馈。
- 将鼠标连接到 USB-HID 鼠标端口将允许控制 VGA 显示器上的指针。仅支持与 Boot Mouse HID 接口兼容的鼠标。
- 七段显示器将显示移动的蛇形图案。

所有 Nexys A7 板在制造过程中都经过 100% 测试。如果 Nexys A7 板上的任何设备未通过测试或响应不正确，则可能是在运输过程中或使用过程中发生损坏。典型的损坏包括应力焊点和开关和按钮中的污染物导致间歇性故障。可以通过再加热和回流焊接来修复强调的焊点，并且可以使用现成的电子清洁产品清洁污染物。如果电路板在保修期内未通过测试，则将免费更换。联系 Digilent 了解更多详情。