



# Tema 2: Evaluación parámetros físicos del diseño



# Índice

1. Métricas.
2. Análisis estático de tiempos (STA)
3. Comportamiento dinámico
4. Análisis del área
5. Análisis del consumo

## ¿Por qué evaluar?



- Diseños más rápidos
  - Mayor capacidad de procesamiento
  - Reducir la cantidad de recursos Hw para realizar las mismas tareas
- Diseños más pequeños
  - Menor coste de fabricación
  - Menor probabilidad de errores físicos durante la fabricación
  - Aumenta la capacidad de integración
- Diseños más eficientes energéticamente
  - Menor huella CO<sub>2</sub>
  - Mayor duración de la batería
  - Menor coste de operación

# Frecuencia de reloj



- ¿A qué frecuencia de reloj puede trabajar el circuito?
- ¿Cuántas operaciones puede realizar por unidad de tiempo?
- ¿Funcionará correctamente a la frecuencia de reloj exigida?

# Área



- ¿Cuánta área ocupa el circuito?
- ¿Cómo se mide?
- Si no tenemos el layout del circuito, ¿cómo podemos estimarlo?

# Energía



- ¿Cuánta energía consume el circuito?
  - Duración de la batería
- ¿Cuánta potencia?
  - Temperatura
- ¿Cómo medirlo?



# Objetivo

- El análisis de la temporización de un circuito recibe el nombre de Análisis Estático de Tiempos (STA).
- Determinar si el circuito satisface los requisitos de temporización impuestos por el reloj.



## ¿Cómo se hace?

### ■ Procedimiento

- Calcular el retardo de todos los caminos del circuito.
- Determinar si su valor es mayor o menor del valor límite impuesto por la señal de reloj:

- Si mayor entonces violación del timing.



- Si menor entonces el camino más lento establece frecuencia máxima del reloj.

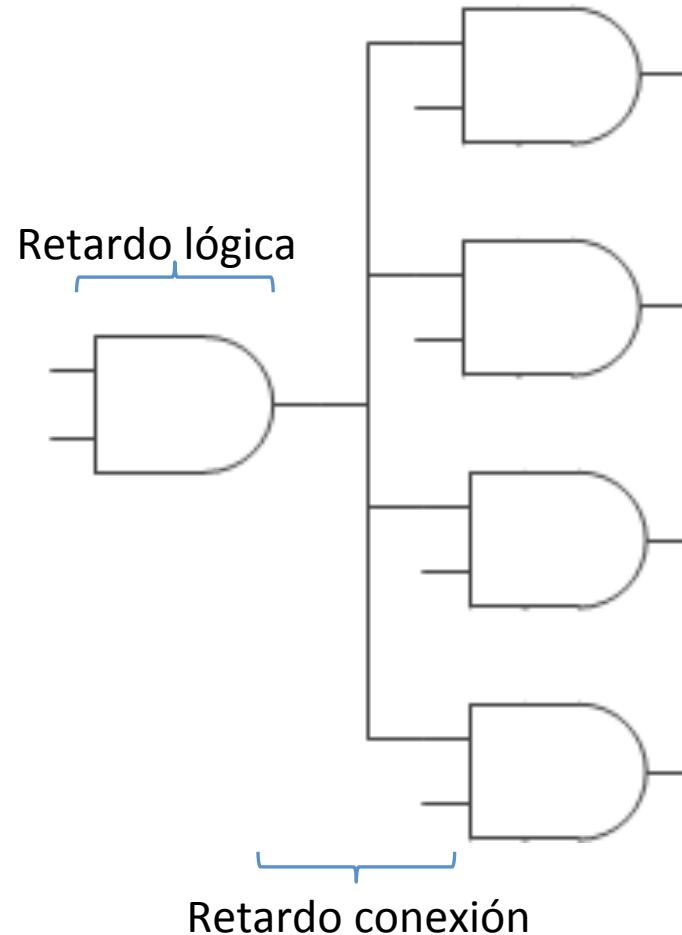


# Retardo de camino

- Suma de los retardos de la lógica y conexiones desde:
  1. La entrada primarias hasta la salida primarias para todos los posibles caminos combinacionales.
  2. Las entradas primarias hasta elementos de memoria (FF, registros,...).
  3. Los elementos de memoria hasta las salidas primarias.
  4. Desde elementos de memoria hasta elementos de memoria.
- ¿Muchos valores?
  - Nos preocupamos por el retardo más grande (*worst-case delay*)



# Retardo de camino





# Retardo de camino

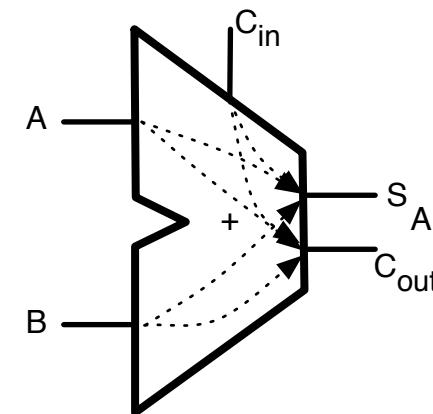
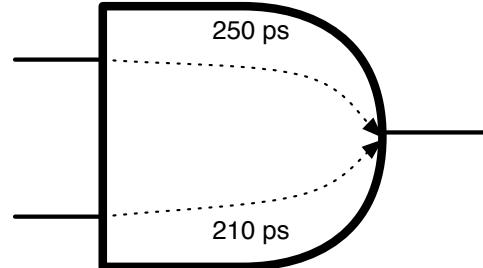
- **Retardo de lógica:** retardo de las puertas o elementos lógicos del circuito.
  - Combinacionales: AND, OR, Sumadores, decodificadores, muxes, ...
  - Secuenciales: FF, Contadores, registros, memorias, ...
- **Retardo de conexión:** todas las conexiones del circuito tienen un retardo.



# Modelado retardo: Timing arcs

## ■ Combinacional:

- Retardo desde cualquier entrada a cualquier salida.

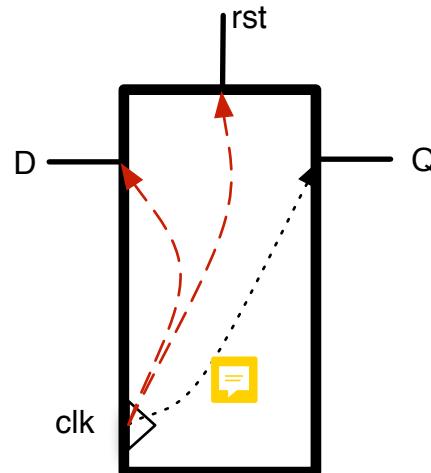




# Modelado retardo: Timing arcs

## ■ Secuencial:

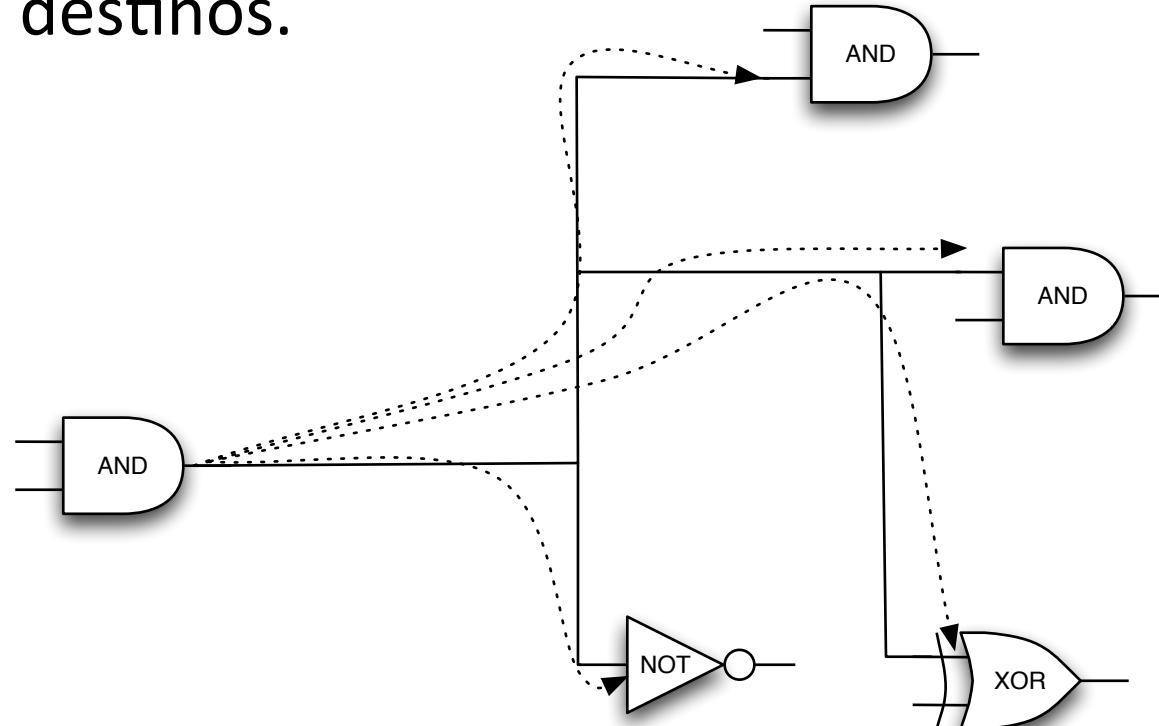
- Retardo desde pin de reloj a cualquier salida.
- Restricciones a satisfacer para evitar mal funcionamiento (setup, hold, ...)





# Modelado retardo: Timing arcs

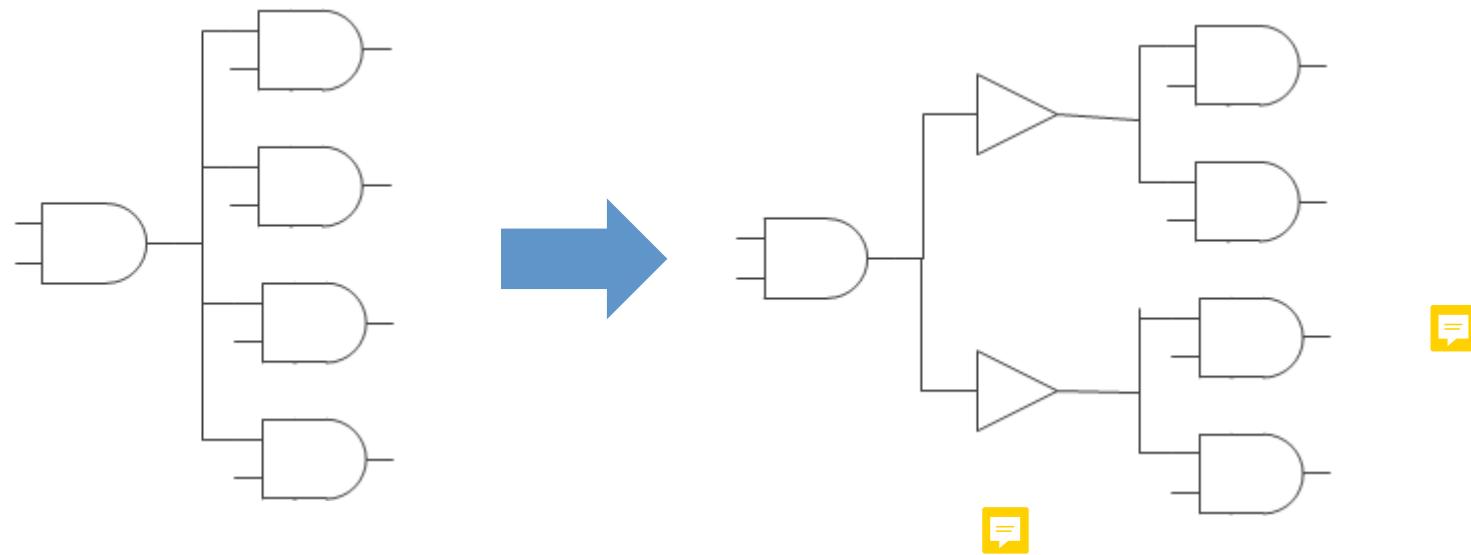
- Conexiones:
  - Retardo desde el pin de salida hasta cada uno de los destinos.





# Retardo de lógica: dependencias

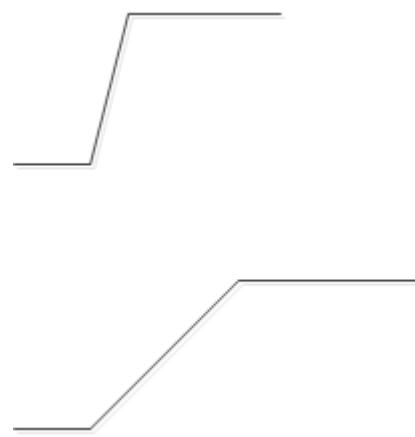
- Tipo de lógica: AND, OR, FF, ADDER, ...
- Fan-out: a mayor fan-out mayor retardo





# Retardo de lógica: dependencias

- Tipo de dato: transición 0 a 1 distintas de transición 1 a 0
- Tiempo de transición datos de entrada: Mayor tiempo de transición  $\Rightarrow$  mayor retardo.





# Retardo de lógica: dependencias

- Temperatura
  - Mayor temperatura  $\Rightarrow$  lógica más lenta.
- Tensión de alimentación
  - Menor tensión  $\Rightarrow$  lógica más lenta.
- Proceso de fabricación
  - Procesos lentos.
  - Procesos rápidos.



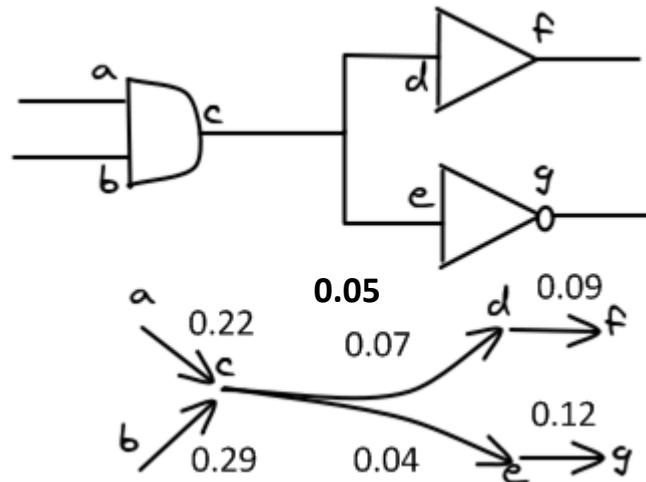
# Retardo de conexión: dependencias

- Dimensiones de la conexión.
- Topología de la conexión.
- Proceso de fabricación



# Cálculo tiempo propagación

- Suma de retardos (*timing arcs*) de la lógica y las conexiones para todos los caminos del circuito combinacional.
- Depende del camino. Hay tantos tiempos como caminos.
- Se usa el valor del camino más lento, denominado **camino crítico**.

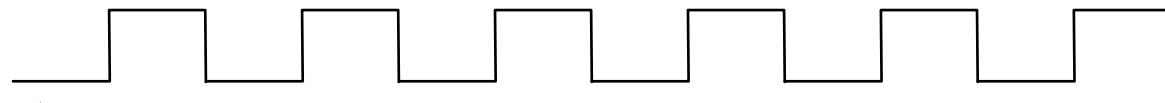


$$\text{Retardo} = 0.29 + 0.05 + 0.12 = 0.46 \text{ ns}$$

# Funcionamiento síncrono



- Si en el sistema hay elementos de memoria (FF, registros, contadores, ...) entonces debe existir un reloj.



$$f = \frac{1}{T}$$

- El reloj determina cuándo se actualiza el estado de los elementos de memoria del sistema.

# Funcionamiento síncrono

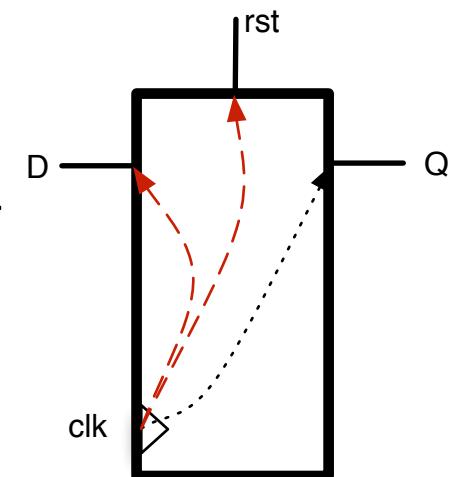


- La hipótesis de funcionamiento síncrono obliga a que la diferencia en tiempo entre dos flancos consecutivos (positivos o negativos los dos) sea superior al tiempo necesario para que los valores de las entradas de los registros sean estables.



# Definiciones parámetros FF

- Tiempo de set-up (establecimiento)
  - Tiempo mínimo que la entrada debe permanecer estable ANTES del suceso del reloj
- Tiempo de hold (mantenimiento)
  - Tiempo mínimo que la entrada debe permanecer estable DESPUÉS del suceso del reloj
- Tiempo propagación registro (ck-q)
  - Tiempo que tarda en propagarse el dato desde las entradas hasta la salida del registro cuando ocurre el flanco activo de clk.





# Metaestabilidad

- Indecisión prolongada en el comportamiento lógico del biestable al intentar almacenar uno de sus estados estables.
- Si existe violación del tiempo de *setup* o *hold*.
- Mientras biestable permanece en metaestabilidad sus señales de salida están indefinidas a nivel lógico.
- Duración indeterminada. Probabilidad de permanecer en estado metaestable sigue una curva decaimiento exponencial controlada por una constante de tiempo,  $\tau$  (coeficiente de resolución).

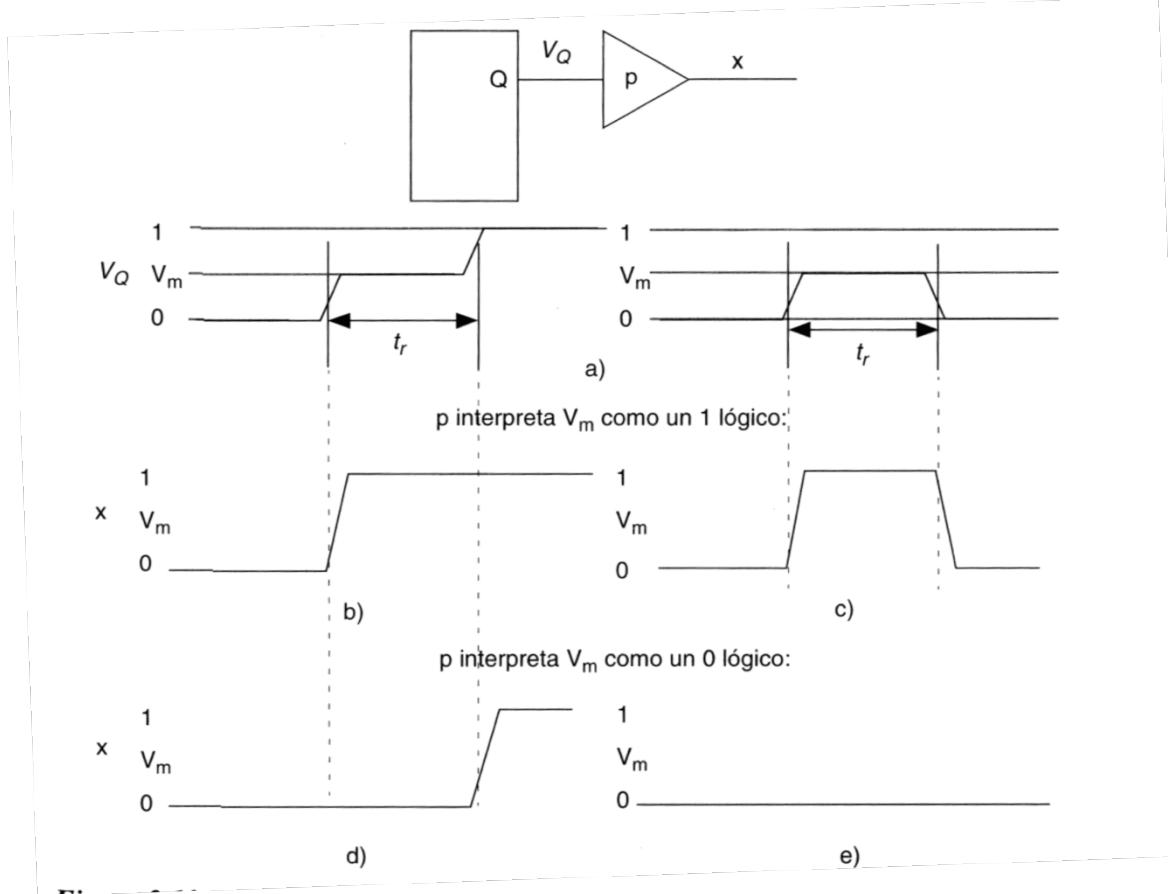
$$P(t > t_c) \propto e^{-\frac{t_c}{\tau}}$$





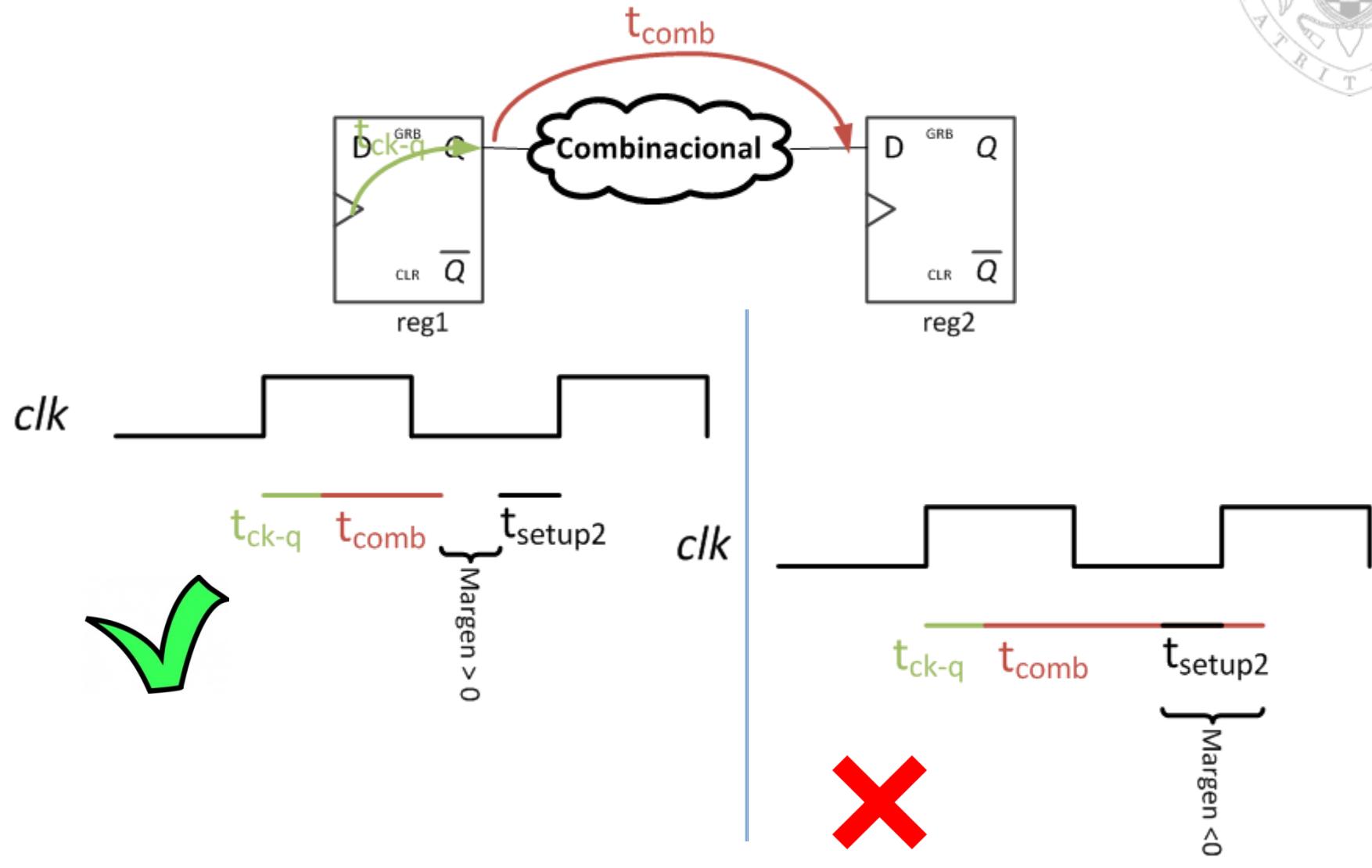
# Metaestabilidad

- Da lugar a errores funcionales ya que las señales metaestables no están correctamente definidas.



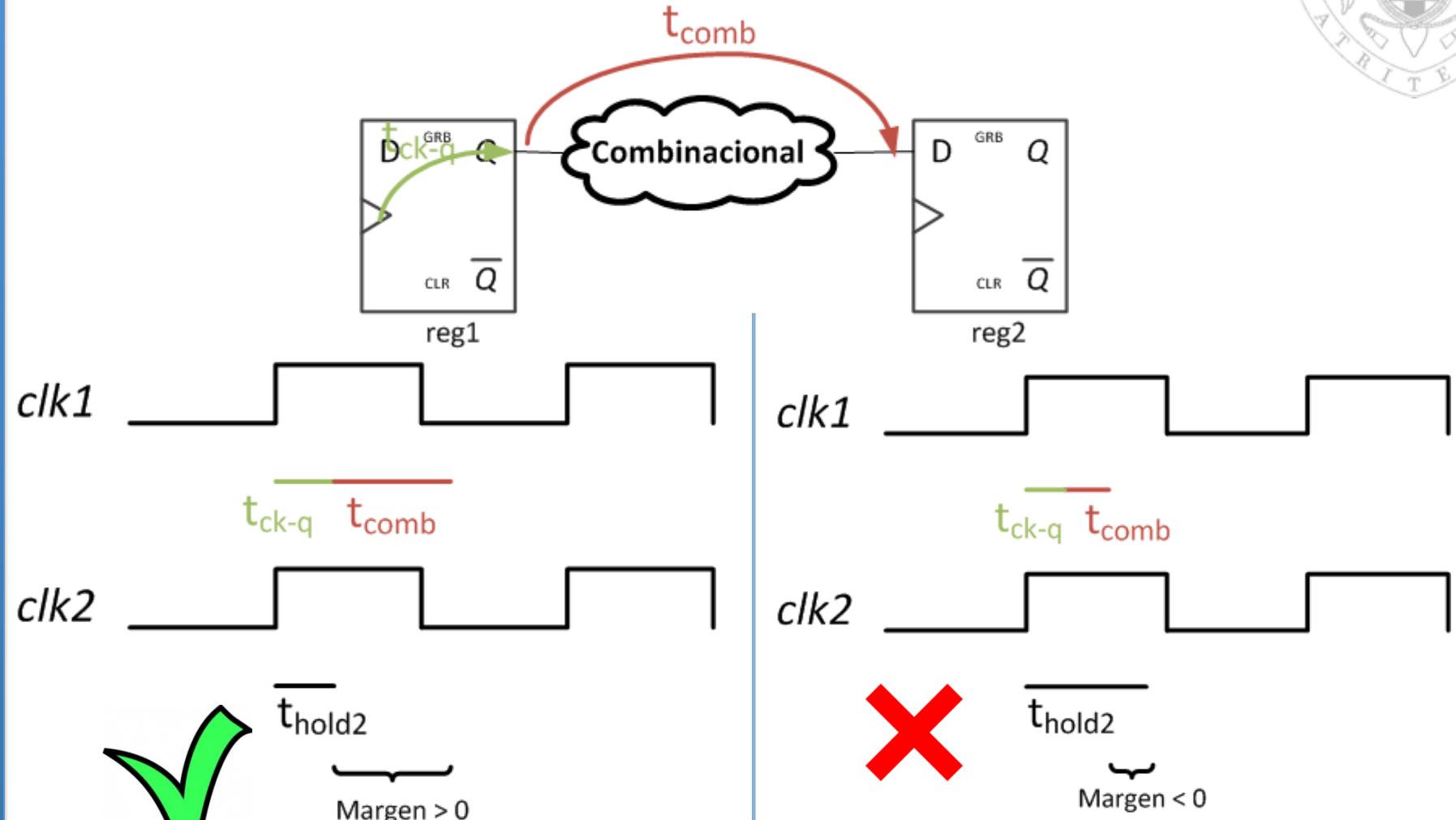


# Margen de setup



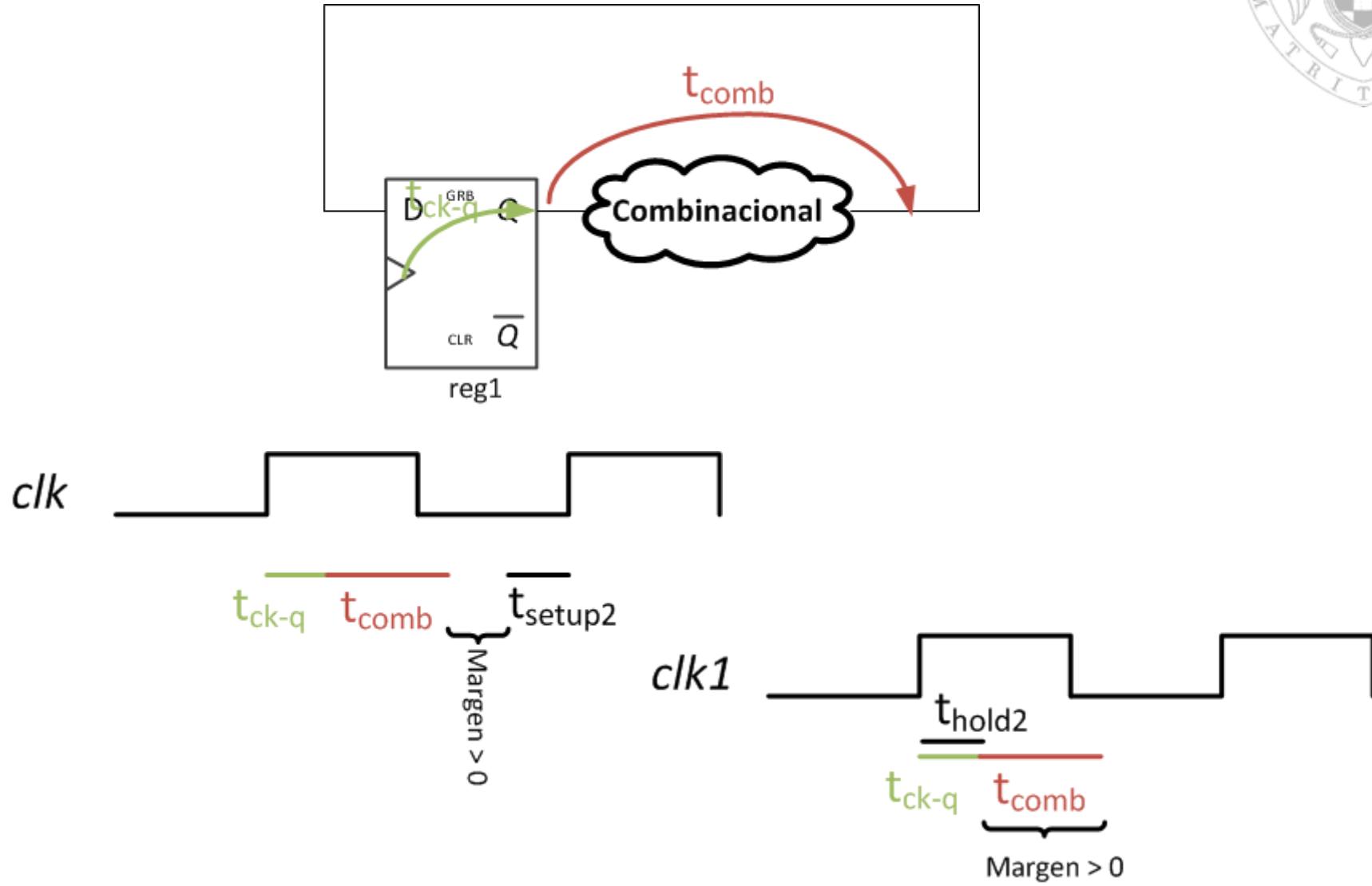


# Margen de hold





# Circuito realimentado





# Clock skew

- **Clock skew:** *sesgo del reloj*
- Este es un fenómeno que ocurre en los circuitos secuenciales cuando el reloj no llega al mismo tiempo a todos los componentes de memoria.
  - Puede deberse a la longitud del cable, variaciones de temperatura, capacidades parásitas, imperfecciones del silicio,...
- Cuando el tiempo de ciclo es pequeño este problema se convierte en uno de los más importantes a la hora de diseñar el circuito.



# Clock skew. Tipos

- Hay dos tipos de clock skew:
  - **Positive skew**: el registro que transmite recibe el reloj antes que el registro que recibe.
  - **Negative skew**: el registro que transmite recibe el reloj después que el registro que recibe.

$$skew = t_{dest} - t_{orig}$$

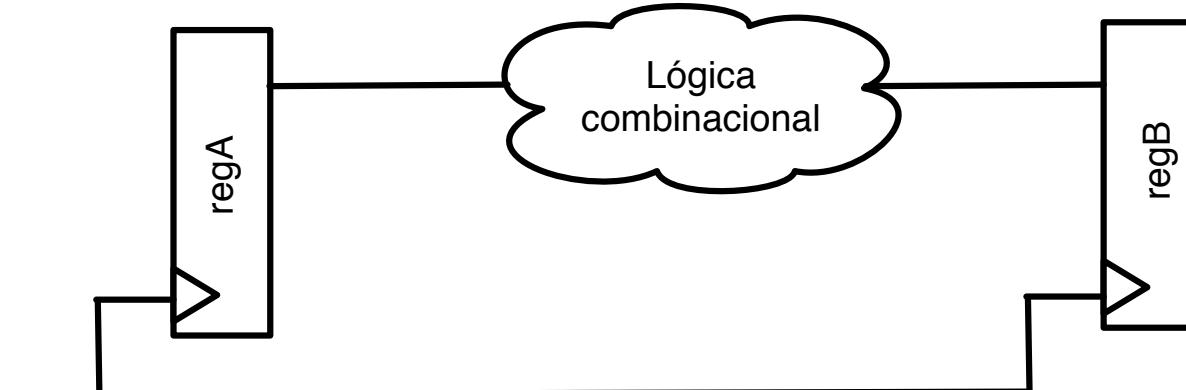


# Clock skew. Ejemplo

## ■ Tiempos

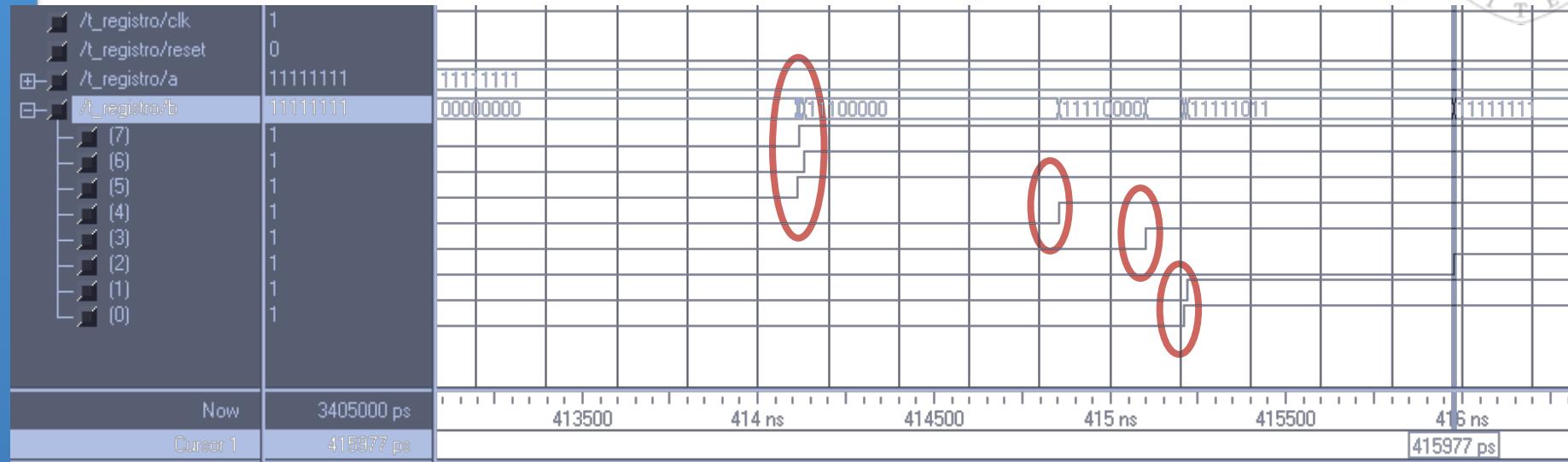
- El reloj llega al registroA en 10ns.
- El reloj llega al registroB en 15ns.
- ¿Cuándo sería un problema?

$$skew = 15 - 10 = 5 \text{ ns}$$





# Clock skew. Ejemplo



El flanco de subida ocurrió a los 405 ns

Los primeros *biestables* empiezan a modificar su valor después de los 414 ns

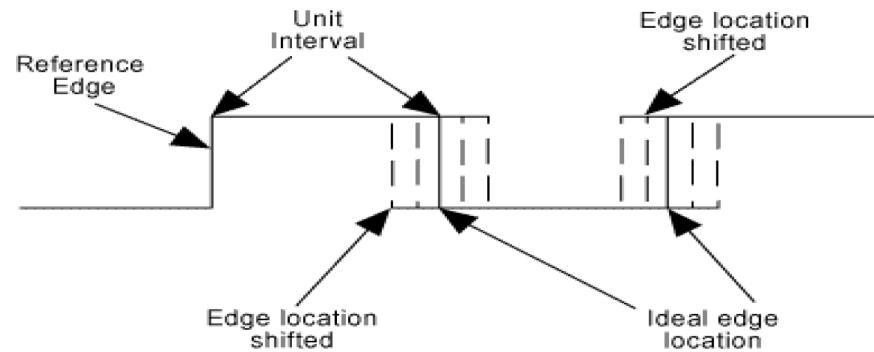
Retardo total: 11 ns

Diferencia entre *biestables*: 2ns



# Clock jitter

- Jitter: modificación no deseada en la periodicidad del reloj. En otras palabras, es la variación de los flancos de reloj respecto de su posición ideal en el tiempo.





# Clock jitter

- Origen: muy variado.
  - Variaciones en la fabricación de los osciladores
  - Ruido en la alimentación de los PLLs.
  - ...
- Se especifica de tres formas:
  - Jitter absoluto: diferencia entre la posición real del flanco de reloj y su posición ideal.
  - Jitter periódico: diferencia entre periodo real de reloj y el periodo ideal (en realidad, el periodo medio). Es el más importante a efectos de STA.
  - Jitter ciclo-a-ciclo: diferencia en la duración de dos periodos de reloj adyacentes.

# Clock jitter



- Es necesario tenerlo en cuenta en el análisis temporal del circuito porque puede acortar la duración del ciclo de reloj.
- Especificado como rms o valor pico-a-pico
  - Se mide la duración media del ciclo sobre una muestra y se obtiene su desviación estándar (rms).



# Cálculo de márgenes setup y hold

- Teniendo en cuenta el *clock skew* y *clock jitter*.

$$\text{margen setup} = T_{clk} + skew - (t_{ck\_q} + t_{comb} + t_{setup} + \text{jitter})$$

$$\text{margen hold} = t_{ck\_q} + t_{comb} - (\text{skew} + \text{jitter} + t_{hold})$$

- Margen negativo  $\rightarrow$  **error de timing**



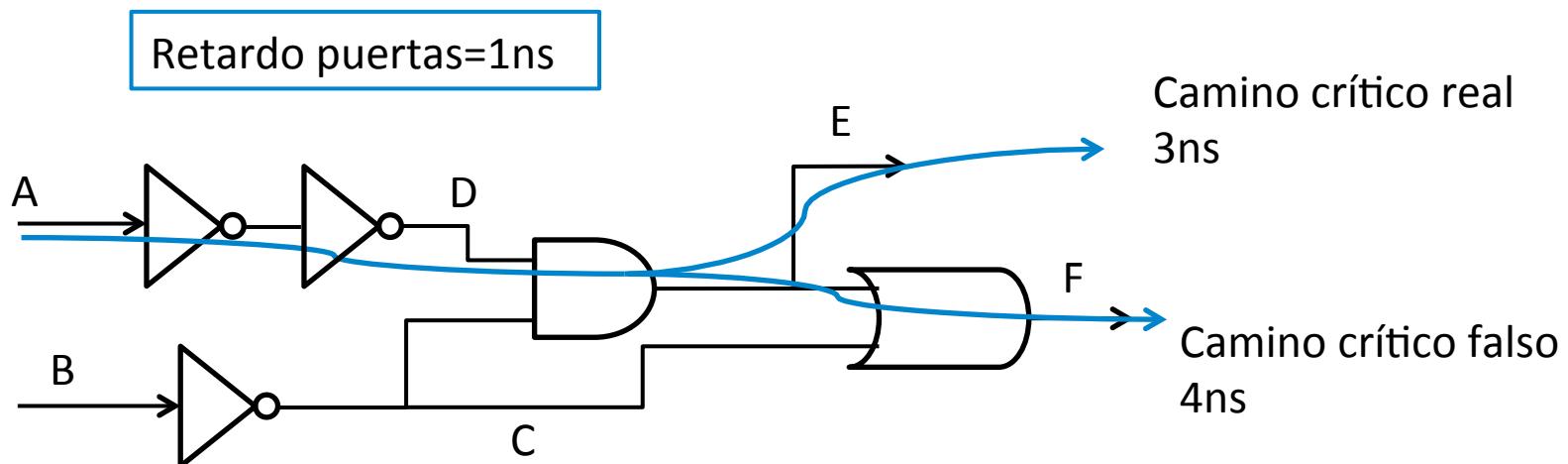
## Falso camino crítico

- Parece el camino más lento de un circuito pero en realidad no lo es
- No propaga una transición
- Los diseños que comparten lógica para distintos cálculos son susceptibles de tener falsos caminos



# Falso camino crítico

- Puerta AND propaga el valor de una entrada si la otra entrada vale 1, sino fija la salida a '0'
- Puerta OR propaga el valor de una entrada si la otra entrada vale 0, sino fija la salida a '1'

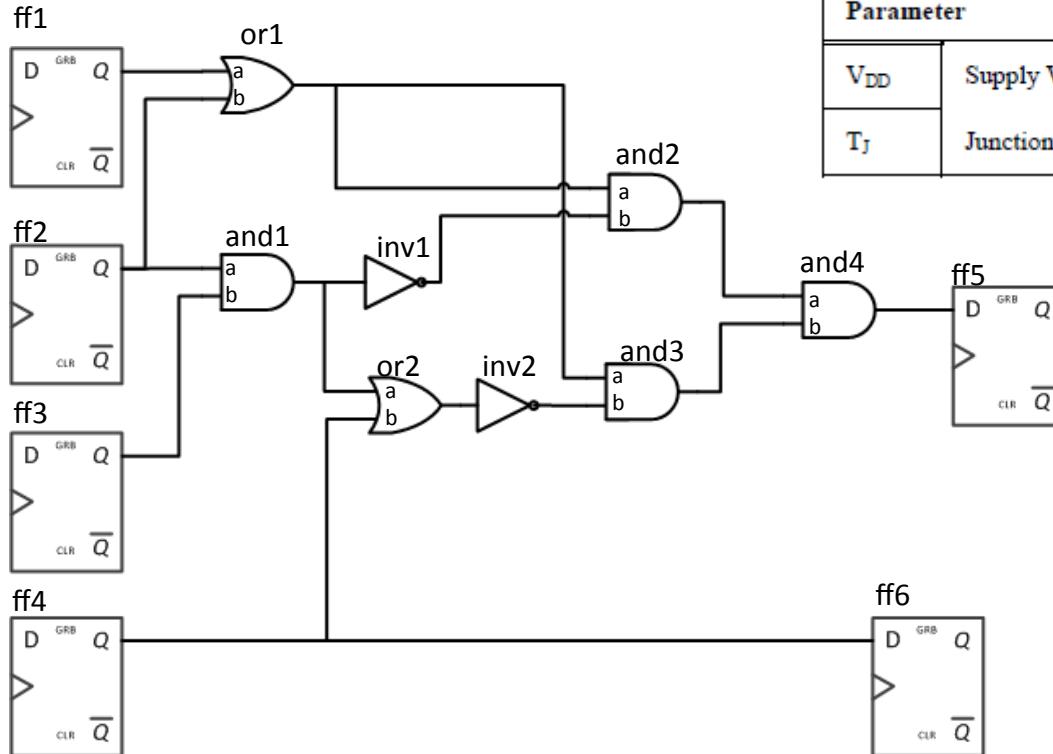


El valor de C, que se obtiene en 1ns determina el valor de F. El camino que más tarda es el que genera E en 3ns



# Ejemplo temporización

Table 2.2 Recommended Operating Conditions



Parameter		Minimum	Typical	Maximum
$V_{DD}$	Supply Voltage	1.08V	1.2V	1.32V
$T_J$	Junction Temperature	-40°C	25°C	+125°C

¿Funcionaría a una frecuencia de reloj de 1 GHz?

Clock skew: 110 ps

Clock jitter: 20 ps

Análisis en worst-case fast: -40 C, 1.32V, proceso rápido



# Ejemplo temporización

## Pin Description

Cell Name	Pin Cap.(pf)		Max Cap.(pf)
	A1	A2	
AN2D0	0.0007336	0.000779	0.02955

## Propagation Delay(unit:ns)

(Characterization Condition:Process=Fast-Fast, Voltage=1.32v, Temp=-40degreeC)

Cell Name	Path	Parameter	Group1	Group2	Group3
			(<0.00099)pf	(0.00099-0.01481)pf	(>0.01481)pf
AN2D0	A1 to Z	$t_{PLH}$	0.0272+6.5217*Cload	0.0288+5.4376*Cload	0.0299+5.2985*Cload
		$t_{PHL}$	0.0236+4.8696*Cload	0.0251+3.8354*Cload	0.0258+3.7313*Cload
	A2 to Z	$t_{PLH}$	0.0289+6.5435*Cload	0.0305+5.4358*Cload	0.0316+5.2985*Cload
		$t_{PHL}$	0.0256+4.913*Cload	0.0272+3.8517*Cload	0.0282+3.7273*Cload

## Pin Description

Cell Name	Pin Cap.(pf)		Max Cap.(pf)
	I	ZN	
INV D0	0.0007637		0.02955

## Propagation Delay(unit:ns)

(Characterization Condition:Process=Fast-Fast, Voltage=1.32v, Temp=-40degreeC)

Cell Name	Path	Parameter	Group1	Group2	Group3
			(<0.00099)pf	(0.00099-0.01481)pf	(>0.01481)pf
INV D0	I to ZN	$t_{PLH}$	0.0106+5.4783*Cload	0.0106+5.4611*Cload	0.0115+5.3704*Cload
		$t_{PHL}$	0.0084+4.3696*Cload	0.009+3.868*Cload	0.0094+3.827*Cload



# Ejemplo temporización

## Pin Description

Cell Name	Pin Cap.(pf)		Max Cap.(pf)
	A1	A2	
OR2D0	0.000686	0.0007661	0.02955

## Propagation Delay(unit:ns)

(Characterization Condition:Process=Fast-Fast, Voltage=1.32v, Temp=-40degreeC)

Cell Name	Path	Parameter	Group1	Group2	Group3
			(<0.00099)pf	(0.00099-0.01481)pf	(>0.01481)pf
OR2D0	A1 to Z	$t_{PLH}$	0.0208+5.8478*Cload	0.0215+5.3363*Cload	0.0225+5.2442*Cload
		$t_{PHL}$	0.0317+5.9565*Cload	0.0345+4.17*Cload	0.0374+3.7931*Cload
	A2 to Z	$t_{PLH}$	0.0225+5.8478*Cload	0.0232+5.3436*Cload	0.0239+5.2578*Cload
		$t_{PHL}$	0.0352+5.9565*Cload	0.038+4.1682*Cload	0.0413+3.7748*Cload

## Pin Description

Cell Name	Pin Cap.(pf)		Max Cap.(pf)
	CP	D	
DFD1	0.000778	0.0009582	0.0591

## Propagation Delay(unit:ns)

(Characterization Condition:Process=Fast-Fast, Voltage=1.32v, Temp=-40degreeC)

Cell Name	Path	Parameter	Group1	Group2	Group3
			(<0.0017)pf	(0.0017-0.02947)pf	(>0.02947)pf
DFD1	CP to Q	$t_{PLH}$	0.0695+3.4946*Cload	0.0706+3.0432*Cload	0.0717+2.9835*Cload
		$t_{PHL}$	0.0814+2.9892*Cload	0.0835+2.1773*Cload	0.0852+2.0688*Cload
	CP to QN	$t_{PLH}$	0.0999+3.2258*Cload	0.1005+2.9793*Cload	0.1006+2.9733*Cload
		$t_{PHL}$	0.0874+2.9892*Cload	0.0896+2.162*Cload	0.0911+2.0688*Cload

## Timing Constraint(unit:ns)

(Characterization Condition:Process=Fast-Fast, Voltage=1.32v, Temp=-40degreeC)

Cell Name	Path	Timing Parameter	Constraint
DFD1	CP	$t_{min\_pulse\_width}^H$	0.03906
		$t_{min\_pulse\_width}^L$	0.04883
	CP to D	$t_{setup\_rising}^{LH}$	0.008944
		$t_{hold\_rising}^{LH}$	0.00118
		$t_{setup\_rising}^{HL}$	-0.002623
		$t_{hold\_rising}^{HL}$	0.01714

# Introducción



- La simulación lógica no mide retardos
- Los retardos se miden en la *Simulación Post-Place & Route*
  - La herramienta calcula el retardo de todos los caminos
  - El más lento, llamado camino crítico, es el que define el retardo del circuito
- El retardo de los distintos caminos del circuito puede originar errores funcionales
  - Azares, glitches y falsos caminos críticos

## Azares y *glitches*

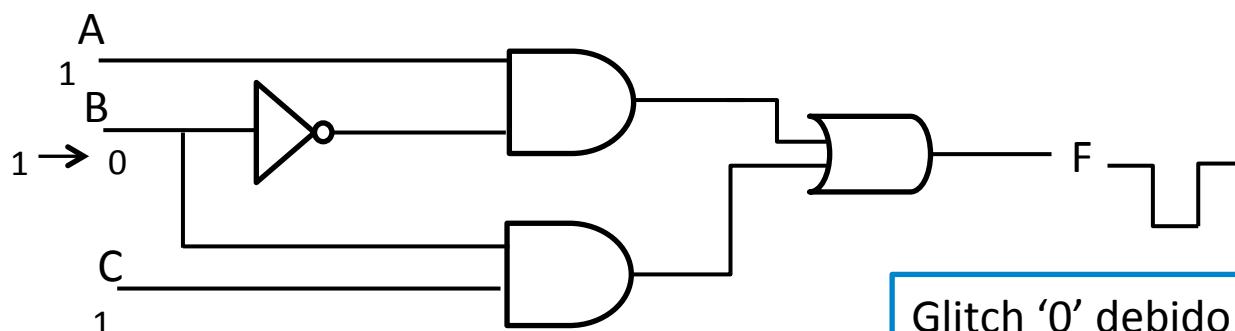


- El retardo de propagación de un circuito se define como el tiempo necesario para obtener un valor de salida válido
- Los azares o riesgos son las posibles fluctuaciones de la señal de salida antes de alcanzar su valor final
  - Riesgo estático
  - Riesgo dinámico
- Estas fluctuaciones pueden ser uno o varios pulsos no deseados que reciben el nombre de *glitches*



## Riesgo estático

- Un determinado cambio en la entrada produce un *glitch* en la salida cuando no debería producirse ningún cambio
  - Riesgo estático al 1 
  - Riesgo estático al 0 
- Se debe a la existencia de distintos caminos que convergen hacia la salida con diferente retardo

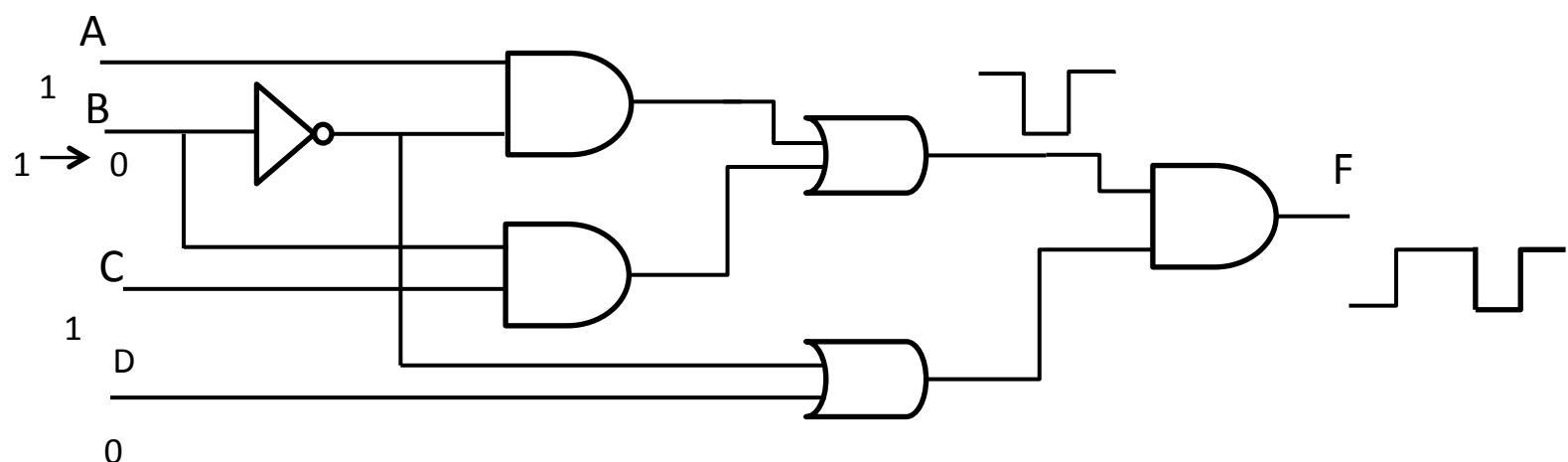


Glitch '0' debido al inversor.  
Su duración será igual al  
retardo del inversor



# Riesgo dinámico

- La salida debe cambiar pero el cambio no es directo sino con fluctuaciones
  - ‘0’ a ‘1’
  - ‘1’ a ‘0’
- Suelen producirse en circuitos con riesgo estático y un nivel más de puertas



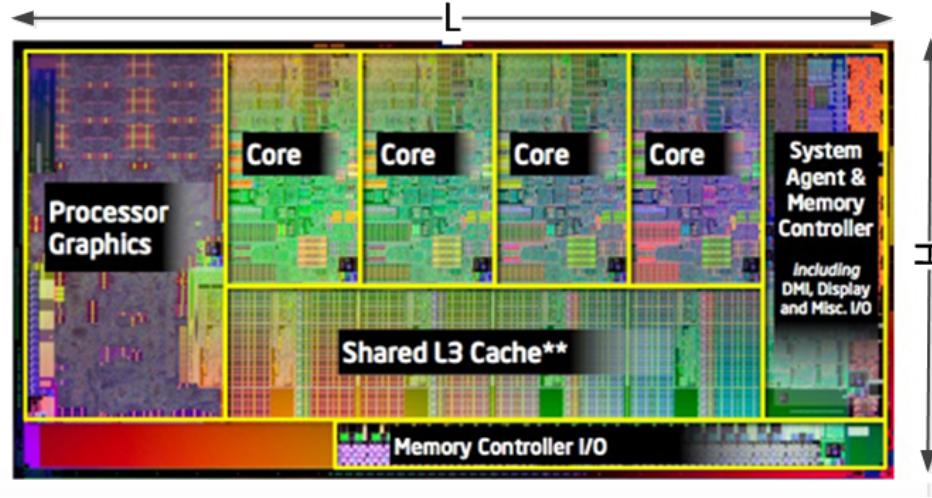
# Objetivo



- Área de silicio ocupada por el circuito
- ¿Cómo se mide? Depende de la tecnología usada:
  - ASIC
  - FPGA
  - ...



# ASIC



- Depende de:
  - Floorplan  $\Rightarrow$  L y H.
  - Tecnología de fabricación.
- Suma área lógica y área de las conexiones.
- ~~Layout~~  $\Rightarrow$  Estimación
  - Área de la lógica=  $\sum$  (área módulos)
  - Área de las conexiones.

# FPGA

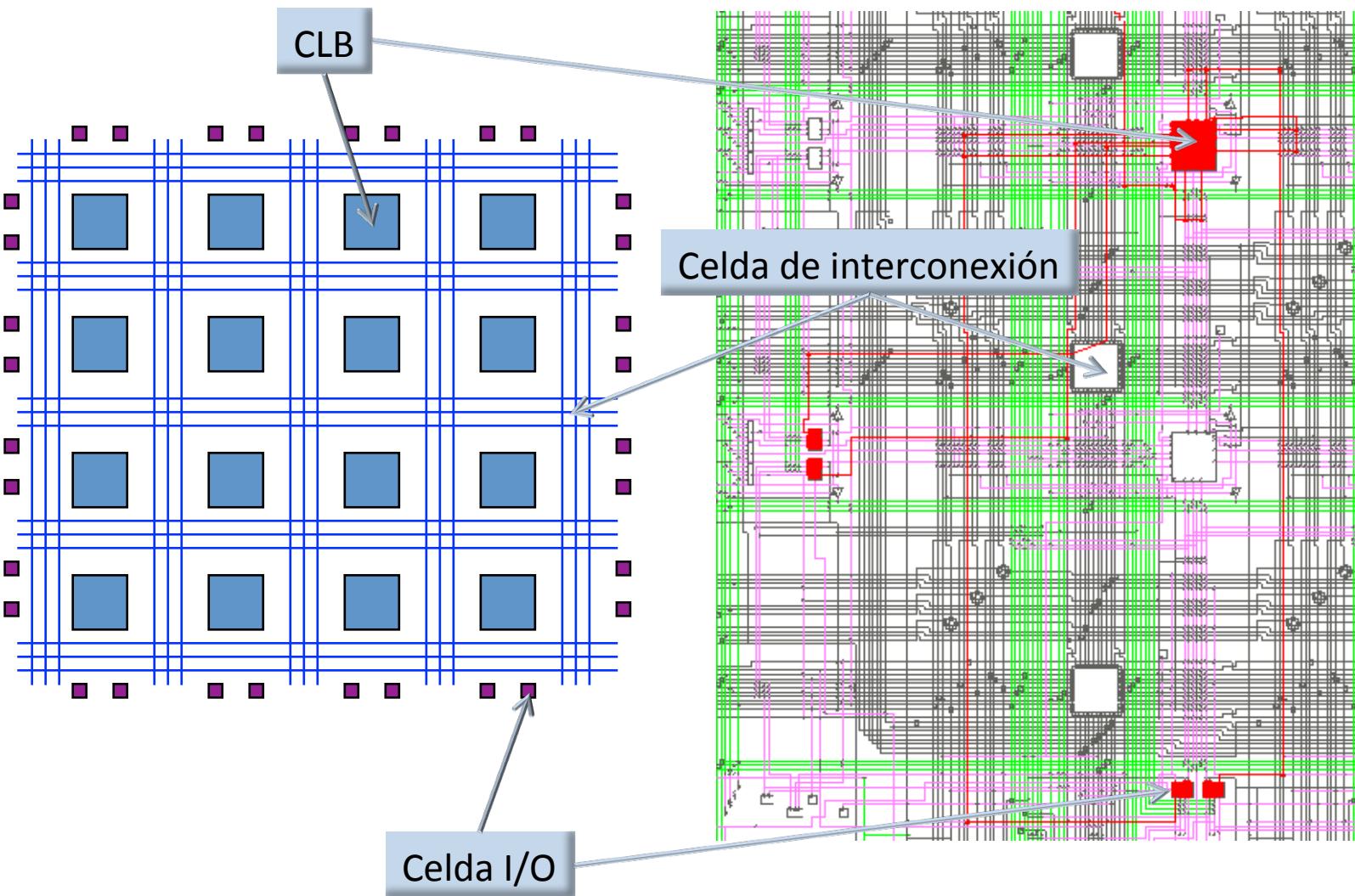


- ¡El tamaño de la FPGA es fijo!
- No obstante, menor tamaño del diseño  
diseños más complejos en una misma FPGA
- Área lógica:
  - Se mide en slices, FF y LUT
- Área de las conexiones
  - Se mide en ...

## 4. Análisis del área

toc

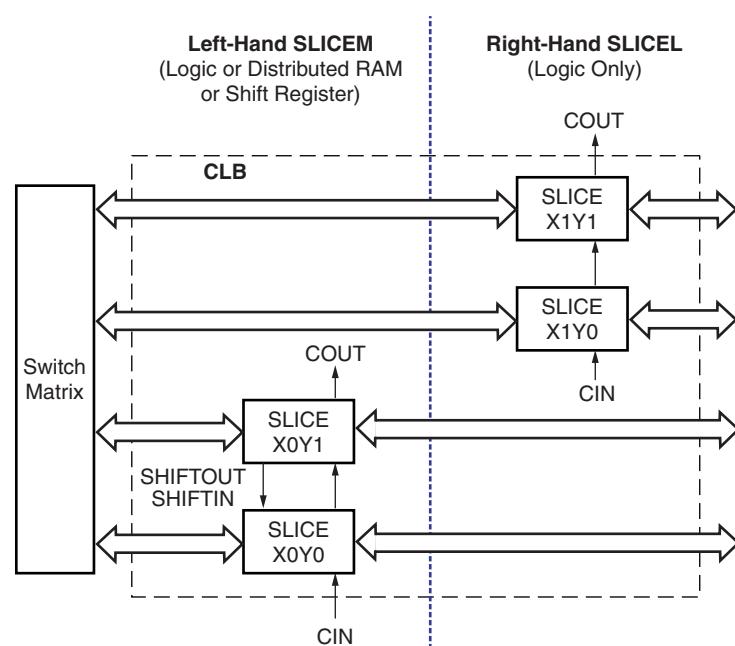
# ¿Qué es una FPGA?



# CLB



- Celda básica reconfigurable.
- Recurso principal para la implementación de lógica secuencial y combinacional
- Formado por 4 slices interconectados, agrupados por parejas y organizadas como columnas.



# Slice

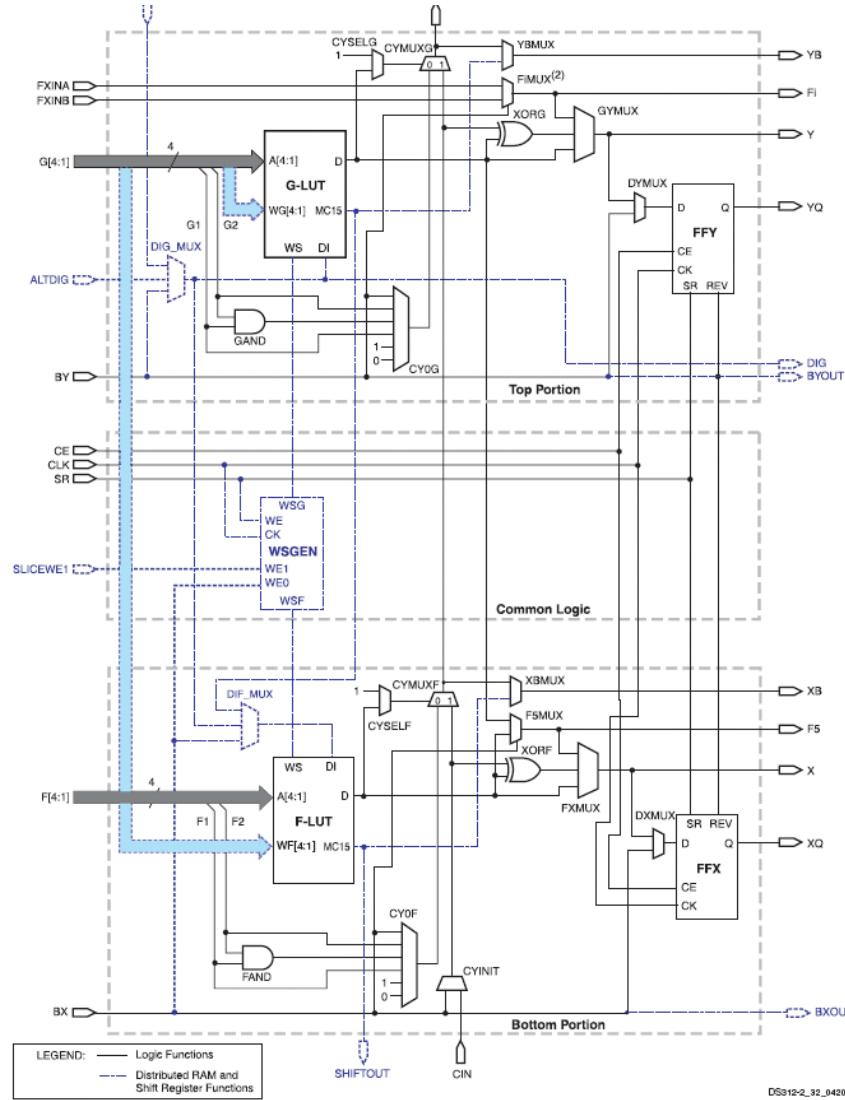


- Todos:
  - 2 x logic function generators (Look-Up Table, LUT).
  - 2 x storage elements (FF o latches)
  - Wide-function multiplexers (combinación de LUTs)
  - Carry logic, and
  - Arithmetic gates
- Lado izquierdo LUT puede ser configurada como:
  - RAM.
  - Registros desplazamiento.

## 4. Análisis del área

toc

# Slice



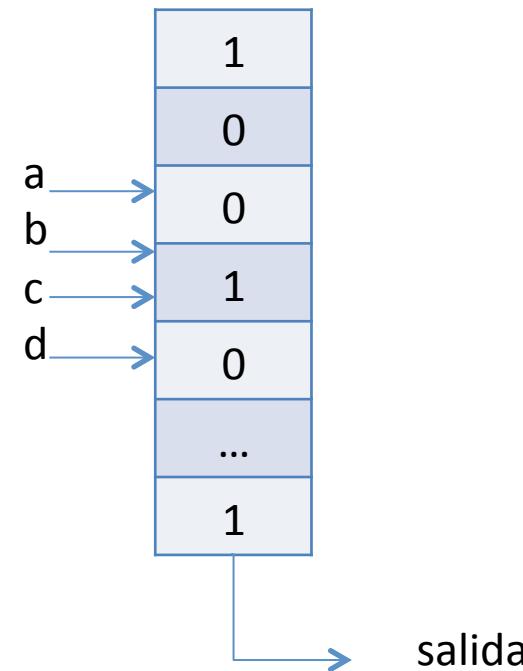
DS312-2\_32\_042007



# LUT

- LUTs como conjunto universal
  - Una memoria ROM puede implementar cualquier función lógica

a	b	c	d		salida
0	0	0	0	1	
0	0	0	1	0	
0	0	1	0	0	
0	0	1	1	1	
0	1	0	0	0	
...					
1	1	1	1	1	



# Área de un diseño en FPGA

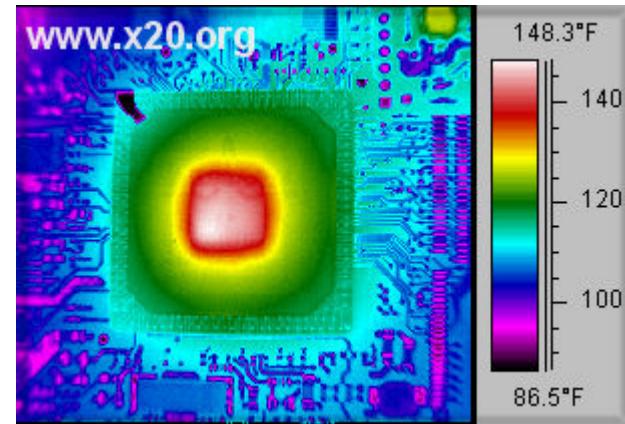


- Área lógica:
  - Se mide en slices, FF y LUT
- Área de las conexiones
  - Se mide en ...



# Métricas

- Distintas métricas
  - Potencia
    - Temperatura
  - Energía
    - Duración de la batería



# Consumo estático y dinámico



- Consumo estático
  - Consumo de los bloques del circuito cuando no hay transiciones en las señales de entrada.
- Consumo dinámico
  - Consumo de los bloques del circuito cuando hay transiciones en las señales de entrada.



# Consumo estático

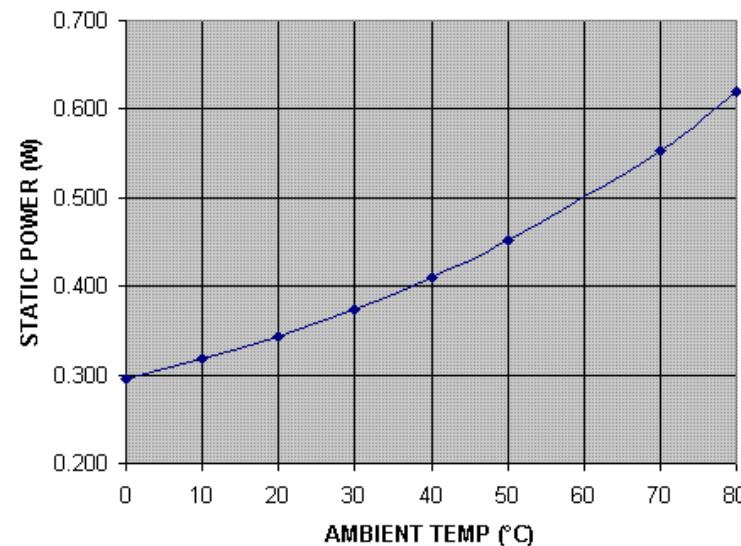
$$P_{static} = V_{dd} \cdot I_{static}$$

- Donde:
  - $I_{static}$ : corriente estática.
  - $V_{dd}$ : tensión de alimentación.



# Consumo estático: dependencias

- $I_{\text{static}}$  depende de:
  - Corriente de fuga en los transistores (Tecnología)
  - Tensión de alimentación ( $\propto V^3$ )
    - Xilinx Virtex-5 tensión nominal:  $1.0 \text{ V} \pm 5\%$  → variación  $\pm 15\%$  en el consumo estático.
  - Temperatura





# Consumo dinámico

$$P = \frac{1}{2} \cdot C_{load} \cdot V_{dd}^2 \cdot f \cdot t$$

- Donde:
  - $C_{load}$ : capacidad de carga
  - $V_{dd}$ : tensión de alimentación
  - $f$ : frecuencia de reloj
  - $t$ : tasa de actividad de la puerta



# Consumo dinámico

- ¿Cómo reducirlo en las prácticas de la asignatura?
  - Reducir  $f$  (pero hay que cumplir con las especificaciones).
  - Reducir  $t$ . Evitar transiciones innecesarias.
- Más eficaz. Reducir  $V_{DD}$  pero no puede hacerse en el lab y ...

$$f \approx K \cdot \frac{(V_{DD} - V_{TH})^\alpha}{V_{DD}}$$

Modelo de Sakurai