

Ejercicios evaluación parámetros físicos

8

Ej. 1 — Dado el circuito de la figura, determinar si podría funcionar con una frecuencia de reloj de 1 GHz. Supóngase clock skew de 110 ps y clock jitter de 20 ps. **Nota:** este análisis debe hacerse para el caso worst-case slow. Así mismo determinar si habría violaciones de hold. **Nota:** En este caso el análisis habrá que hacerlo para el caso worst-case fast.

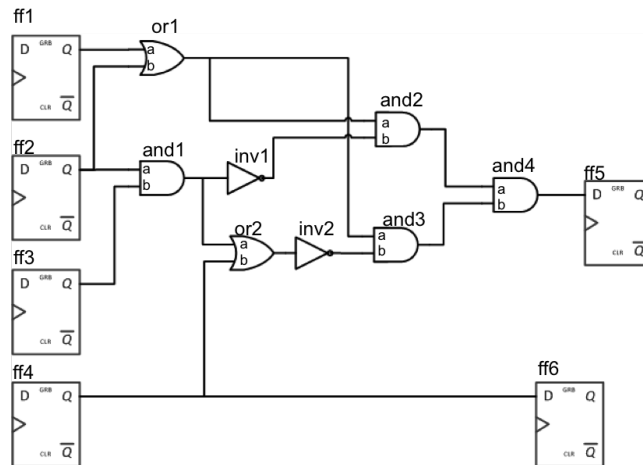


Table 2.2 Recommended Operating Conditions

Parameter		Minimum	Typical	Maximum
V _{DD}	Supply Voltage	1.08V	1.2V	1.32V
T _J	Junction Temperature	-40°C	25°C	+125°C

Pin Description

Cell Name	Pin Cap.(pf)		Max Cap.(pf)
	A1	A2	Z
AN2D0	0.0007336	0.000779	0.02955

Propagation Delay(unit:ns)

(Characterization Condition:Process=Fast-Fast,Voltage=1.32v,Temp=-40degreeC)

Cell Name	Path	Parameter	Group1 (<0.00099)pf	Group2 (0.00099-0.01481)pf	Group3 (>0.01481)pf
AN2D0	A1 to Z	t _{PLH}	0.0272+6.5217*Clload	0.0288+5.4376*Clload	0.0299+5.2985*Clload
		t _{PHL}	0.0236+4.8696*Clload	0.0251+3.8354*Clload	0.0258+3.7313*Clload
	A2 to Z	t _{PLH}	0.0289+6.5435*Clload	0.0305+5.4358*Clload	0.0316+5.2985*Clload

Pin Description

Cell Name	Pin Cap.(pf)	Max Cap.(pf)
	I	ZN
INVD0	0.0007637	0.02955

Propagation Delay(unit:ns)

(Characterization Condition:Process=Fast-Fast,Voltage=1.32v,Temp=-40degreeC)

Cell Name	Path	Parameter	Group1 (<0.00099)pf	Group2 (0.00099-0.01481)pf	Group3 (>0.01481)pf
INVD0	I to ZN	t _{PLH}	0.0106+5.4783*Clload	0.0106+5.4611*Clload	0.0115+5.3704*Clload
		t _{PHL}	0.0084+4.3696*Clload	0.009+3.868*Clload	0.0094+3.827*Clload

8. EJERCICIOS EVALUACIÓN PARÁMETROS FÍSICOS

Pin Description					
Cell Name	Pin Cap.(pf)		Max Cap.(pf)		
	A1	A2	Z		
OR2D0	0.000686	0.0007661	0.02955		

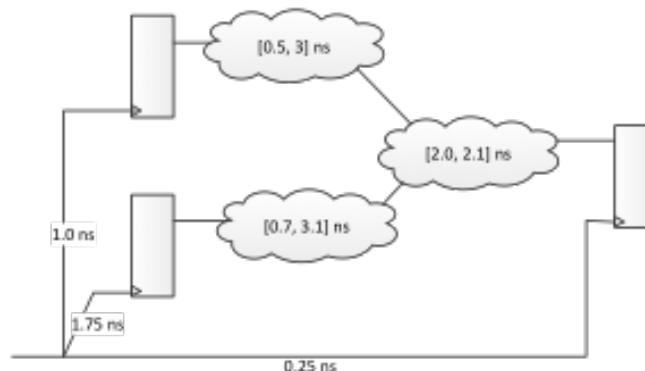
Propagation Delay(unit:ns)					
(Characterization Condition:Process=Fast-Fast,Voltage=1.32v,Temp=-40degreeC)					
Cell Name	Path	Parameter	Group1	Group2	Group3
			(<0.00099)pf	(0.00099-0.01481)pf	(>0.01481)pf
OR2D0	A1 to Z	t_{PLH}	0.0208+5.8478*Clload	0.0215+5.3363*Clload	0.0225+5.2442*Clload
		t_{PHL}	0.0317+5.9565*Clload	0.0345+4.17*Clload	0.0374+3.7931*Clload
	A2 to Z	t_{PLH}	0.0225+5.8478*Clload	0.0232+5.3436*Clload	0.0239+5.2578*Clload
		t_{PHL}	0.0352+5.9565*Clload	0.038+4.1682*Clload	0.0413+3.7748*Clload

Pin Description				
Cell Name	Pin Cap.(pf)		Max Cap.(pf)	
	CP	D	Q	QN
DFD1	0.000778	0.0009582	0.0591	0.0591

Propagation Delay(unit:ns)				
(Characterization Condition:Process=Fast-Fast,Voltage=1.32v,Temp=-40degreeC)				
Cell Name	Path	Parameter	Group1	Group2
			(<0.0017)pf	(0.0017-0.02947)pf
DFD1	CP to Q	t_{PLH}	0.0695+3.4946*Clload	0.0706+3.0432*Clload
		t_{PHL}	0.0814+2.9892*Clload	0.0835+2.1773*Clload
	CP to QN	t_{PLH}	0.0999+3.2258*Clload	0.1005+2.9793*Clload
		t_{PHL}	0.0874+2.9892*Clload	0.0896+2.162*Clload

Timing Constraint(unit:ns)			
(Characterization Condition:Process=Fast-Fast,Voltage=1.32v,Temp=-40degreeC)			
Cell Name	Path	Timing Parameter	Constraint
DFD1	CP	$t_{min_pulse_width}^H$	0.03906
		$t_{min_pulse_width}^L$	0.04883
	CP to D	$t_{setup_rising}^{LH}$	0.008944
		$t_{hold_rising}^{LH}$	0.00118
		$t_{setup_rising}^{HL}$	-0.002623
		$t_{hold_rising}^{HL}$	0.01714

Ej. 2 — En el circuito de la figura los valores que aparecen dentro de cada nube son el retardo mínimo y máximo de la lógica contenida en la nube. Los valores en las líneas de reloj son el retardo de propagación desde la fuente de reloj. El retardo de propagación clk a Q de los registros es $t_{ck-q} = 0,40$ ns, $t_{setup} = 0,25$ ns y $t_{hold} = 0,1$ ns. Por último, la frecuencia de reloj es 100 MHz. Con todos estos valores, ¿habrá violaciones de setup en el circuito? ¿Cuál es el margen (positivo o negativo) del que se dispone en el registro de destino?

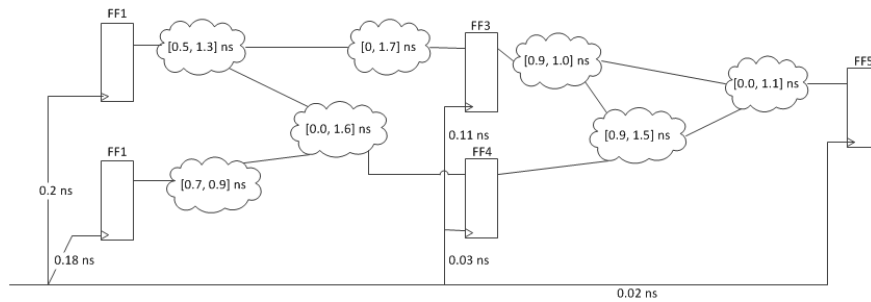


Idear una solución para que el circuito pueda funcionar a una frecuencia de trabajo 200 MHz. NOTA: La biblioteca de componentes que se utiliza en el diseño consta de un CLKBUF (buffer de reloj) con un retardo de 0.45 ns.

Ej. 3 — En el circuito de la figura los valores que aparecen dentro de cada nube son el retardo mínimo y máximo de la lógica contenida en ellas. Los valores en las líneas de reloj son el retardo

de propagación desde la fuente de reloj. El retardo de propagación clk a Q de los registros es, $t_{clk-q} = 0,12$ ns, $t_{setup} = 0,1$ ns y $t_{hold} = 0,05$ ns.

1. Calcular los márgenes de setup en los registros de destino si la frecuencia de reloj fuese 250 MHz. ¿habrá violaciones de setup en el circuito?
2. ¿Cuál sería la frecuencia de reloj máxima a la que podría trabajar este circuito?
3. Si la frecuencia de reloj fuese 500 MHz, y con su estructura actual, el circuito tendría violaciones de setup. Modificar el diseño para que sea capaz de trabajar a 500 MHz y calcular los margen de setup para el nuevo diseño. Nota: No se conoce la estructura lógica de las nubes y por tanto la solución no puede ser proponer modificar su estructura.



Ej. 4 — En el circuito de la figura los valores que aparecen dentro de cada nube son el retardo máximo de la lógica contenida en ellas. Los valores en las líneas de reloj son el retardo de propagación desde la fuente de reloj. Los parámetros de los registros son: $t_{clk-q} = 0,12$ ns, $t_{setup} = 0,1$ ns y $t_{hold} = 0,05$ ns. (1) Calcular los márgenes de setup en los registros de destino si la frecuencia de reloj fuese 250 MHz. ¿habrá violaciones de setup? ¿Cuál sería la frecuencia de reloj máxima a la que podría trabajar este circuito? (2) Si la frecuencia de reloj fuese 500 MHz, y con su estructura actual, el circuito tendría violaciones de setup. Para que el circuito pudiese trabajar a 500 MHz es necesario segmentarlo. Indicar dónde se deberían introducir los registros de segmentación y calcular los nuevos margen de setup para el camino o los caminos que presentaban violaciones de setup. Supóngase que el retardo de reloj para los nuevos FF es de 0,22 ns.

