

硬件综合设计评分标准(暂行版)

重庆大学计算机学院

版本:1.0

更新:December 3, 2019

1 成绩构成

编号	成绩构成	成绩占比 (%)	考查内容
1	CPU 设计	50	完成 MIPS 五级流水线 CPU 设计
2	课程设计报告	30	完成报告内容要求的内容
3	现场添加指令	10	限时现场添加指令
4	现场答辩	10	考察数据通路理解、指令实现细节等
5	扩展内容	5-20	Cache 优化、支持操作系统等多选, 根据扩展内容完成情况, 在原有得分基础上加分

表 1: 成绩构成简表

2 评分标准

2.1 CPU 设计 (占比 50%)

简称	完成内容	获得分数
52 条	52 条基础指令, 按功能类型分为 6 组, 每组 5 分	30
57 条	57 条指令, 包含 52 条基础指令 +5 条特殊指令	30+5=35
SOC 测试	连接简单总线, 构造基于类 SRAM 接口的 Lite 版 SOC, 并测试通过完整版指令测试	35+5=40
AXI 测试	连接类 SRAM 转 AXI 总线转接桥, 构造 AXI 版 SOC, 且通过完整版指令测试、性能测试	40+5 = 45
写透 Cache	设计写透 Cache, 成功提高 CPU 性能得分, 并保证功能测试无错	45+5=50

表 2: CPU 设计评分标准表

评分细则:

由于硬件综合设计完成程度不同, 对每个阶段评分实行量化细则, 以保证评分的公平统一。评分细则如下:

• 52 条:

- 52 条指令共分 6 组, 每组 5 分。每组内有一条及一条以上指令功能仿真错误, 该组不得分。
- 涉及乘除法未实现 HILO 寄存器; 流水线前推、暂停模块实现有问题, 扣除 5 分。
- 其他严重违背 MIPS 或 RISC 架构设计理念的, 扣 5 分。(如除法不暂停流水线, 导致单个周期时间过长)

• 57 条:

- 实现 5 条指令包括两类, 分别为特权指令、内陷指令。仅完成一组的, 得 2 分。

- CP0 未设计,只对指令进行译码的,不得分。
- 没有实现精确异常的,得 2 分。
- **SOC 测试**
 - SOC 测试需连接类 SRAM 接口,并测试完整的功能测试程序。仅宣称连接 SOC,但未运行测试的,不得分。
 - 功能测试共分为基础测试、延迟槽测试、异常测试三部分。若未能完成全部测试,仅通过部分基础测试的,得 2 分;通过全部基础测试,未能完成异常测试的,得 3 分;通过全部基础测试和异常测试,仅通过部分延迟槽测试的,得 4 分。
- **AXI 测试:**
 - AXI 测试需连接转接桥,并测试完整的功能、性能测试程序。仅宣称连接 SOC,但未运行测试的,不得分。
 - 连接后功能测试未能通过全部功能测试的,得 2 分。
 - 功能测试通过,性能测试除 Drystone 和 CoreMark 外的其他测试,只有部分成功运行的,得 3 分。
 - 性能测试除 Drystone 和 CoreMark 外的其他测试运行成功的,得 4 分。
 - 若最终性能测试得分,低于 Baseline,扣 1 分。
- **写透 Cache:**
 - 写透 Cache 接入后,无法正常运行功能测试的,不得分。
 - 写透 Cache 接入后,能够运行部分功能测试的,参考 SOC 测试规则给分。
 - 写透 Cache 接入后,性能测试分数低于 10 的,扣 1 分。

注意:私自篡改 SOC 组件,如 IP 核、外设;测试文件如 coe、testbench 等以达到正确运行效果,但本身未完成设计的,本次课程设计计作不合格

2.2 课程设计报告 (占比 30%)

根据课程设计报告模板要求,课程设计报告得分采取减分制,基础得分 30 分,缺少或不满足要求的,进行扣分。课程设计报告评分细则如下:

- 报告模板中标注“必选”但未填写的,扣 5 分。
- 模块设计中未写明信号名、输入输出类型、信号描述的,扣 5 分。
- 全文中没有任何通路图的,扣 10 分;部分模块设计中缺少通路图的,扣 5 分。
- 不填写工作日志的,扣 10 分,不按照模板要求填写的,扣 5 分。
- 不填写主要错误记录,但 CPU 设计完成程度不足 40 分的,扣 10 分。
- 参考文献格式不正确的,扣 2 分。
- **参考提供的参考书、文档、开源代码、其他同学的设计,但不在参考设计说明模块进行说明的,视作抄袭,本次课程设计计作不合格**

2.3 现场添加指令 (占比 10%)

每一组设计成员需要能够按照需要现场添加指令,评分细则见下表:

现场添加指令情况	评分
在 90 分钟以内正确添加指令,并调试通过	10
90 分钟以上的时间能够正确添加指令并调试通过	9
添加的指令,但是功能未能完全正确运行,但是能够讲述设计思路,并分析其原因,代码基本正确	8
能够添加的指令,功能存在错误,原有数据通路设计存在一定缺陷造成难以添加指令。	6
不能现场添加指令,且无法说明具体原因的	不及格

表 3: 现场添加指令环节的评价标准表

2.4 现场答辩 (占比 10%)

小组随机抽取一人回答指令路径问题,根据回答者情况,如果能够不能清晰地讲解其设计成果。

现场答辩情况	评分
能够正确回答设计中所有问题	10
能够回答所有关键性问题,但是存在理解上偏差	8
基本能够正确回答其中大多数问题,但是存在明显错误	6
不能回答设计文件中关键问题	不及格

表 4: 现场答辩成绩评价标准

2.5 扩展设计内容 (原有基础加 5-20%)

扩展设计作为选做内容,在原有百分制得分基础上进行加分,超过 100 分计作 100 分,其细则如下:

- **Cache 优化:**以性能测试得分作为基准
 - 性能得分 15-25,加 5 分
 - 性能得分 25-40,加 10 分
 - 性能得分 40-60,加 15 分
 - 性能得分 60 以上,加 20 分,获优秀综合设计荣誉证书,小组分享 2000 元奖励。
- **操作系统支持:**需设计 TLB 模块,成功运行某非嵌入式操作系统(如清华大学 ucore, linux 内核;ucos 等嵌入式操作系统不计入该范围)
 - 成功完成 TLB 测试项(8 项),加 5 分

- 支持 Cache 初始化和 TLB 初始化,加 10 分
- 通过串口成功运行 PMON,加 15 分
- 成功运行 ucore/linux,加 20 分,获优秀综合设计荣誉证书,小组分享 2000 元奖励。
- 其他创新内容或工具链研发:具体加分需提交文档、代码,由课程负责人组织专家进行评分。