

重庆大学本科学子生课程设计任务书

课程设计题目		MIPS SOC 设计与性能优化			
学院	计算机学院	专业	计算机科学与技术	年级	2018
<p>任务描述:</p> <p>1. 课程设计内容</p> <p>a) 必选内容</p> <p>i. 学生达到合格必做内容, 将《组成原理》实验 4 实现的简易五级流水线 CPU, 由十条指令扩展为 57 条指令, 并实现异常处理模块。 其中包括所有非浮点 MIPS I 指令(除去 LWL、LWR、SWL、SWR)以及 MIPS 32 中的 ERET 指令, 有 14 条算术运算指令、8 条逻辑运算指令、6 条移位指令、12 条分支指令、4 条数据移动指令、2 条自陷指令、8 条访存指令、3 条特权指令, 总计 57 条指令。</p> <p>ii. 加入 Cache, 加快 CPU 访存速度。基本要求为 4KB 大小, 块大小为 1word, 处理方式写直达、直接映射的 I-Cache 与 D-Cache</p> <p>iii. 处理器性能优化。包含以下内容:</p> <p>1. 流水线断流问题优化。流水线断流集中于分支指令与访存延迟问题上, 由于流水线在部分指令发生相关时, 数据前推无法满足需要, 导致流水线暂停, 形成的断流问题。分析通路图, 优化数据前推路径, 减少流水线暂停的概率, 达到性能优化的作用。</p> <p>2. 均衡各阶段组合逻辑延时。各阶段组合逻辑部分完成功能复杂度有所不同, 在译码、执行阶段的组合逻辑完成所需要的延时明显高于其他阶段, 此时优化单一周期所需时间, 尽可能使得功能复杂的阶段所实现的组合逻辑产生的延时降低, 优化单周期执行时间。</p> <p>3. 关键路径优化。由于 CPU 内部组合逻辑与 IO 直接连接, 使得 IO 访问成为关键路径。优化 IO 时延能够有效减少关键路径的总时长, 达到时钟频率的优化。同时需要考虑对 IPC 的影响, 达到均衡优化的效果。</p> <p>b) 扩展内容</p> <p>学生根据自身基本情况, 在下列任务中选择一至多个内容进行实现。</p> <p>i. Cache 完善。在必选内容实现的 Cache 基础上, 实现写回法 Cache, 支持更大的块大小, 映射方式改为二路组相连。</p> <p>ii. TLB 设计。参考课本 TLB 结构设计 TLB 模块, 要求增加 32 项 TLB 结构, 支持的页大小为 4KB。除此之外, 需完成 TLB 相关的指令和异常, 要求实现 TLBR、TLBWI、TLBP 指令, 在 CP0 中增加 Index、EntryHi、EntryLo0、EntryLo1、PageMask 寄存器。</p> <p>2. 撰写设计报告</p> <p>3. 现场指令集添加测试</p>					

<p>设计要求：</p> <p>课程设计报告要求至少应包含以下部分：</p> <ol style="list-style-type: none">1) 不同类型指令实现方式：<ul style="list-style-type: none">● 描述控制器需增加的内容、数据通路增加的内容。● 采取核心代码截图+描述2) 选做内容选择实现的部分详解：<ul style="list-style-type: none">● 优化思路● 优化核心代码截图● 仿真前后对比，如时钟周期长短对比，CPU 频率对比3) 通路图(选做，若对通路修改过大，已脱离原本通路的主要结构，如五级流水改为七级流水，需给出数据通路新结构图)4) 测试结果<ul style="list-style-type: none">● 仿真结果截图● 上板结果拍照5) 结论<ul style="list-style-type: none">● 将必做部分完成后性能跑分与选做部分完成后进行对比分析，从周期、IPC、频率角度出发，得出优化成果6) 参考文献	
<p>参考资料：</p>	
任务下达日期_____年____月____日	完成日期_____年____月____日