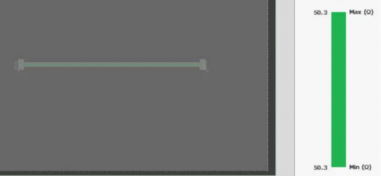
PCB的重要设计规则

# 尽量保证布线短而直



# 可以使用90 ̊ 直角的走线(有注意条件)

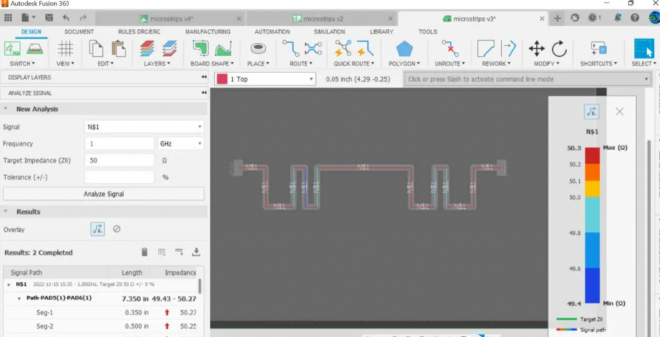
有人会说不能走90 ̊ 的直角走线，因为会导致阻抗发生变化，除非工作于亚毫米波段。

其实不然，90 ̊ 的走线的阻抗与走直线的阻抗是一样的(要拐回去)



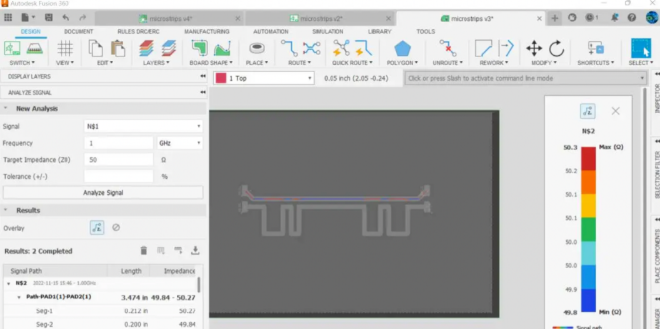
但是拐的位置过近会导致阻抗不连续

## 原因：在高速信号设计中布线时，需要考虑电场重叠的情况，这也是我们在线路下面敷铜的原因。



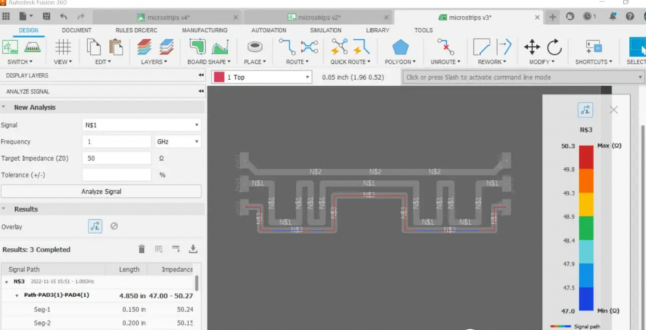
重叠的电场将导致迹线阻抗出现变化

相邻迹线对于确定阻抗的方面也起作用



相邻布线会导致线路阻抗出现变化(磁场靠近导致阻抗变化)

迹线越靠近，阻抗越容易不连续



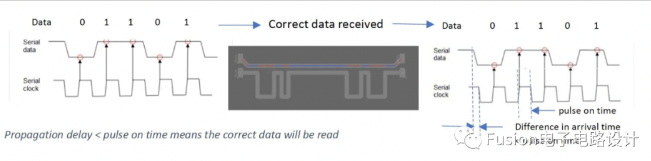
## 所以结论是:

1. **90 ̊角在单独一条线是不会阻抗不连续**。但是当线多且靠近的时候会导致电场的**重叠**——这将严重影响到阻抗。
2. 如果设计高压电路板，任何尖锐的角落都会集中电场，并可能导致发生弧闪（Flashover Arcs）。使用45°角的另一个优点是迹线更短，环路面积更小，从而减少EMI（电磁干扰），信号到达更快。

# 长度匹配高速信号，避免信号到达时候不匹配

当布线高速信号时，重要的是**跟踪长度匹配**，因为**长度不匹配意味着信号到达时间不匹配**。考虑一个**高速时钟信号**及其相关数据。(比如：iic，和串口收集数据，差分信号对)

## 近的：



## 远的：



不同的等迹线导致脉冲到达时间有所差异

我们可以在上面看到发送的数据 = 接收的数据。

然而，到达时间差越远离脉冲接通时间，就越可能发生错误。

# 保持时钟偏差小于时钟周期的1/10

从第3点可以看出来，这个法则使时钟边缘远离数据转换区域。**如果时钟和数据信号大差值大于(1/10\*时钟周期)，会出现信号不准**。

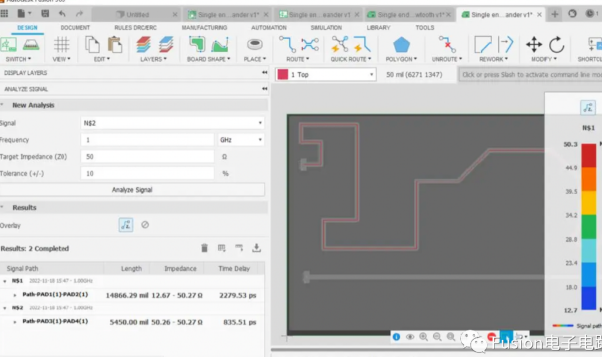
所以当出现大于时钟周期的1/10时需要延长更快的信号使得信号匹配

# 延长迹线以均衡定时延迟

如果长度不匹配很小，可以通过重新布线迹线使其稍长来延长。可以决定是否需要调整长度或使用折弯迹线命令延长长度。

# 弯折线路的时候要遵守**4X**规则

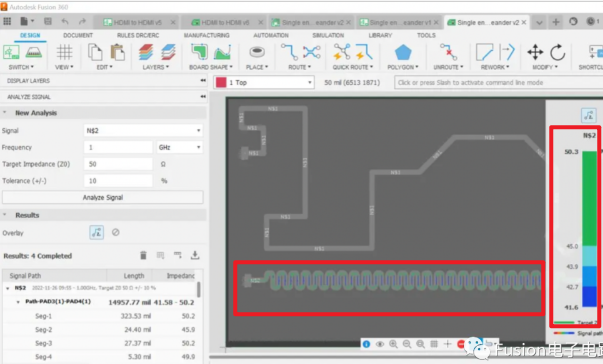
折弯意味着来回移动迹线以延长它。考虑所示的电路板，注意底部迹线比顶部迹线短得多，而且速度明显快



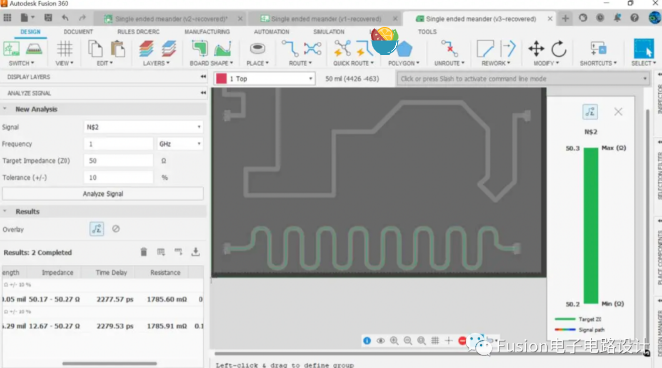
顶部的 迹线大约是底部的 迹线的两倍长折弯底部迹线会导致更长的长度和传播延迟，这可能在规范范围内

当折弯时，电路板设计者通常遵循4X规则：将折弯之间的距离保持为迹线宽度的4X（4倍），因为这将最小化阻抗不连续性。让我们看看这个例子中的迹线阻抗。

底部迹线由于间距小而紧密耦合。



相邻迹线之间存在许多不连续性，这是电场相互重叠导致的。看看当我们将间距设为迹线宽度的4倍时会发生什么。阻抗现在变得一致了。

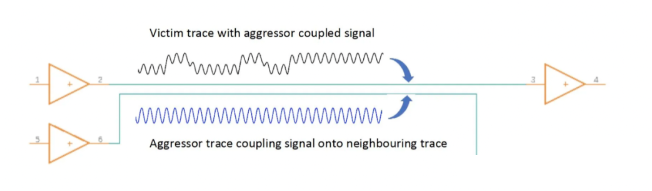


# 遵守3W规则以最小化串扰影响

在早期的电话时代，如果承载通话的电缆中的电线并排，您可以听到邻居的谈话。这种现象称为**“串扰”**。

单端信号(数字)容易收到相邻的线路的噪声影响(被耦合)。如果侵略信号”的耦合噪声（不需要的信号）足够大，则“受害信号”（需要的信号）可能被严重地混淆。

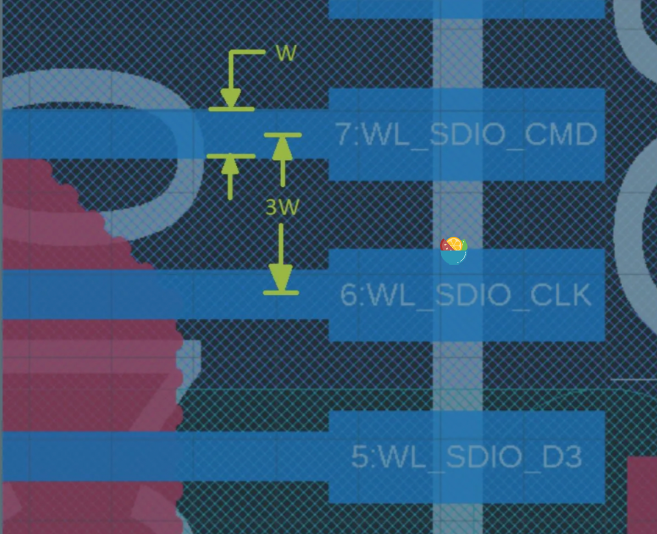
如图所示：



而3W规定的作用就是最小化串扰的影响

规定:

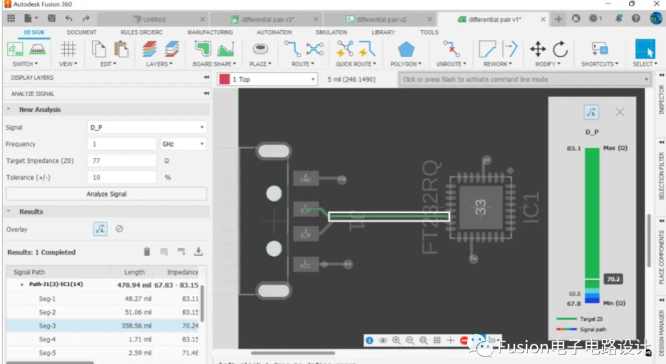
平行迹线之间的距离至少为3W，而W为迹线的宽度(相邻线) 从迹线的中心到中心进行测量，以最小化它们之间的耦合当然，更多的空间是更好的，特别是当频率增加到GHz区域或长度过长时。还要注意的是，3W规则假设相邻层上有敷铜，因为这将电场限制在迹线两侧较小的距离。



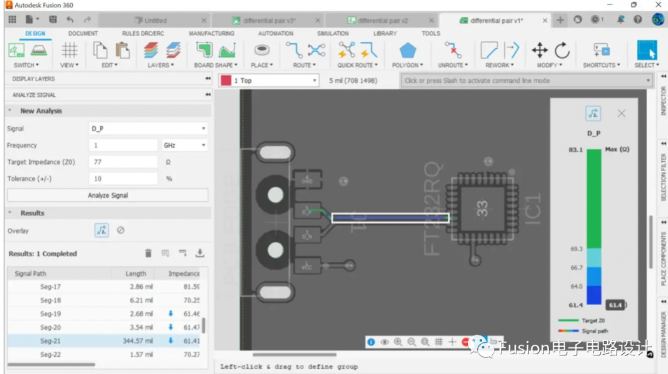
可以将两条相邻的迹线视为电容耦合的两条迹线。电容器只是由绝缘体隔开的两个极板，正好是两个相邻的迹线，绝缘体是它们之间的空气。与电容器一样，极板之间的距离越大，电容越小。电容越低，耦合信号越小。类似地，电路板越长，电容越大，耦合信号越大。所以，**在高速设计中，尽量保持迹线短且离得远**。

# **遵循差分时钟的8W间隔（或探索其他规则）**

高速差分信号需要更大的间隔。此规则可保持所需的信号阻抗。此8W规则也适用于同一层上的敷铜。考虑以下USB差分信号：

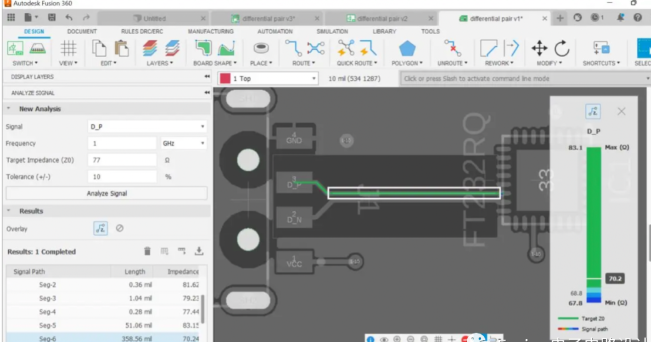


差分信号的顶层或底下放置普通阻抗会发生变化，如图所示：



阻抗随顶部接地敷铜显著变化。

但是，按照我们的8W规则，放入80mil 间距，我们得到了之前的阻抗70.2Ω。

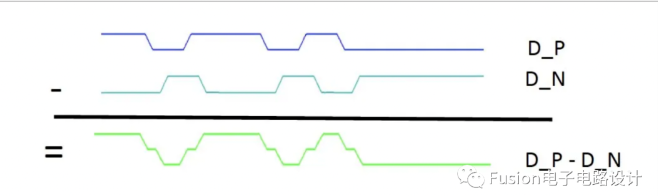


但是要注意：**8W规则是保守的数字，有些使用5W甚至3H，其中H = 接地层和信号层之间的电介质高度。**

# **差分布线的长度不匹配要注意**

差分信号在HDMI、USB、LVDS等高速通信标准中非常常见。这是因为它们抗噪音。让我们看看他们为什么能拒绝噪音。

如果长度不匹配



也许接收机能正确解码D\_P–D\_N，但是也可能不行(要看阈值)

高速信号规格将确定差分布线的长度最大的不匹配值。遵守技术规格说明，不然任何其他情况都可能导致不必要的**EMI**或**EMC**问题。

# 了解对内和对间延时差

简单的说就是确保差分线的长度一致

对内延时差(Intra-pair skew)是单个差分对的布线路径之间的时间差。如上所示，不同的时差会干扰信号，使其变得不可用。解决方案是延长较短的差分对。

# EMC和EMI

## 是什么？

EMC指的是电子设备在电磁环境中能够正常工作而不干扰周围其他设备的能力，而EMI则是指电子设备由于电磁辐射或传导而导致的干扰现象。

## 提升EMC和抑制EMI的方法

### 1、合理布局电路：通过合理布局电路、减少回路长度和提高接地质量等方式，可以有效提升设备的电磁兼容性；

### 2、使用EMC滤波器：安装EMC滤波器可以有效滤除电路中的干扰信号，降低EMI对设备的影响，提高设备的稳定性。