



UNSE

Universidad Nacional
de Santiago del Estero



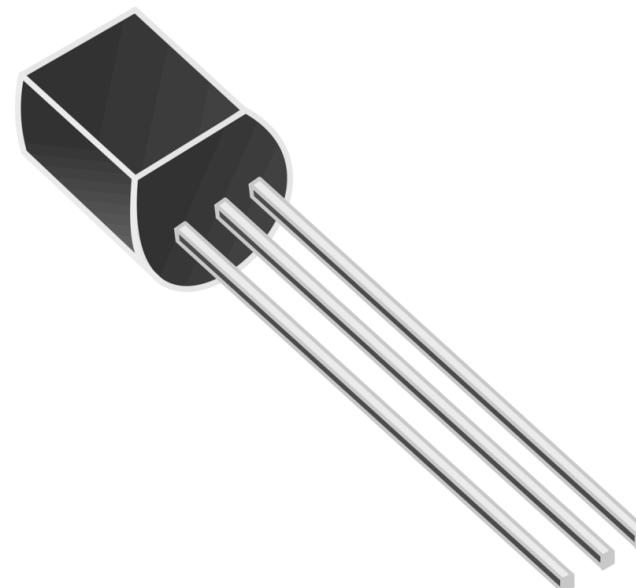
Facultad de Ciencias
Exactas y Tecnologías

Santiago del Estero, 19 de mayo del 2025

Ingeniería eléctrica

TP N° 6: Amplificador en cascada

Electronica II



DOCENTES:

- Ing. Mario Gomez
- Ing. Lucas Moscatelli

ALUMNO

- Chevauchey Clément

ÍNDICE

Objetivos	3
Introducción	3
Amplificadores en cascada	3
Materiales usados	3
Desarrollo	4
Elección de transistores:	4
Etapa 1: Primer amplificador emisor común (EC1)	5
Etapa 2: Segundo amplificador emisor común (EC2)	6
Etapa 3: Amplificador en cascada (EC1 + EC2)	8
Desarrollo en laboratorio	9
Simulación del circuito	9
Análisis de frecuencia	9
Conclusion	11
Referencias	12

Objetivos

- Diseña un amplificador en cascada cuya ganancia sea de 250.
- Cumplir con una impedancia de salida de $10\text{ k}\Omega$ y buena estabilidad.

Introducción

Amplificadores en cascada

Un **amplificador en cascada** es un sistema compuesto por **dos o más etapas amplificadoras conectadas en serie**, donde la salida de una etapa alimenta la entrada de la siguiente. Esta arquitectura se utiliza cuando una sola etapa no puede proporcionar el nivel de ganancia, impedancia o ancho de banda requerido.

El principal objetivo de un diseño en cascada es **aumentar la ganancia total** sin sacrificar estabilidad ni distorsionar la señal. Matemáticamente, si se tienen dos etapas, la ganancia total del sistema es:

$$A_{Total} = A_1 \cdot A_2$$

Los amplificadores en cascada son fundamentales en aplicaciones como audio, instrumentación, telecomunicaciones y electrónica analógica en general, donde se requiere precisión, ganancia elevada y control de impedancias.

Materiales usados

- Frecuencímetro
 - Corriente alterna
 - Frecuencia variable
- Osciloscopio Rigol DS1052t
 - 2 canales
 - 50 MHz
- Protoboard
- Fuente de tensión
 - Corriente continua
- Transistor BJT 337
- Capacitores
 - $2.2\text{ }\mu\text{F}$ (Entrada)
 - $10\text{ }\mu\text{F}$ (Salida)
 - $100\text{ }\mu\text{F}$ (Bypass)
- Resistencias:
 - $2.2\text{ k}\Omega$, $560\text{ }\Omega$, $180\text{ }\Omega$,
 $47\text{ k}\Omega$, $8.2\text{ k}\Omega$
 - $3.3\text{ k}\Omega$, $470\text{ }\Omega$, $220\text{ }\Omega$,
 $47\text{ k}\Omega$, $6.2\text{ k}\Omega$

Desarrollo

Elección de transistores:

Configuración	Ganancia total	Impedancia de salida	Función
EC + EC	Alta	Alta ($\approx RC$)	Salida a otra etapa
EC + CC (seguidor)	Moderada–alta	Baja	Acoplar Cargas resistivas

Cada etapa se puede optimizar para una función específica:

- Una **etapa emisora común** que proporciona alta ganancia de tensión.
- Una **etapa colector común** que ofrece baja impedancia de salida, ideal para acoplar con cargas.

Al combinar ambas etapas, se logra una **alta ganancia** y una **buenas adaptación de impedancias**, y mejora la integridad de la señal.

Se debe tener en cuenta:

- La correcta **polarización** de cada transistor en región activa.
- El **acoplamiento por capacitores**, que bloquea componentes DC entre etapas.
- El **ancho de banda** depende de RC y de las capacitancias parásitas.

Especificaciones del enunciado

- Ganancia total deseada: $A_V = 250V$
- Impedancia de salida: $R_{Out} = 10 K\Omega$
- Tensión térmica: $V_T = 26mV$
- Tensión de entrada: $V_i = 200mV$
- Se asume $\beta = 170$

Problema: El Colector común no permite tener ganancia para acoplar con la primera etapa de Emisor común, y no se podrá alcanzar 250 de ganancia con una sola etapa de amplificación → Se decide tener dos etapas con Emisor común.

Etapa 1: Primer amplificador emisor común (EC1)

Se eligen los parámetros siguientes:

- Ganancia deseada de $A_{V1} = -25$
- Corriente de colector $I_C = 1 \text{ mA}$

Resistencia del emisor (sin bypass)

Como el EC es nuestra primera etapa del amplificador y solo se busca una ganancia de 25, se decide no usar bypass a fin de tener menos distorsión y mayor estabilidad térmica.

$$R_E = \frac{V_E}{I_E} = \frac{0,1V}{1mA} = 100\Omega \rightarrow \text{Se elige el valor comercial } \mathbf{100 \Omega}$$

Tensión en base

Se elige $V_E = 0,1V$ para alcanzar una amplificación alta.

$$V_B = V_E + V_{BE} = 0,1 + 0,7 = 0,8V$$

Resistencia interna del emisor

$$r_e = \frac{V_T}{I_E} = \frac{26mV}{1mA} = 26 \Omega$$

Resistencia de colector

Para asegurar que el punto Q esté en la región activa, se ubica idealmente en el centro de la recta de carga:

$$A_V = -\frac{R_C}{r_e + R_E} \rightarrow R_C = A_V \cdot (r_e + R_E) = 3,15K\Omega \rightarrow \text{Se elige el valor comercial } \mathbf{3,3 K\Omega}$$

Verificación del punto Q

$$V_{RC} = R_C \cdot I_C = 3,3K\Omega \cdot 1mA = 3,3V$$

$$V_{RE} = R_E \cdot I_E = 100\Omega \cdot 1mA = 1V$$

$$V_{CE} = V_{CC} - V_{RC} - V_{RE} = 10,7V$$

Tenemos: $\frac{V_{CC}}{2} = 7,5 \rightarrow$ El punto Q queda por encima, asegurando región activa.

Divisor de tensión R1 y R2:

$$I_B = \frac{I_C}{\beta} = \frac{1mA}{170} = 5,88\mu A \rightarrow I_{R1R2} = 10 \cdot 5,88\mu A = 58,8\mu A$$

$$R_2 = \frac{V_B}{I_{R1R2}} = \frac{0,8V}{58,8\mu A} = 13,6 K\Omega \rightarrow \text{Se decide usar } 15 \text{ k}\Omega \text{ comercial}$$

$$R_1 = \frac{V_{CC}-V_B}{I_{R1R2}} = \frac{15V-0,8V}{58,8\mu A} = 241,4 K\Omega \rightarrow \text{Se puede usar } 240 \text{ k}\Omega \text{ comercial}$$

Etapa 2: Segundo amplificador emisor común (EC2)

Se eligen los parámetros siguientes:

- Ganancia deseada de $A_{V1} = -10$
- Corriente de colector $I_C = 1 mA$

Resistencia interna del emisor

$$r_e = \frac{V_T}{I_E} = \frac{26mV}{1mA} = 26 \Omega$$

Resistencia de colector

Para asegurar que el punto Q esté en la región activa, se ubica idealmente en el centro de la recta de carga:

$$A_V = -\frac{R_C}{r_e + R_E} \rightarrow R_C = A_V \cdot (r_e) = 260\Omega \rightarrow \text{Se elige el valor comercial } 270 \Omega$$

Aquí $R_E = 0$ porque se usará un **bypass completo**

Resistencia del emisor

Aquí se $V_E = 0,1V$ para alcanzar una mayor estabilidad y una menor amplificación.

$$R_E = \frac{V_E}{I_E} = \frac{1V}{1mA} = 1000\Omega \rightarrow \text{Se elige el valor comercial } 1 \text{ k}\Omega$$

capacitor C_E

Se elige $f_{min} = 20 \text{ Hz}$ y se busca una impedancia máxima de $\frac{R_E}{100} = 100 \Omega$

$$C_E = \frac{1}{2\pi \cdot 20 \cdot 100\Omega} = 25 \mu F \rightarrow \text{Se puede usar un capacitor de } 79,6 \mu F$$

→ Se elige el valor comercial **100 μF**

Tensión en base

$$V_B = V_E + V_{BE} = 1 + 0,7 = 1,7V$$

Verificación del punto Q

$$V_{RC} = R_C \cdot I_C = 270\Omega \cdot 1mA = 0,27V$$

$$V_{RE} = R_E \cdot I_E = 1K\Omega \cdot 1mA = 1V$$

$$V_{CE} = V_{CC} - V_{RC} - V_{RE} = 13,73V$$

Tenemos: $\frac{V_{CC}}{2} = 7,5 \rightarrow$ Aunque el punto no está centrado, sigue en región activa con amplio margen.

Divisor de tensión R1 y R2:

$$I_B = \frac{I_C}{\beta} = \frac{1mA}{170} = 5,88\mu A \rightarrow I_{R1R2} = 10 \cdot 5,88\mu A = 58,8\mu A$$

$$R_2 = \frac{V_B}{I_{R1R2}} = \frac{1,7V}{58,8\mu A} = 28,9 K\Omega \rightarrow \text{Se decide usar } 27 \text{ k}\Omega \text{ comercial}$$

$$R_1 = \frac{V_{CC} - V_B}{I_{R1R2}} = \frac{15V - 1,7V}{58,8\mu A} = 226,1 K\Omega \rightarrow \text{Se puede usar } 220 \text{ k}\Omega \text{ comercial}$$

Etapa 3: Amplificador en cascada (EC1 + EC2)

Ganancias totales combinadas

Recalculando las ganancias con los valores de resistencias comerciales se obtiene:

$$A_{V1} = -26,19$$

$$A_{V2} = -10,38$$

$$A_V = (-26,19) \cdot (-10,38) = 271,98$$

Cálculo de los capacitores de entrada y salida

Se elige $f_{min} = 20 \text{ Hz}$

$$R_{div} = \frac{240K \cdot 15K}{240K + 15K} = 14,1K\Omega$$

$$C_i = \frac{1}{2\pi \cdot 20 \cdot 14,1K\Omega} = 0,56 \mu F \rightarrow \text{Se puede usar un capacitor de } 1 \mu F$$

→ Se considera una carga de salida de $10K\Omega$

$$C_{out} = \frac{1}{2\pi \cdot 20 \cdot 10K\Omega} = 0,8 \mu F \rightarrow \text{Se puede usar un capacitor de } 10 \mu F, \text{ se elige más grande para permitir las frecuencias bajas no tener tanta distorsión.}$$

Capacitor de acoplamiento

→ Es necesario para que la polarización de las dos etapas no se afecten entre sí.

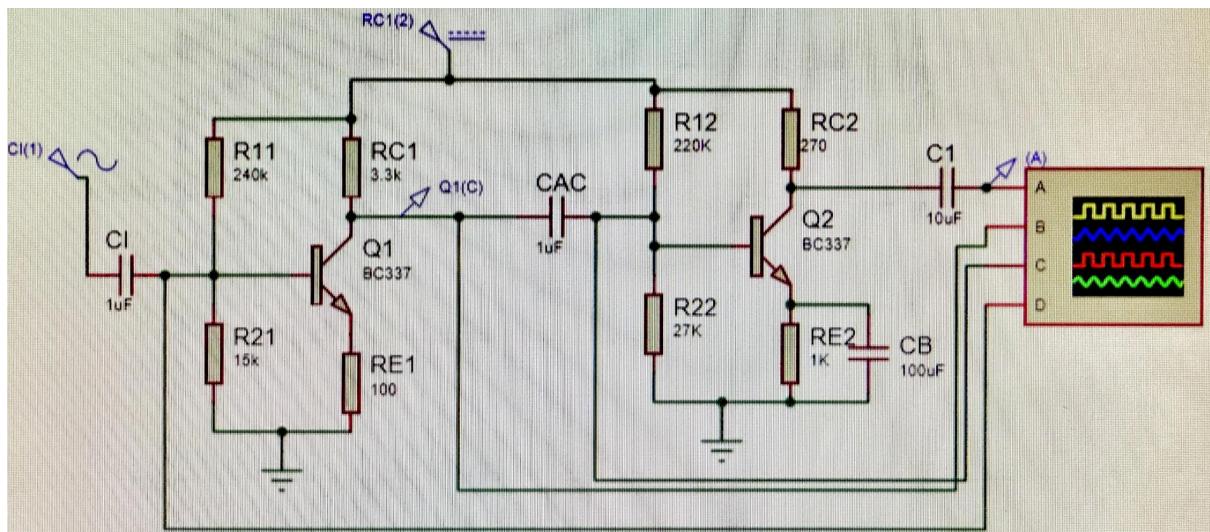
$$R_{div} = \frac{220K \cdot 27K}{220K + 27K} = 24,1K\Omega$$

$$C_{ac} = \frac{1}{2\pi \cdot 20 \cdot 24,1K\Omega} = 0,33 \mu F \rightarrow \text{Se puede usar un capacitor de } 1 \mu F$$

Desarrollo en laboratorio

Simulación del circuito

Se colocaron primero las dos etapas por separado los cuales se juntaron mediante el capacitor de acoplamiento. Se conectaron los capacitores de entrada y salida según los cálculos.



Se hizo variar la frecuencia de frecuencímetro desde 20 Hz hasta 3,2 MHz obteniendo los resultados siguientes:

Se midieron las señales en los siguientes puntos:

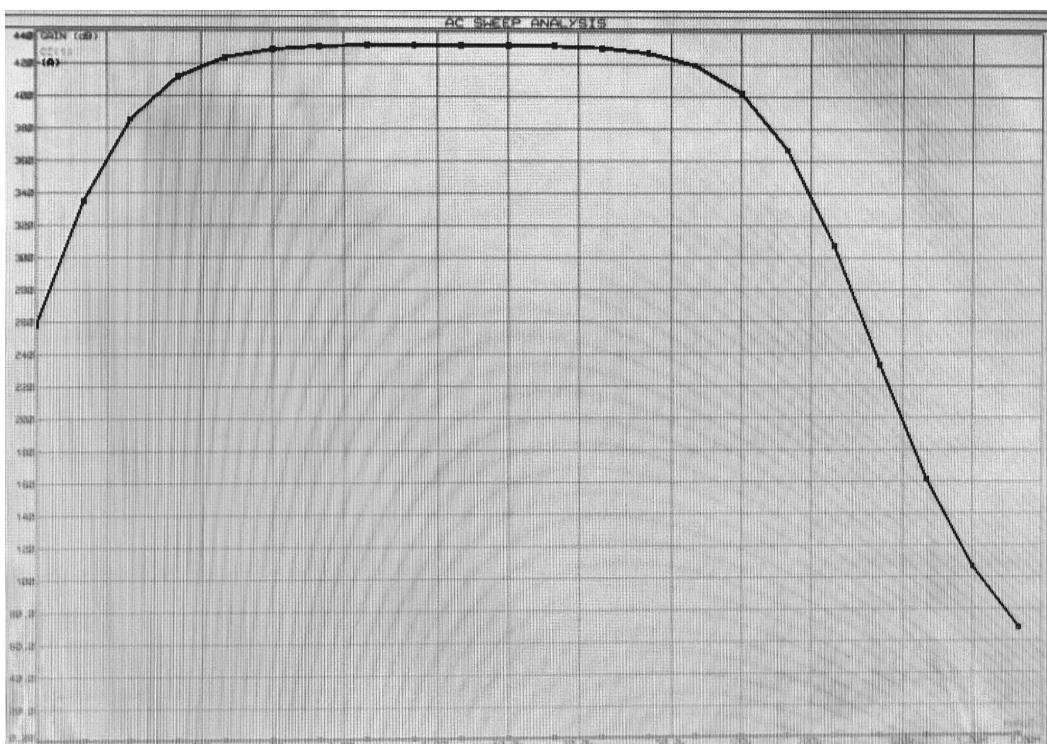
- A (entrada): señal senoidal pura
- B (colector de Q1): señal invertida respecto a entrada (confirmando ganancia negativa en etapa 1)
- C (base de Q2): señal senoidal superpuesta a polarización DC
- D (salida): señal en fase con entrada, amplificada

Esto confirma:

- Las dos etapas funcionan correctamente
- Hay doble inversión de fase → salida en fase con entrada
- Polarización adecuada en ambas etapas
- Acoplamiento correcto con CAC (capacitor interetapa)

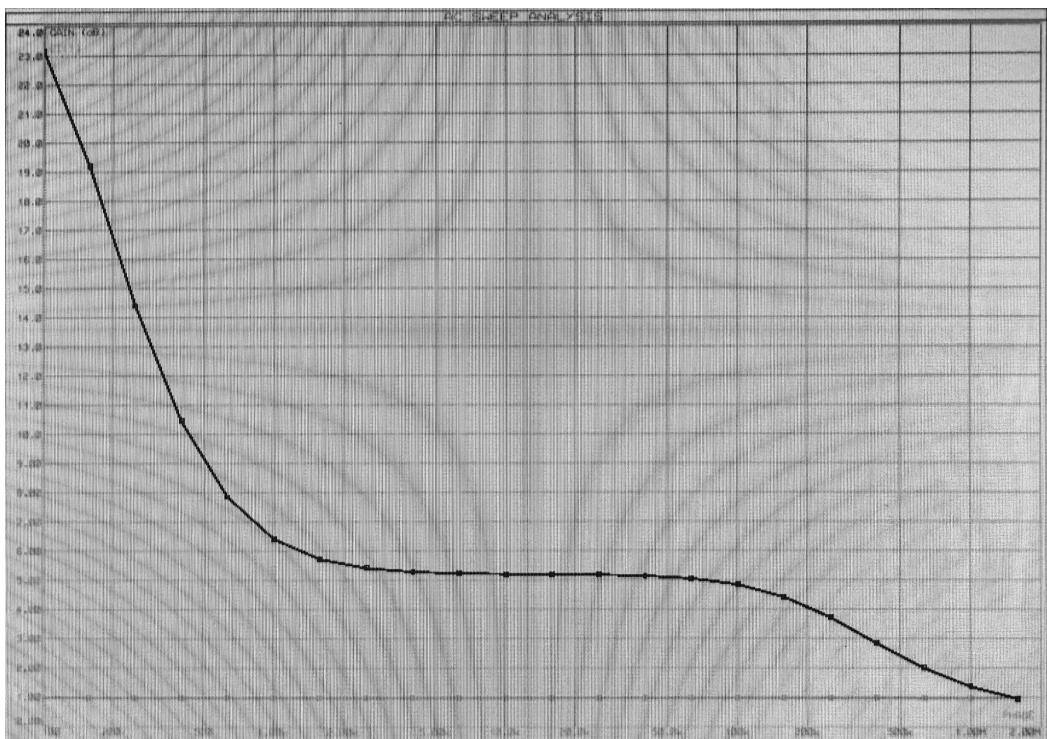
Análisis de frecuencia

Se realizó un barrido de frecuencia con análisis AC, obteniendo la siguiente respuesta:



↑ Imagen 2¹

Imagen 1² ↓



¹ Labcenter Electronics. (2024). *Proteus Design Suite 8.15* [Software de simulación electrónica]. <https://www.labcenter.com>

² Labcenter Electronics. (2024). *Proteus Design Suite 8.15* [Software de simulación electrónica]. <https://www.labcenter.com>

Conclusion

Se logró diseñar y simular un **amplificador en cascada** compuesto por dos etapas en configuración emisor común, alcanzando una ganancia total superior a los **250 requeridos**. El diseño permitió mantener a ambos transistores **polarizados** en la **región activa**, asegurando **estabilidad térmica** y correcta operación.

Durante el análisis de frecuencia, se observó que la primera etapa proporciona una ganancia lineal inicial de aproximadamente **24**, la cual decrece suavemente hasta **18,5** en frecuencias del orden de los **200 kHz**. Al conectar ambas etapas mediante un capacitor de acoplamiento, la ganancia total se estabilizó entre **260 y 430**, evidenciando el refuerzo aportado por la segunda etapa.

Se comprobó la **inversión de fase** esperada entre etapas, y se verificó que la señal de salida mantiene la fase respecto a la entrada, como resultado de **dos inversiones consecutivas**.

En conjunto, el diseño cumple con los **requisitos** del enunciado, tanto en **ganancia** como en **impedancia de salida**, y demuestra el **correcto funcionamiento** del sistema en simulación. El montaje propuesto puede ser replicado en laboratorio con los **valores comerciales** indicados.

Referencias

Labcenter Electronics. (2024). *Proteus Design Suite 8.15* [Software de simulación electrónica]. <https://www.labcenter.com>

Floyd, T. L. (2012). *Principios de circuitos eléctricos* (9.^a ed.). Pearson Educación.