

# 北京邮电大学 2017 —— 2018 学年 第二学期

## 《数字电路与逻辑设计》期中考试试题

学院\_\_\_\_\_姓名\_\_\_\_\_班级\_\_\_\_\_班内序号\_\_\_\_\_

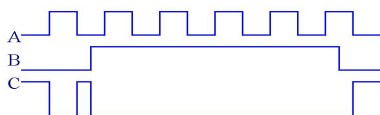
题号	一	二	三	四								总分
				1	2	3	4	5	6	7	8	
满分	12	10	14	8	10	8	8	8	8	8	6	100
得分												
阅卷教师												

所有答案（包括选择题和计算题）一律写在试卷纸上，如果卷面位置不够，请写在试卷的背面，否则不计成绩；

### 一、单项选择题（每题 1 分，共 12 分）（答案填入本题最后的表格中）

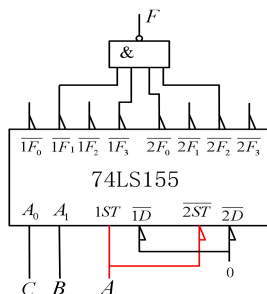
- E 为逻辑变量，2 个 E 进行与运算，其结果为 D。  
A)  $E^2$       B) 1      C) 0      D) E
- 对于一个逻辑函数，其任意两个最小项的与为 A，所有最大项的与为 A。  
A) 0      B) 1      C) 函数自身      D) 不能确定
- 已知  $F(A, B, C, D, E) = \Sigma_m(2, 3, 4, 7)$ ,  $G(A, B, C, D, E) = \Pi_M(2, 3, 4, 7)$ ，则  $F(A, B, C, D, E)$  和  $G(A, B, C, D, E)$  之间的关系为 B。  
A) 相等      B) 互补      C) 对偶      D) 无关
- 对于功能冒险，在下面几种说法中，只有 D 是正确的。  
A) 只有一个变量发生变化时，会发生功能冒险。  
B) 可以通过增加冗余项的方法，消除功能冒险。  
C) 输入变量发生变化，发生了功能冒险，变化前后的输出逻辑值不同。  
D) 可以通过增加选通脉冲消除功能冒险的影响。
- 函数  $F(A, B, C) = \bar{A}B + BC + A\bar{B}\bar{C}$  的标准与或表达式为 C。

- A)  $\Sigma m(2,3,4)$       B)  $\Sigma m(1,5,6)$       C)  $\Sigma m(2,3,4,7)$       D) 以上都不对
6. TTL 逻辑门电路的输入端悬空, A; CMOS 电路的输入端悬空, C。
- A) 相当于接高电平  
B) 相当于接低电平  
C) 既不能相当于高电平, 也不能相当于低电平
7. D 系数反映了逻辑门的带负载能力, 是指一个逻辑门能够驱动同类型门的个数。
- A) 输入                  B) 输出                  C) 扇入                  D) 扇出
8. 某门电路的实测波形如下图所示, 其中 C 为输出, AB 为输入, 则该门电路是 C。
- A) 与门                  B) 或门                  C) 或非门                  D) 与非门



9. 运用逻辑代数的反演规则, 函数  $F = A[\overline{B} + (\overline{C}D + \overline{E}G)]$  的反函数  $\overline{F} =$  A。
- A)  $\overline{A} + B(C + \overline{D})(E + \overline{G})$       B)  $A + \overline{B}C + \overline{D}E + \overline{G}$       C)  $A + \overline{B}(\overline{C} + D)(\overline{E} + G)$
10. 下图是用双 1 线至 4 线数据分配器 74LS155 实现函数, 则  $F =$  C。

- A)  $\Sigma m(1,3,4)$   
B)  $\Sigma m(1,3,4,6)$   
C)  $\Sigma m(0,2,5,7)$   
D) 以上都不对



题号	1	2	3	4	5	6	7	8	9	10
答案	D	A	A	B	D	C	A	C	D	C

## 二、判断题 (每题 1 分, 共 10 分)

- [√] 1. 连续 20180421 个 1 的异或运算, 结果是 1。
- [√] 2. 已知 01101 为带有校验位的 8421BCD 码, 由此可推出, 该 BCD 码采用奇校验。
- [√] 3. 和 CMOS 电路相比, ECL 电路具有工作速度快的优势。
- [√] 4. 四位超前进位加法器的工作速度比由 4 个全加器组成的串行进位加法器快。
- [×] 5. 若 3-8 译码器 74LS138 的使能端无效, 则全部输出呈高阻。
- [×] 6. 数据分配器是将多路输入信号分配到一路输出中, 具体分配哪一路由地址码来决定。

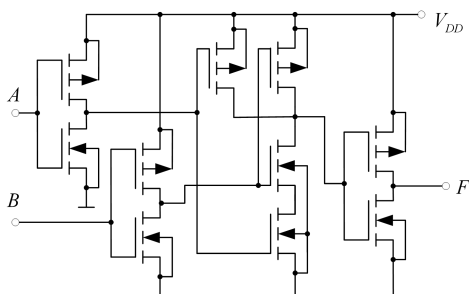
- [√] 7. 在二进制数的补码表示中，零的编码唯一；而在反码表示中，零的编码不唯一。
- [√] 8. ECL 门的输出端可以直接相连，实现“线或”逻辑。
- [√] 9. CMOS 反相器的静态功耗比 TTL 反相器低。
- [√] 10. 优先编码器各个输入信号的优先权是不同的，若几个输入同时有信号到来，输出端给出优先权最高的那个输入所对应的编码。

### 三、填空题（每空 1 分，共 14 分）

1. 二进制数 $(11101.1101)_2$ 表示成八进制数为  $(35.64)_8$ ，表示成十六进制为  $(1D.D)_{16}$ 。
2. 十进制数 $(456)_{10}$ 用 8421BCD 码表示，为  $(010001010110)_{8421BCD}$ 。
3. 已知  $F = A \oplus B$ ，当  $B=1$  时， $F=$   $\bar{A}$ 。
4. 已知  $ABCD$  是逻辑变量， $F = \overline{AB + CD}$ ，则  $F$  的对偶式  $F' =$   $\overline{(A + B)(C + D)}$ 。
5. 已知逻辑函数  $F(A, B, C)$ ，其最小项  $m_3 =$   $\bar{A}BC$ ，最大项  $M_3 =$   $A + \bar{B} + \bar{C}$ 。
6. 表达式  $F(A, B, C, D) = \bar{A}\bar{D} + \bar{A}\bar{B}\bar{C} + ABC + ACD$ ，当变量  $A$  发生变化时，存在偏 1 型逻辑冒险，可以通过增加冗余项  $BC\bar{D}$  消除此冒险。
7. 根据逻辑电路的负载连接情况，负载电流是流入还是流出输出端，可分为 灌电流 负载和 拉电流 负载。
8. 由 TTL 与非门构成的两级逻辑门电路，其前级与非门的输出低电平最大值  $V_{OLMax} = 0.4V$ ，后级与非门的关门电平  $V_{off} = 1V$ ，则低电平噪声容限为 0.6 V；其前级输出高电平的最小值  $V_{OHmin} = 2.7V$ ，后级与非门的开门电平  $V_{on} = 1.8V$ ，则其高电平噪声容限为 0.9 V。

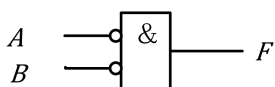
### 四、计算和分析题

1. 某器件的内部电路如下图所示， $A$ 、 $B$  为输入， $F$  为输出。（8 分）
  - (1) 写出  $F$  与输入  $A$ 、 $B$  的逻辑关系表达式。
  - (2) 画出该器件的逻辑符号。

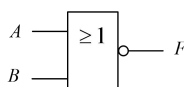


答：1)  $F = \overline{A + B}$  (4 分)

2)



或者是



(4 分)

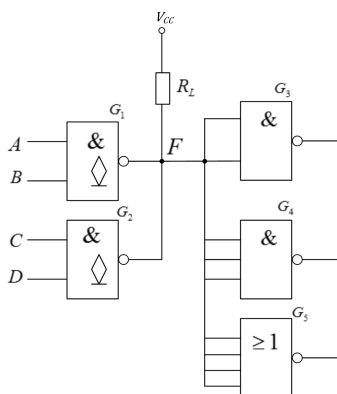
2. TTL 逻辑电路如下图所示，已知 OC 门输出低电平时允许灌入的最大负载电流  $I_{OL}=12\text{mA}$ ，输出高电平时的漏电流  $I_{OH}=200\mu\text{A}$ ；与非门的高电平输入电流  $I_{IH}=50\mu\text{A}$ ，输入短路电流  $I_{IS}=1.4\text{mA}$ ； $V_{CC}=5\text{V}$ ， $R_L=1\text{k}\Omega$ 。请回答以下问题： (10 分)

(1) OC 门的输出高电平为多少？

(2) 为保证 OC 门输出低电平不大于  $0.35\text{V}$ ，F 点最多可以再接几个 TTL 反相器？

(3) 为保证 OC 门的输出高电平不低于  $3\text{V}$ ，F 点最多可以再接几个 TTL 反相器？

(4) 正常使用时，写出第一级输出  $F$  和输入变量  $A$ 、 $B$ 、 $C$ 、 $D$  之间的逻辑关系表达式。



答：1) 高电平时电阻上的电压降为  $(2 \times 0.2 + 9 \times 0.05) \times 1 = 0.85V$ ，此时输出高电平为  $5 - 0.85 = 4.15V$ 。（2分）

2)  $(5 - 0.35) / 1 + 1.4 \times n = 12 \times 1$ ，解得  $n = 5.25$ ，取 5 个（2分）。可以再接零个 TTL 反相器（1分）。

3)  $((5 - 3) / 1 - 2 \times 0.2) / 0.05 = 32$  个（2分）。可以再接 23 个 TTL 反相器（1分）。

4)  $F = \overline{AB} \cdot \overline{CD}$  （2分）

如果  $G_5$  减少一个输入端子

答：1) 高电平时电阻上的电压降为  $(2 \times 0.2 + 8 \times 0.05) \times 1 = 0.8V$ ，此时输出高电平为  $5 - 0.8 = 4.2V$ 。（2分）

2)  $(5 - 0.35) / 1 + 1.4 \times n = 12 \times 1$ ，解得  $n = 5.25$ ，取 5 个（2分）。可以再接零个 TTL 反相器（1分）。

3)  $((5 - 3) / 1 - 2 \times 0.2) / 0.05 = 32$  个（2分）。可以再接 24 个 TTL 反相器（1分）。

4)  $F = \overline{AB} \cdot \overline{CD}$  （2分）

3. 按要求化简逻辑函数 (8分)

(1) 化简函数  $F = AB + \overline{AC} + \overline{BC} + \overline{BD} + \overline{BC} + ADEF + ADEG$  为最简与或式。

答：  $F = \overline{ABC} + \overline{BC} + \overline{BD} + \overline{BC} + ADEF + ADEG$  （2分）

$= A + \overline{BC} + \overline{BD} + \overline{BC} + ADEF + ADEG = A + \overline{BC} + \overline{BD} + \overline{BC}$  （2分）

(2) 化简函数  $F(A, B, C, D) = \Sigma_m(0, 2, 3, 5, 7, 8, 10, 11, 13, 15)$  为最简或与式。

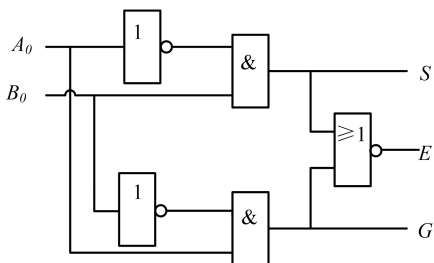
$\begin{smallmatrix} AB \\ \diagdown CD \end{smallmatrix}$	00	01	11	10
00				
01				
11				
10				

AB					
CD		00	01	11	10
0	00	1	0	0	1
	01	0	1	1	0
	11	1	1	1	1
	10	1	0	0	1

(2 分)

$$F(A, B, C, D) = (\bar{B} + D)(B + C + \bar{D}) \quad (2 \text{ 分})$$

4. 逻辑电路如下图所示，其输入变量为  $A_0$ 、 $B_0$ ，输出函数为  $S$ 、 $E$ 、 $G$ 。写出  $S$ 、 $E$ 、 $G$  的逻辑表达式并简化为最简与或式，并说明该电路的逻辑功能。(8 分)



答：  $S = \bar{A}_0 B_0$  (1 分) ,  $E = \overline{\bar{A}_0 B_0 + A_0 \bar{B}_0} = \bar{A}_0 \bar{B}_0 + A_0 B_0$  (2 分) ,  $G = A_0 \bar{B}_0$  (1 分)

逻辑功能：为一位二进制数比较器 (1 分)， $S$ 、 $E$ 、 $G$  分别输出小于、等于、大于的结果 (3 分)。

5. 只用一个与或非门设计一个 8421BCD 码的四舍五入电路(输出用 1 表示舍去)。(8 分)

(1) 将真值表补充完整

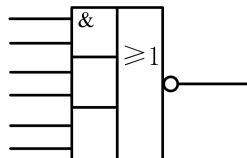
A B C D	F	A B C D	F
0 0 0 0		1 0 0 0	
0 0 0 1		1 0 0 1	
0 0 1 0		1 0 1 0	
0 0 1 1		1 0 1 1	

0 1 0 0		1 1 0 0	
0 1 0 1		1 1 0 1	
0 1 1 0		1 1 1 0	
0 1 1 1		1 1 1 1	

(2) 填写卡诺图并求出最简与或非式

$\begin{matrix} AB \\ \backslash CD \end{matrix}$	00	01	11	10
00				
01				
11				
10				

(3) 画出该电路



答：(1) 将真值表补充完整

A B C D	F	A B C D	F
0 0 0 0	1	1 0 0 0	0
0 0 0 1	1	1 0 0 1	0
0 0 1 0	1	1 0 1 0	×
0 0 1 1	1	1 0 1 1	×
0 1 0 0	1	1 1 0 0	×
0 1 0 1	0	1 1 0 1	×
0 1 1 0	0	1 1 1 0	×
0 1 1 1	0	1 1 1 1	×

(2分)

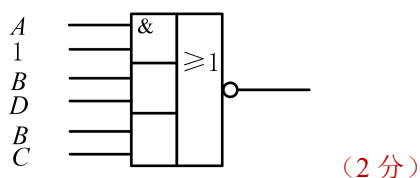
(2) 填写卡诺图并求出最简与或非式

$AB \backslash CD$	00	01	11	10
00	1	1	×	0
01	1	0	×	0
11	1	0	×	×
10	1	0	×	×

(2 分)

$$F = \overline{A + BD + BC} \quad (2 \text{ 分})$$

(3)

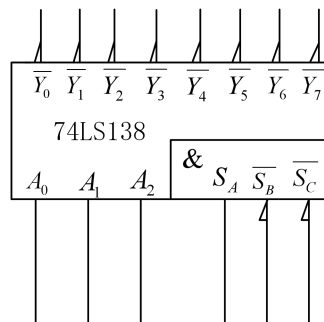


6. 试用一片 3-8 译码器 74LS138 和一个与非门设计一个奇偶校验电路, 输入数据为三位二进制数  $A_2A_1A_0$ , 当输入数据为奇数个 1 时, 输出为 1, 否则输出为 0, 要求电路最简。请做出真值表, 并直接在下面的电路上实现。(8 分)

表 7-1 译码器 74LS138 的功能表

$S_A$	$\overline{S_B} + \overline{S_C}$	$A_2$	$A_1$	$A_0$	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
0	x	x	x	x	1	1	1	1	1	1	1	1
x	1	x	x	x	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1	1	1
1	0	1	0	0	1	1	1	0	1	1	1	1
1	0	1	0	1	1	1	1	0	1	1	1	1
1	0	1	1	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	1	1	0	1	1



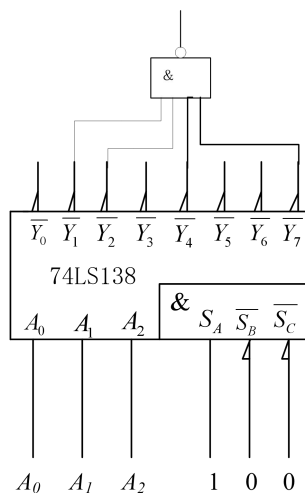


答：真值表如下

$A_2A_1A_0$	$F$
0 0 0	0
0 0 1	1
0 1 0	1
0 1 1	0
1 0 0	1
1 0 1	0
1 1 0	0
1 1 1	1

(3 分)

实现的电路如下图所示

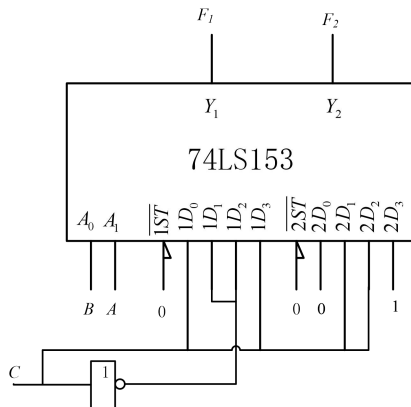


(5 分。10 根接线，每根半分)

7. 双四选一数据选择器 74LS153 的功能表如表 6-2 所示。用该集成电路构成的组合逻辑电路如图 6-1 所示，输入变量为  $A$ 、 $B$ 、 $C$ ，输出逻辑函数为  $F_1$ 、 $F_2$ 。写出  $F_1$  和  $F_2$  的最简与或式，并分析该电路的逻辑功能。(8 分)

表 7-2 74LS153 功能表

$\overline{ST}$	$A_1$	$A_0$	$D_3-D_0$	$Y$
1	×	×	×	0
0	0	0	$D_3-D_0$	$D_0$
0	0	1	$D_3-D_0$	$D_1$
0	1	0	$D_3-D_0$	$D_2$
0	1	1	$D_3-D_0$	$D_3$



答:  $F_1 = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC$  (2分)

$F_2 = \overline{A}BC + A\overline{B}C + AB\overline{C} + ABC$  (2分)

全加器 (4分)

8. 用FPGA实现某电路的Verilog代码如下，按要求回答问题。(6分)

(1) 画出该电路的门级逻辑电路图。

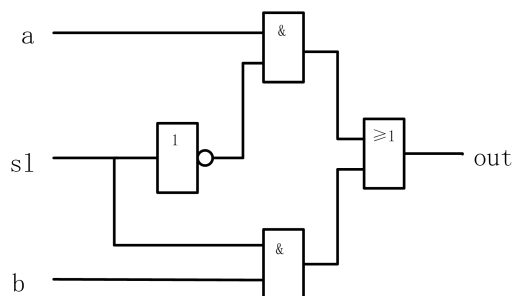
(2) 说明该电路的逻辑功能。

```

module muxtwo (out, a, b, sl)
    input a, b, sl;
    output out;
    wire nsl, sela, selb;
    assign nsl=~sl;
    assign sela=a&nsl;
    assign selb=b&sl;
    assign out=sela|selb;
endmodule

```

答:



(3 分)

二选一数据选择器（多路选择器） (3 分)