

北 京 邮 电 大 学

实 验 报 告

课程名称 数字逻辑与数字电路实验

实验名称 触发器&简单时序电路

计算机学院 20232113XX 班 姓名 Yokumi

教师 李晶 成绩

2024 年 10 月 28 日

实验三 触发器

一、实验目的

- ① 掌握 RS 触发器、D 触发器、JK 触发器的工作原理；
- ② 学会正确使用 RS 触发器、D 触发器、JK 触发器。

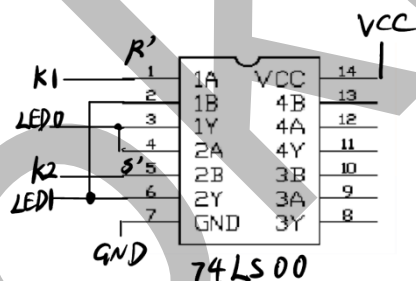
二、实验器件和设备

- TEC8 数字电路实验系统
- TBS1102B-EDU 双踪示波器
- 四 2 输入与非门 74LS00
- 双 D 触发器 74LS74
- 双 JK 触发器 74LS107

三、实验过程及结果

任务一：用 74LS00 构成一个 RS 触发器并测试其功能；

1. 实验电路图



2. 实验结果及分析

拨动开关，按照如下顺序改变R、S的电平，观察并记录Q和 \bar{Q} 的值，得到结果如下：

输入		输出	
\bar{S}	\bar{R}	Q	\bar{Q}
1(K1)	5(K2)	3(LED0)	6(LED1)
0	1	1	0
1	1	1(Q^n)	0(\bar{Q}^n)
1	0	0	1
1	1	0(Q^n)	1(\bar{Q}^n)
0	0	1(不定)	1(不定)

其中 LED 灯亮表示输出高电平。根据实验结果可以得到，当 $S = 0$ 时（上划线不是非号，代表低有效）， $R = 1$ 时，即输入 S 单独有效时， $Q = 1$ ， $\bar{Q} = 0$ ，两者互补；当 $R = 0$ 时， $S = 1$ 时，即输入 R 单独有效时， $Q = 0$ ， $\bar{Q} = 1$ ，两者仍互补；当两者同时为 1 时，输出保持之前的状态；当两者同时为 0 时，两者都为 1，不满足互补，处于不定状态。

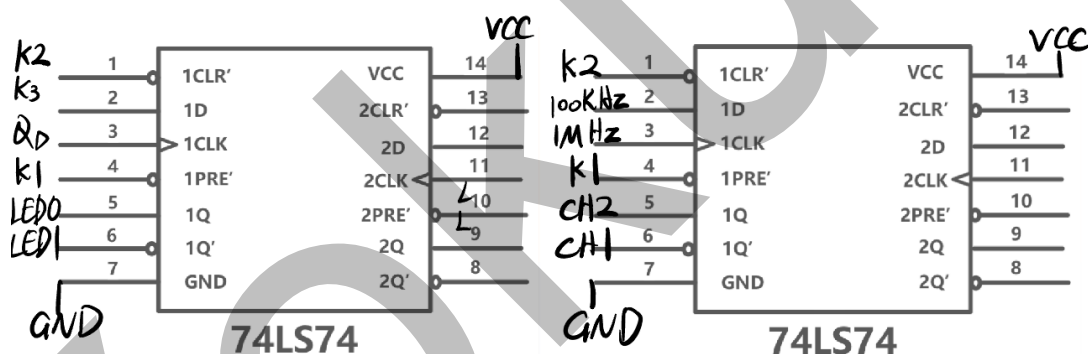
实验结果与 RS 触发器的状态方程 $Q^{n+1} = \bar{S} + RQ^n$ 相符合。S 的功能是置位端，R 的功能是置 0 端，都为低有效。实际情况中两者应避免同时有效。

3. 遇到的问题及解决方案、值得注意和思考的问题等

对于不定状态的理解，实验中， $R = S = 1$ 时，根据逻辑关系，输出均为 1，输出确定，但并不满足互补关系。但当 RS 同时由 1 变 0 时，根据逻辑关系可知，输出会不断在 0、1 间变化，出现不定状态。所以，实验中应避免出现这种状态。

任务二：双 D 触发器 74LS74 中一个 D 触发器的功能测试；

1. 实验电路图



2. 实验结果及分析

1) 拨动开关，改变 CLR'、PRE' 的电平，观测并记录 Q 和 \bar{Q} 的值，得到结果如下：

输入		输出	
PRE'	CLR'	Q	\bar{Q}
4(K1)	1(K2)	5(LED0)	6(LED1)
0	0	1(不定)	1(不定)
0	1	1	0
1	0	0	1
1	1	0	1

其中 LED 灯亮表示输出高电平。由实验结果可得：

当 $\text{CLR}' = 0$ 且 $\text{PRE}' = 1$ ，即仅 CLR' 有效时，无论 D 的输入，输出 Q 均为 0，即 CLR' 的作用是异步置 0 端；

当 $\text{CLR}' = 1$ 且 $\text{PRE}' = 0$ ，即仅 PRE' 有效时，无论 D 的输入，输出 Q 均为 1，即 PRE' 的作用是异步置位端；

当 $\text{CLR}' = \text{PRE}' = 1$ 时，D 触发器正常工作；

当 $\text{CLR}' = \text{PRE}' = 0$ 时，输出 Q 处于不定状态。实际中应避免出现两者同时有效。

2) 置 CLR' 、 PRE' 引脚为高电平，D(数据)引脚接电平开关，CLK(时钟)引脚接单脉冲；在 D 为高、低电平的情况下，分别接单脉冲按钮，观察并记录 Q 和 \bar{Q} 的值，得到结果如下：

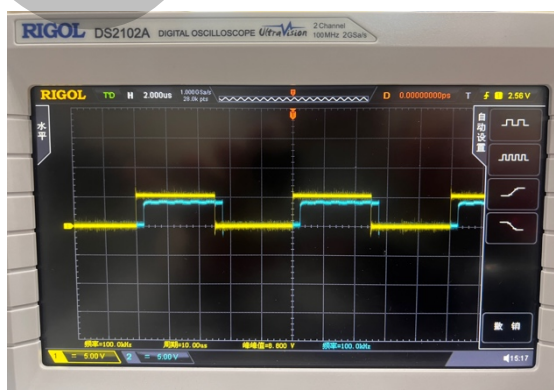
输入				输出	
PRE'	CLR'	CLK	D	Q	\bar{Q}
4(K1)	1(K2)	3(Q _D)	2(K3)	5(LED0)	6(LED1)
1	1	↑	1	1	0
1	1	↑	0	0	1
1	1	X	X	Q^n	\bar{Q}^n

当 D 触发器正常工作时，单脉冲发送上升沿信号到达 CLK 时：

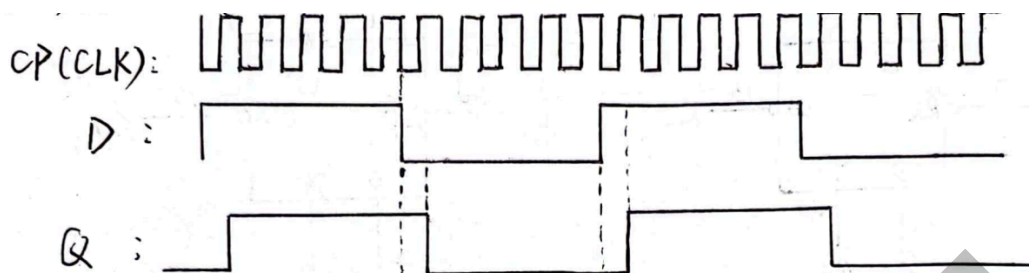
D = 0 时，Q = 0；D = 1 时，Q = 1；无脉冲信号时，Q 维持之前的状态不变。

实验结果与 D 触发器的状态方程 $Q^{n+1} = D$ 相符合，且为上升沿有效，验证了理论情况。

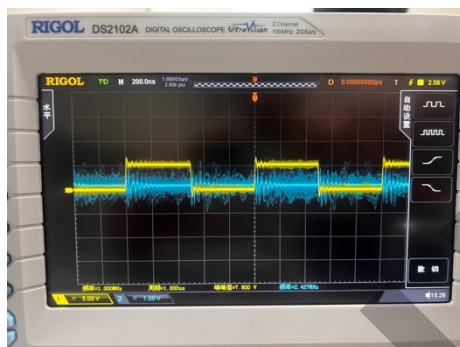
3) D 引脚接 100KHz 脉冲源，CLK 引脚接 1MHz 脉冲源，用示波器同时观测 D 端和 CLK 端，记录波形；同时观测 D 端，Q 端，记录波形，得到结果如下：



得到的 Q 的输出波形频率为 100KHz，与 D 一致，但观察可得存在延迟，画出三者的波形关系如下，原因分析见第三部分：



4) 交换时钟频率和输入数据的频率，观察此时的输出 Q，得到结果如下，原因分析也见第三部分：



3. 遇到的问题及解决方案、值得注意和思考的问题等

实验二第(3)步中，从波形图可以看出，两者频率一致，这是因为时钟频率高于输入 D 频率，每次上升沿到来时，Q 与输入 D 信号一致，其他时刻 Q 保持之前的状态，所以 Q 和 D 的频率自然一样。但它们之间出现了延迟。原因分析如下：

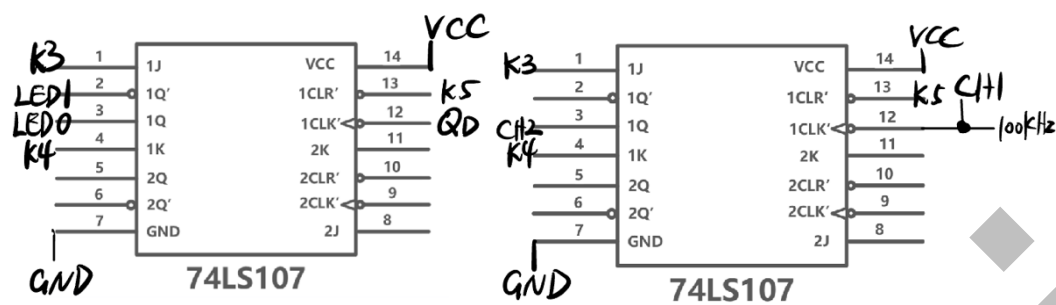
1. 74LS74 芯片内部的逻辑门的门延迟导致输入 D 端信号到达 Q 端存在一定的传播延迟；
2. 触发器内部的反馈电路延迟；
3. D 端的输入信号被时钟信号的上升沿采集还需要经过两个与非门的延迟时间，导致输出 Q 与直接被示波器策略的输入信号之间存在延迟。

思考？ 关于交换时钟频率和输入数据的频率出现上述现象的原因分析如下：

两者交换后，时钟频率小于输入 D 的频率。而对于 D 触发器，D 端的输入信号被时钟信号的上升沿采集还需要经过两个与非门的延迟时间；同样，时钟上升沿到来时，封锁与非门也需要经过反馈电路，需要一定时间。这分别就是建立时间和到达时间。而此时，输入 D 的频率较高，不满足建立和保持时间，使得触发器进入亚稳态，即在 0~1 时间不定变化，即上图所示现象。

任务三：双 JK 触发器 74LS107 的一个 JK 触发器的功能测试；

1. 实验电路图



2. 实验结果及分析

1) 拨动开关，改变 CLR' 的电平，观测并记录 Q 和 \bar{Q} 的值，得到结果如下：

输入	输出	
CLR'	Q	\bar{Q}
13(K5)	3(LED0)	2(LED1)
0	0	1

其中 LED 灯亮表示输出高电平。由实验结果可得可得当 $\text{CLR}' = 0$ ，即 CLR 输入有效时，无论 J、K、CLK 的输入，输出 Q 均为 0，即 CLR' 的作用是异步置 0 端，与实际一致。

2) 在 J、K 为高、低电平的情况下，分别按单脉冲按钮，观测并记录 Q 和 \bar{Q} 的值，得到结果如下：

输入				输出	
CLR'	J	K	CLK	Q	\bar{Q}
13(K5)	1(K3)	4(K4)	12(Q _D)	3(LED0)	2(LED1)
1	1	0	↓	1	0
1	0	0	↓	1(Q^n)	0(\bar{Q}^n)
1	0	1	↓	0	1
1	1	1	↓	1(\bar{Q}^n)	0(Q^n)
1	X	X	X	1(Q^n)	0(\bar{Q}^n)

其中 LED 灯亮表示输出高电平。由实验结果可得，当异步置 0 端 CLR 无效时，JK 触发器正常工作，当单脉冲的下降沿到来时：

$J = K = 0$ 时， $Q^{n+1} = Q^n$ ，实现保持功能；

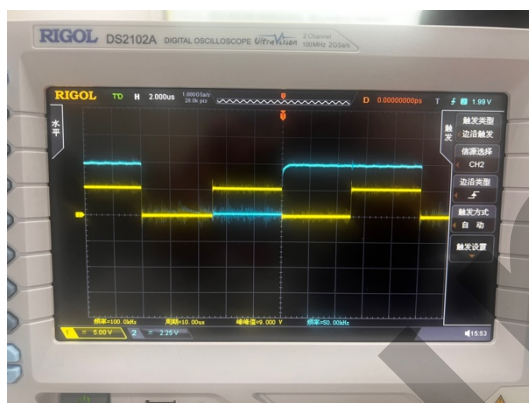
$J = 1, K = 0$ 时， $Q^{n+1} = 1$ ，实现置 1 功能；

$J = 0, K = 1$ 时, $Q^{n+1} = 0$, 实现置 0 功能;

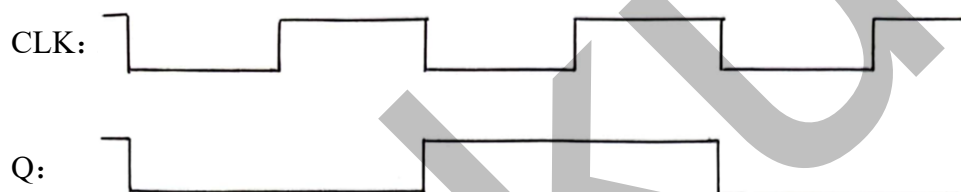
$J = K = 1$ 时, $Q^{n+1} = \overline{Q^n}$, 实现翻转功能;

实验结果与 JK 触发器的状态方程 $Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n$ 相符合, 且为下降沿有效。验证了理论情况。

3) J、K 引脚电平开关置为 1, CLK 接 100KHz 脉冲源, 用示波器同时观测 CLK 端和 Q 端, 记录波形, 得到结果如下:



画出波形图如下: (CLK 频率为 100KHz, 输出 Q 频率为 50KHz)



原因分析见第三部分。

3. 遇到的问题及解决方案、值得注意和思考的问题等

$J = K = 1$ 时, JK 触发器的功能是翻转。且该触发器为下降沿有效, 当 100KHz 的时钟信号的下降沿到来时, 输出 Q 翻转一次, 而输出 Q 的翻转两次为一个周期, 时钟信号两个下降沿到来是两个周期。所以频率关系为 $f_{\text{输出}Q} = \frac{1}{2}f_{\text{时钟信号}}$, 即实现了二分频。

四、实验总结

通过实验三, 让我进一步熟悉了三种触发器的工作原理、真值表等, 为数字逻辑理论及实验课程之后的时序电路部分打下了基础。

实验四 简单时序电路

一、实验目的

- ① 掌握简单时序电路的分析、设计和测试方法；
- ② 掌握计数器 74LS162 的功能；
- ③ 掌握任意模计数器的构成方法；

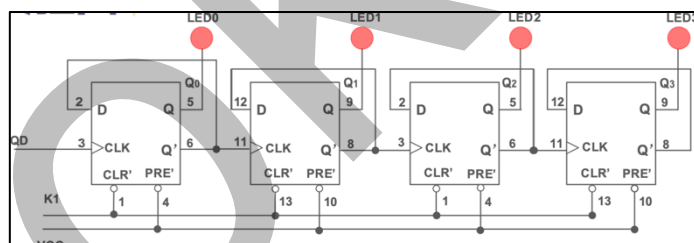
二、实验器件和设备

- TEC8 数字电路实验系统 1 台
- TBS1102B-EDU 双踪示波器 1 台
- 四 2 输入与非门 74LS00 1 片
- 双 D 触发器 74LS74 2 片
- 双 JK 触发器 74LS107 2 片
- 同步 4 位 BCD 计数器 74LS162 2 片

三、实验过程及结果

任务一：用 2 片 74LS74 构成 4 位计数器并测试其功能；

1. 实验电路图



实验中通过电平控制开关 K1 控制清 0 端，用 LED 来指示输出 $Q_0 \sim Q_3$ ，灯亮则代表高电平。

2. 实验结果及分析

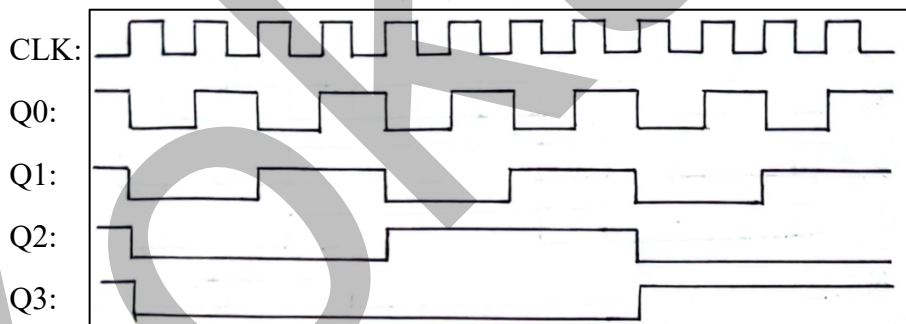
根据电路图接线，CLR'端接电平开关 K1，PRE 接 VCC，CLK 接 QD， $Q_0 \sim Q_3$ 端接 L0~L3，将 CLR'开关 K1 拨到 0，观察到 L0~L3 成功复位；

将 CLR'开关 K1 拨到 1，按实验台上的 QD 按钮，观测并记录 L0~L3 的状态，得到单脉冲条件下 $Q_0 \sim Q_3$ 的状态转移表如下：

CP0	Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	CP3	CP2	CP1
1	0	0	0	0	0	0	0	1			↓
2	0	0	0	1	0	0	1	0		↓	↑
3	0	0	1	0	0	0	1	1			↓
4	0	0	1	1	0	1	0	0	↓	↑	↑

5	0	1	0	0	0	1	0	1			↓
6	0	1	0	1	0	1	1	0	↓	↑	
7	0	1	1	0	0	1	1	1			↓
8	0	1	1	1	1	0	0	0	↑	↑	↑
9	1	0	0	0	1	0	0	1			↓
10	1	0	0	1	1	0	1	0	↓	↑	
11	1	0	1	0	1	0	1	1			↓
12	1	0	1	1	1	1	0	0	↓	↑	↑
13	1	1	0	0	1	1	0	1			↓
14	1	1	0	1	1	1	1	0	↓	↑	
15	1	1	1	0	1	1	1	1			↓
16	1	1	1	1	0	0	0	0	↑	↑	↑
17	0	0	0	0	0	0	0	1			↓
18										

将 CLK 端接入 100KHz 时钟对应的 CP0 插孔，用示波器观测 Q0~Q3，画出连续时钟情况下 CLK 以及 Q0~Q3 的波形如下，对结果的分析见第三部分：



3. 遇到的问题及解决方案、收获、值得注意和思考的问题等

1) $\overline{Q_3}, \overline{Q_2}, \overline{Q_1}, \overline{Q_0}$ 构成计数器吗？如果是，那么是递增还是递减？

构成递减计数器，就是上述 Q0~Q3 的波形取反，状态从 1111~0000 进行计数循环。

2) 测试结果分析：

由时钟、驱动方程、状态方程（PPT 中已给出，此处不再列写），我们可以对单脉冲时间信号进行逐个分析。比如当第 7 个时钟信号来临时，Q0 由 1 变到 0，产生下降沿信号，而 $CP1 = \overline{Q_0}$ 即为上升沿信号，使得 Q1 发生由 0 到 1 的改变，而此时对于 CP2 来说是下降沿信号，所以 Q2 不变。类似地，我们可以分析测试结果的所有状态与理论相符合。

对于连续时钟情况下，原因分析部分与上述相同。对于得到的波形结果，可以发现 Q3~Q0

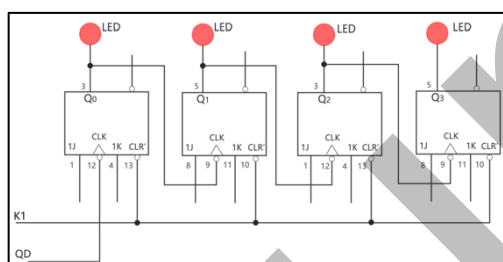
的电平实现了从 0000~1111 的计数循环，观察频率可以发现， $f_{Q3} = \frac{1}{16}f_{\text{时钟信号}}$ ，实现了 16 分频。

3) 遇到的问题及解决:

由于时序电路中，芯片级联情况较多，实际实验过程中，LED 灯指示单脉冲信号测量的结果不符合预期结果（记录表中已更正），在检查实验电路无误后，又尝试减少同一引脚连接的导线，还是存在问题。之后直接在示波器上进行测量，与预期相符。

任务二：用 2 片 74LS107 构成 4 位二进制计数器并测试其功能；

1. 实验电路图



其中 J、K 等引脚未接任何东西表示悬空，认为是高电平。

2. 实验结果及分析

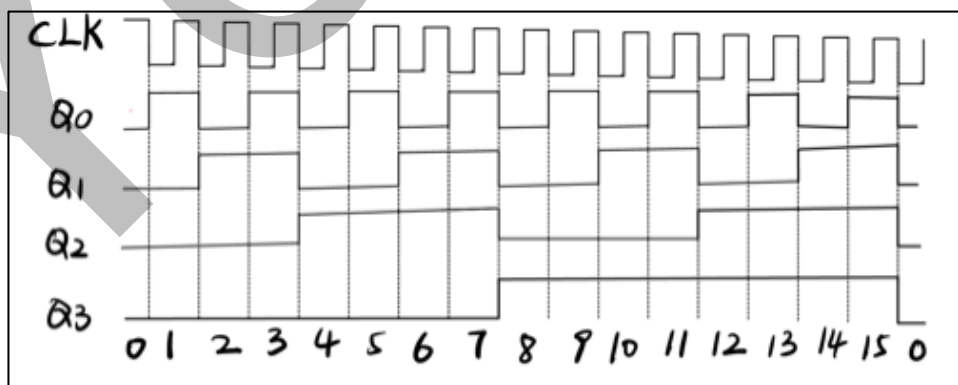
该电路未实际在实验箱上进行搭建，下面对其电路进行理论分析：

时钟： $CP0 = Q_D$ ， $CP1 = Q_0^n$ ， $CP2 = Q_1^n$ ， $CP3 = Q_2^n$ ；

驱动方程： $J_i = K_i = 1, i = 0, 1, 2, 3$ ；

状态方程： $Q_0^{n+1} = \overline{Q_0^n} CP0 \downarrow$ ， $Q_1^{n+1} = \overline{Q_1^n} CP1 \downarrow$ ， $Q_2^{n+1} = \overline{Q_2^n} CP2 \downarrow$ ， $Q_3^{n+1} = \overline{Q_3^n} CP3 \downarrow$ ；

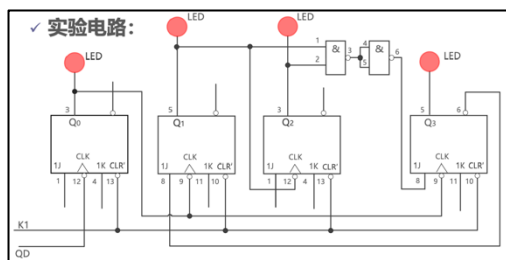
根据上述方程可以画出 CLK 及 Q0~Q3 波形如下：



分析部分与任务一类似，根据波形图，可以发现与任务一功能相同，Q3~Q0 实现了由 0000~1111 的计数循环，为模 16 计数器。

任务三：用 2 片 74LS107 构成一个异步十进制计数器并测试其功能；

1. 实验电路图



2. 实验结果及分析

根据电路图分析，得到时钟、驱动方程和状态方程如下：

时钟： $CP0 = Q_D$, $CP1 = Q_0^n$, $CP2 = Q_1^n$, $CP3 = Q_0^n$;

驱动方程： $J_i = K_i = 1, i = 0, 2, J_1 = \overline{Q_3^n}, K_1 = 1, J_3 = Q_1^n Q_2^n, K_3 = 1$;

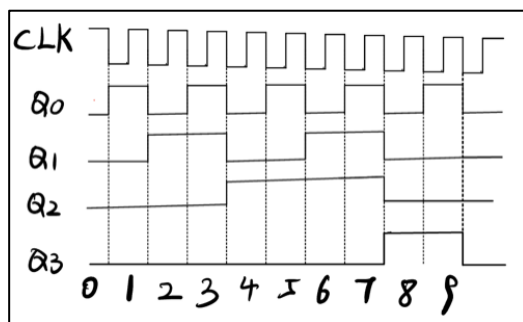
状态方程： $Q_0^{n+1} = \overline{Q_0^n} CP0 \downarrow$, $Q_1^{n+1} = \overline{Q_1^n} \overline{Q_3^n} CP1 \downarrow$,

$Q_2^{n+1} = \overline{Q_2^n} CP2 \downarrow$, $Q_3^{n+1} = Q_1^n Q_2^n \overline{Q_3^n} CP3 \downarrow$;

连接电路进行实验，在单脉冲情况下 $Q_0 \sim Q_3$ 的状态转移表测量结果如下：

CP0	Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	CP3	CP2	CP1
1	0	0	0	0	0	0	0	1	↑		↑
2	0	0	0	1	0	0	1	0	↓	↑	↓
3	0	0	1	0	0	0	1	1	↑		↑
4	0	0	1	1	0	1	0	0	↓	↓	↓
5	0	1	0	0	0	1	0	1	↑		↑
6	0	1	0	1	0	1	1	0	↓	↑	↓
7	0	1	1	0	0	1	1	1	↑		↑
8	0	1	1	1	1	0	0	0	↓	↓	↓
9	1	0	0	0	1	0	0	1	↑		↑
10	1	0	0	1	0	0	0	0	↓	↑	↓
11	0	0	0	0	0	0	0	1	↑		↑
12										

将 CLK 改为 100KHz 的时钟源，通过示波器得到连续时钟情况下的波形结果，画出 CLK 及 $Q_0 \sim Q_3$ 波形如下：

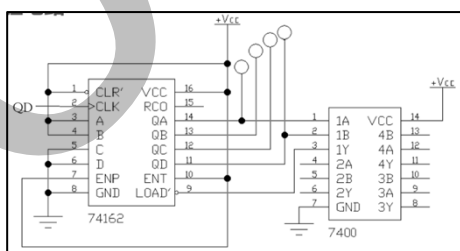


主要分析这种接法为什么实现了异步 10 进制计数器。首先，异步是因为四个触发器的时钟源不同。其次，如果初始时通过清 0 端将 $Q_0 \sim Q_3$ 变为 0000，注意 Q_1 和 Q_3 的状态转移方程，可以发现，当且仅当 Q_3 现态等于 0 时，时钟源才对 Q_1 生效；时钟源当且仅当 Q_1 、 Q_2 现态为 11 时，时钟源才对 Q_3 生效。

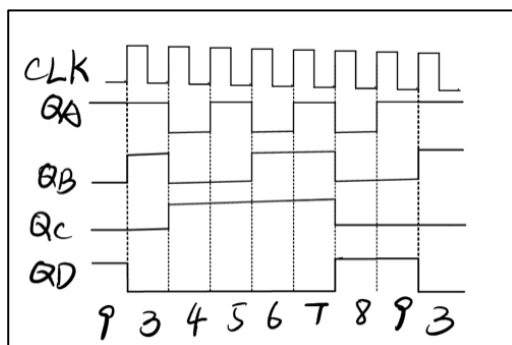
在 0000~0111 的 8 个状态时，时钟源对 Q_1 生效，对 Q_3 不生效（0110 时，由于 CP_3 刚好处于上升沿，也不会引起 Q_3 改变，现态达到 0111 之后才开始改变）。所以前 8 个状态与之前的 16 进制计数器基本一致，区别只有本实验是下降沿有效。现态为 0111 时，此时 CLK 的下降沿到来， CP_1 、 CP_2 、 CP_3 均为下降沿，现态变为 1000。再下一个时钟到来时， Q_0 翻转， CP_1 、 CP_3 均为上升沿，即现态变为 1001。再下一个时钟到来时， Q_0 翻转变 0， CP_1 和 CP_3 为下降沿，此时 $Q_1^n Q_2^n \overline{Q_3^n} = 0$ ， Q_3 变为 0， $\overline{Q_1^n} \overline{Q_3^n} = 0$ ， Q_1 仍为 0，即 $Q_3 \sim Q_0$ 又回到 0000，实现计数循环。

任务四：用 1 片 74LS162 和 1 片 74LS00 采用置位法构成一个模 7 计数器并测试功能；

1. 实验电路图



2. 实验结果及分析

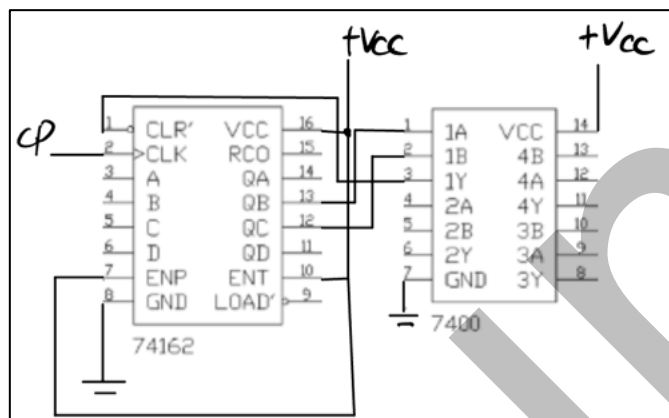


观察其同步清零端接高电平，而同步置数端接与非门的输出，说明其采用置数端实现计数。

再看数据输入端为 0011，下面分析何时激活置数端：当与非门出 0 时，计数器进行置数，此时与非门输入（即 QA、QD）均为 1，即当计数至 1001 时，将 0011 置入，由于其为同步置数，所以为模 7 ($9 - 3 + 1$) 计数器。

3. 遇到的问题及解决方案、收获、值得注意和思考的问题等

1) 如果用复位法构成模 7 计数器，电路图应该是怎样的？请画出；



使用复位法（同步复位）时，要实现模 7 计数，状态循环为 0000~0110。

2) 如果置位法从 0010 开始置数，计数器还是模 7 计数器吗？如果不是，那么是模几的？

不是，仍采用置数（同步置数）法，从 0010 计数到 1001，计数器为模 8 ($9 - 2 + 1 = 8$ ，即 0010-0011-0100-0101-0110-0111-1000-1001 共 8 个状态实现循环，由于采用同步置数，需要 8 个时钟周期）计数器。

四、实验总结

- 本实验涉及到时序电路，电路搭建、状态分析都具有一定难度，但通过充分预习，实验过程也较为顺利，不过由于芯片级联过多，在单脉冲情况下 LED 灯显示测量结果表现不佳。
- 本实验极大程度地提升了我对时序电路的理解，尤其是计数器部分，加强了对计数器的分析和设计能力，对于同步与异步置数/清零的区别有了更好的理解。
- 本实验中还学到了示波器的保存波形功能，将波形保存为预设，方便同时观察多路信号。