

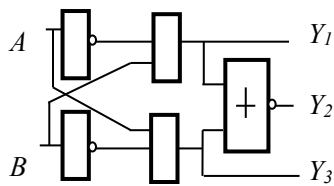
北京邮电大学 2016——2017 学年第一学期

《数字逻辑与数字系统》期末考试试题（A）

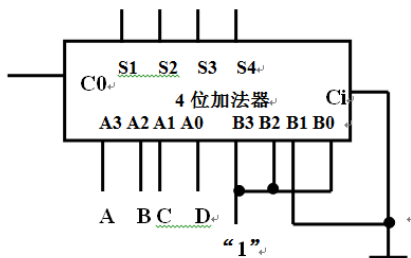
考试 注意 事项	一、学生参加考试须带学生证或学院证明，未带者不准进入考场。学生必须按照监考教师指定座位就坐。 二、书本、参考资料、书包等物品一律放到考场指定位置。 三、学生不得另行携带、使用稿纸，要遵守《北京邮电大学考场规则》，有考场违纪或作弊行为者，按相应规定严肃处理。 四、学生必须将答题内容做在试题答卷上，做在草稿纸上一律无效。 五、学生的姓名、班级、学号、班内序号等信息由教材中心统一印制。								
	考试 课程	数字逻辑与数字系统			考试时间		2017 年 1 月 11 日		
	题号	一	二	三	四	五	六	七	八
	满分	10	20	5	35	10	10	10	
	得分								
	阅卷 教师								

一、填空题(每空 1 分，共 10 分)

- 1、由 n 位寄存器组成的扭环型移位寄存器可以构成_____进制计数器。
- 2、卡诺图上变量的取值顺序是采用_____的形式，以便能够用几何上的相邻关系表示逻辑上的相邻。
- 3、给 36 个字符编码，至少需要_____位二进制数。
- 4、如下图所示电路中， $Y_2 =$ _____。
- 5、某 RAM 的地址线为 11 位，数据线为 8 位，则存储容量为_____KB。



- 6、如下图所示是一个用四位加法器构成的_____代码变换电路。



- 7、在函数 $F=AB+CD$ 的真值表中， $F=1$ 的状态有_____个。
- 8、四位环型计数器初始状态是 1000，经过 5 个时钟后状态为_____。
- 9、十进制数 86 的 8421BCD 码为_____。
- 10、在 vhd1 语言中，设 D0 为'1', D1 为'0', D2 为'1', D3 为'0'，则 $D3 \& D2 \& D1 \& D0$ 的运算结果是_____。

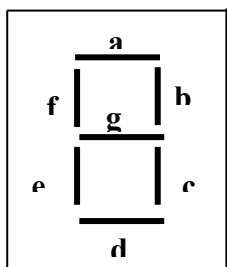
二、选择题(每题 2 分，共 20 分)

- 1、要使 JK 触发器在时钟作用下的次态与现态相反，JK 端取值应为_____。
A. JK=00 B. JK=01 C. JK=10 D. JK=11
- 2、下列器件中，属于时序部件的是_____。
A. 计数器 B. 译码器 C. 加法器 D. 多路选择器
- 3、一位十进制计数器至少需要_____个触发器。
A. 3 B. 4 C. 5 D. 10
- 4、设 $F = AB + \overline{C}\overline{D}$ ，则它的非函数是_____。

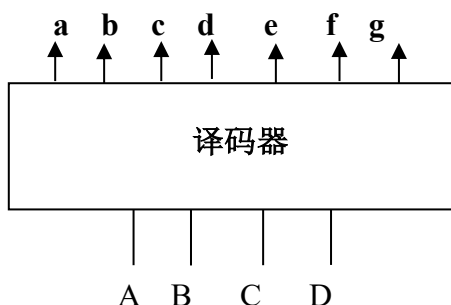
- A. $\overline{F} = \overline{A+B} \cdot \overline{\overline{C} + \overline{D}}$ B. $\overline{F} = (\overline{A+B}) \cdot (C+D)$
- C. $\overline{F} = (A+B) \cdot (\overline{C} + \overline{D})$ D. $\overline{F} = \overline{AB} + \overline{\overline{C}\overline{D}}$

- 5、下图所示是共阴极七段 LED 数码管显示译码器框图，若要显示字符“5”，则译码器输出 a~g 应为_____。

- A. 0100100 B. 1100011 C. 1011011 D. 0011011



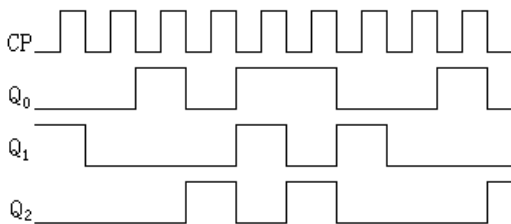
共阴极 LED 数码管



6、在 VHDL 中，不属于并发语句的是_____。

- A. 进程语句 B. CASE 语句 C. 元件例化语句 D. WHEN..ELSE.. 语句

7、在某计数器的输出端观察到如图所示的波形，确定该计数器的模是_____。

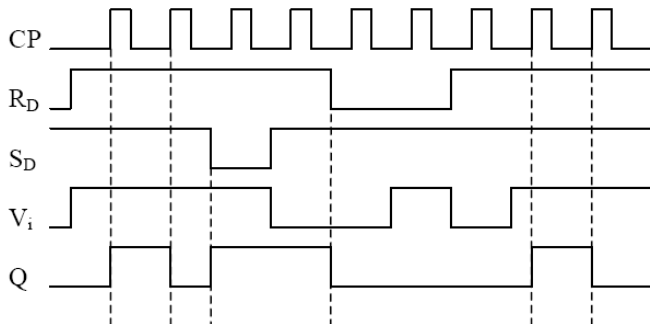


- A. 6 B. 5 C. 4 D. 7

8、设计一个四位二进制码的奇偶位发生器（假定采用偶检验码），需要_____个异或门。

- A. 2 B. 3 C. 4 D. 5

9、已知某触发器的时钟 CP，异步置 0 端为 RD，异步置 1 端为 SD，控制输入端 Vi 和输出 Q 的波形如图所示，根据波形可判断这个触发器是_____。



- A. 上升沿 D 触发器 B. 下降沿 D 触发器
C. 下降沿 T 触发器 D. 上升沿 T 触发器

10、下列表达式中存在竞争冒险的有_____。

- A. $Y = \overline{A}\overline{B} + AC$ B. $Y = \overline{A}\overline{B} + BC$
C. $Y = ABC + \overline{A}BD$ D. $Y = (A + \overline{B})AC$

三、判断题 (每题 1 分，共 5 分)

- 1、并行加法器采用先行进位（并行进位）的目的是简化电路结构。
- 2、优先编码器的编码输入信号是相互排斥的，不允许有多个编码信号同时有效。
- 3、二进制译码器相当于是一个最小项发生器，便于实现组合逻辑电路。
- 4、一个逻辑函数的全部最小项之积恒等于 1。

5、在结构体中定义一个全局变量（Variable）,可以在所有进程中使用。

四、简答题 (共 35 分)

1、（5 分）数字逻辑电路可以分为哪两种类型？请从功能和电路结构两个方面简述二者的主要区别。

2、（5 分）试补充完整以下 VHDL 程序， 并说明该程序所实现的功能。

```
LIBRARY IEEE;
use IEEE.STD_LOGIC_1164.ALL;

ENTITY ent IS
    PORT (G1,G2,G3: in STD_LOGIC;
          A: in STD_LOGIC_VECTOR(2 downto 0);
          Y: out STD_LOGIC_VECTOR(0 to 7));
end ent;

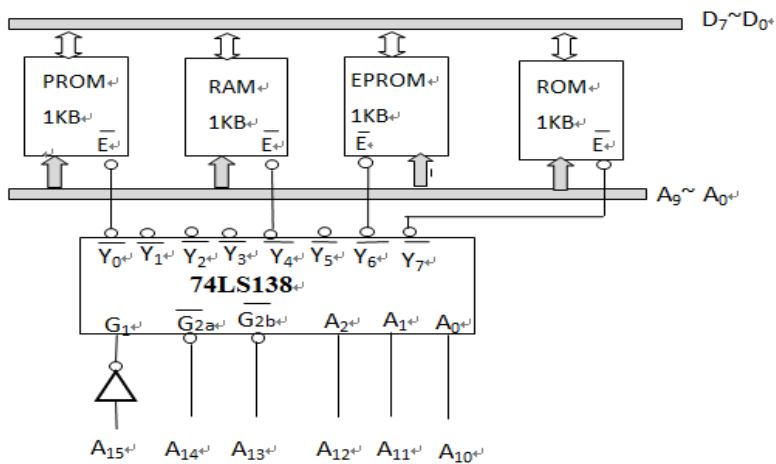
ARCHITECTURE arch_a OF ent IS
    signal Y_s: STD_LOGIC_VECTOR(0 to 7);
begin
    process (_____)
    begin
        case A is
            when "000" => Y_s <= "10000000";
            when "001" => Y_s <= "01000000";
            when "010" => Y_s <= "00100000";
            when "011" => Y_s <= "00010000";
            when "100" => Y_s <= "00001000";
            when "101" => Y_s <= "00000100";
            when "110" => Y_s <= "00000010";
            when "111" => Y_s <= "00000001";
            when _____ => Y_s <= "00000000";
```

```

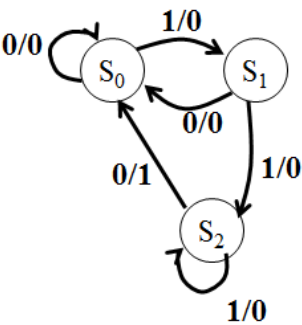
end case;
if (G1 and G2 and G3)='1' then Y <= Y_s;
else Y <= "00000000";
end if;
end process;
end arch_a;

```

- 3、（5 分） 如图所示电路中 74LS138 为 3:8 译码器，用 16 位地址总线 $A_{15} \sim A_0$ 选择各存储器。要求：（1）分析 74LS138 的工作过程。（2）说明选择 RAM 芯片的地址范围，并用 16 进制数表示。



4、(10 分) 某状态机如图所示，(1) 该状态机是米里型还是摩尔型；(2) 说明状态机完成的逻辑功能；(3) 用 `vhdl` 语言实现此状态机。



5、(10 分) 分析下图所示的同步时序电路；

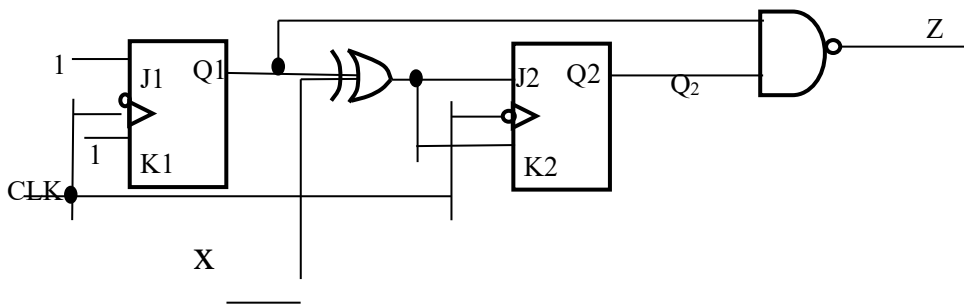


图 10

- (1) 写出该电路激励函数和输出函数；
- (2) 写出状态转移表和状态图；
- (3) 当 $x=1$ 和 $x=0$ 时，电路分别完成什么功能？

五、设计题(10 分)

旅客列车分为特快 A，直快 B 和慢车 C，它们的优先顺序为：特快、直快、慢车。在同一时间内，只能有一趟列车从车站开出，即只能给出一个开车信号。设计满足上述要求的开车信号控制电路。

1. 定义输入和输出逻辑变量；
2. 列出真值表；
3. 根据卡诺图写出输出最简“与或”表达式；
4. 用适当门电路设计该电路

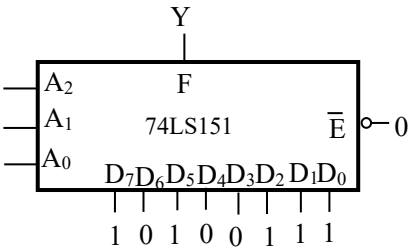
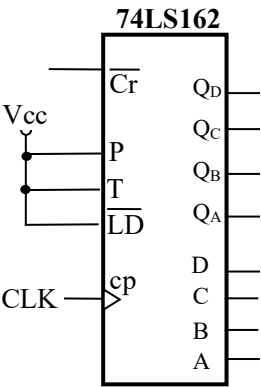
六、综合题(10 分)

现有十进制同步计数器 74LS162 和八选一数据选择器 74LS151 两种芯片，芯片上某些管脚已完成连接。回答如下问题：

1、如果 74LS151 的三个输入端 $A_2A_1A_0$ 连接三个变量 ABC，写出输出 Y 的逻辑函数表达式；

2、采用适当的门电路、74LS162 和 74LS151 进行正确连接，使得输出 Y 在 CLK 脉冲作用下输出 11100101，说明设计过程，并画出完整连接图。

74LS162 功能表												
输入									输出			
\overline{Cr}	\overline{LD}	P	T	cp	D	C	B	A	Q_D	Q_C	Q_B	Q_A
L	×	×	×	↑	×	×	×	×	L	L	L	L
H	L	×	×	↑	D	C	B	A	D	C	B	A
H	H	H	H	↑	×	×	×	×	计 数			



七、小型控制器设计(10 分)

已知数据通路如图所示，要比较器寄存器 A、B 中的两个数，若(A)>(B)不做任何处理，如果(A)<(B)，将 A 与 B 中的两数进行交换。初始时 A 和 B 中已经存有数据。要求：

1. 门 1、2 为何种门？
2. 根据数据通路，设计控制器的 ASM 图；
3. 写出控制命令的表达式
4. 用 D 触发器实现计数型控制器。
(只需写出激励信号表达式，不用画电路图)

