

§ 3.4 中规模计数器 (Counter)

记忆输入脉冲个数的集成芯片。

- 四位二进制计数器
- 可逆四位二进制计数器
- 十进制计数器
- 中规模计数器构成的任意进制计数器
 - ◎ 清零法
 - ◎ 预置法



计数器种类:

① 按时钟的触发方式 :

- 同步计数器
- 异步计数器

② 按进位体制:

- 二进制计数器
- 十进制计数器
- 模N计数器

③ 按计数功能:

- 加法计数器
- 减法计数器
- 可逆计数器

模: 计数器的容量。



1. 集成同步二进制计数器

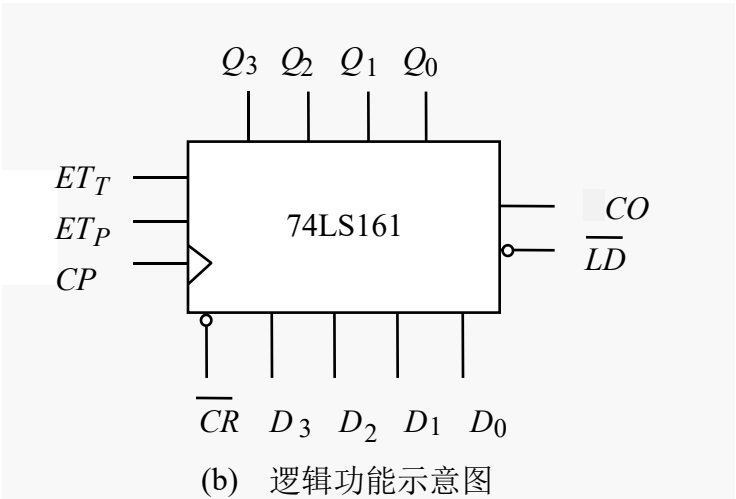
(1) 四位二进制加计数器（74LS161/163）

74LS161采用异步清零方式。

74LS163采用同步清零方式。

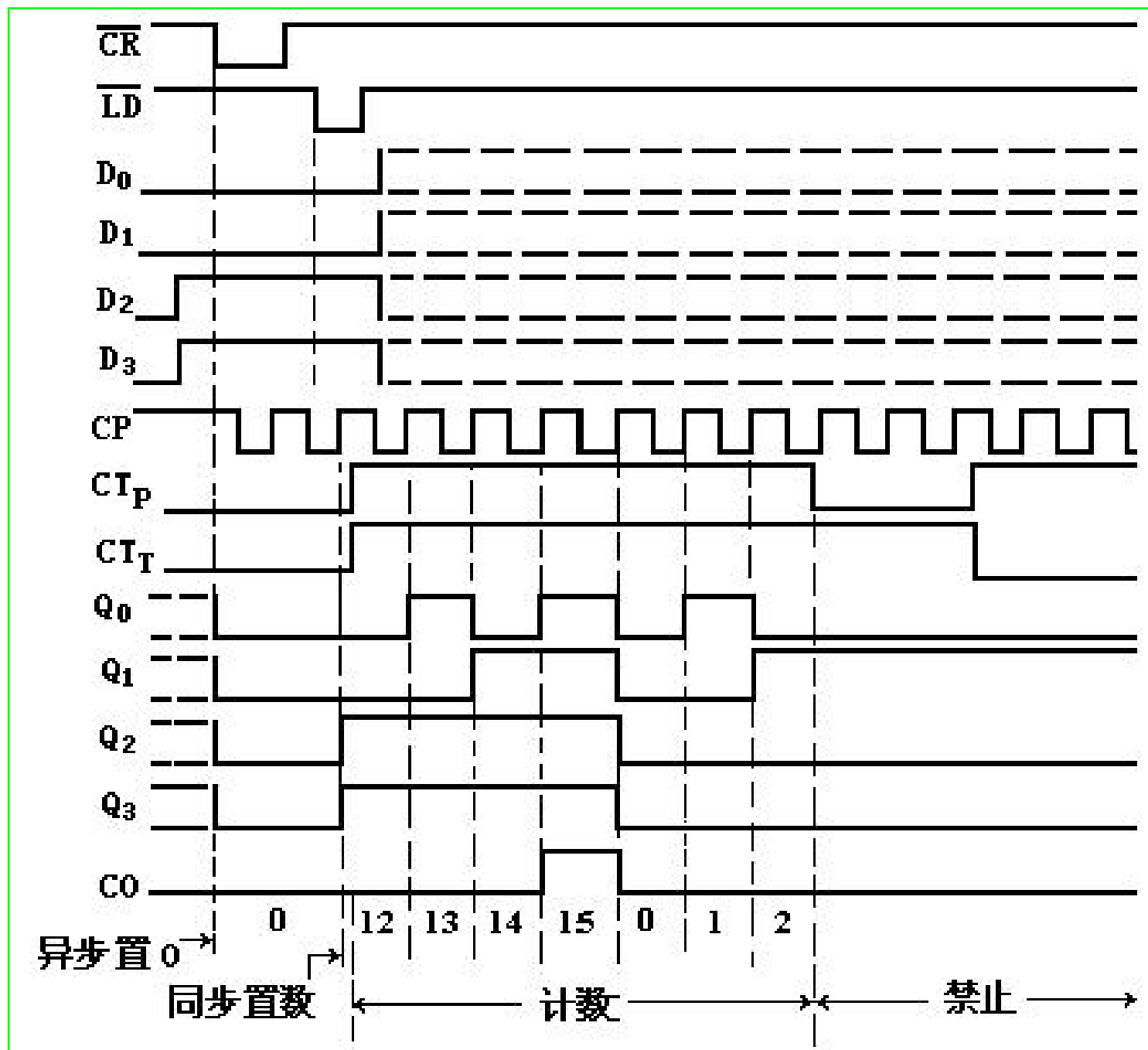
1) 逻辑功能:

EP、ET、Co用于级联。



RCO = Ripple clock output

输 入					输 出					CT74LS161				
\overline{CR} \overline{LD}	EP	ET	CP	D_3 D_2 D_1 D_0	Q_3 Q_2 Q_1 Q_0	CO								
0	×	×	×	×	×	×	×	×	0	0	0	0	0	异步置 0 $CO = E_T \cdot Q_3 Q_2 Q_1 Q_0$ $CO = Q_3 Q_2 Q_1 Q_0$ $CO = E_T \cdot Q_3 Q_2 Q_1 Q_0$
1	0	×	×	↑	d_3	d_2	d_1	d_0	d_3	d_2	d_1	d_0		
1	1	1	1	↑	×	×	×	×	计 数					
1	1	0	×	×	×	×	×	×	保 持					
1	1	×	0	×	×	×	×	×	保 持			0		



(2) 容量扩展:

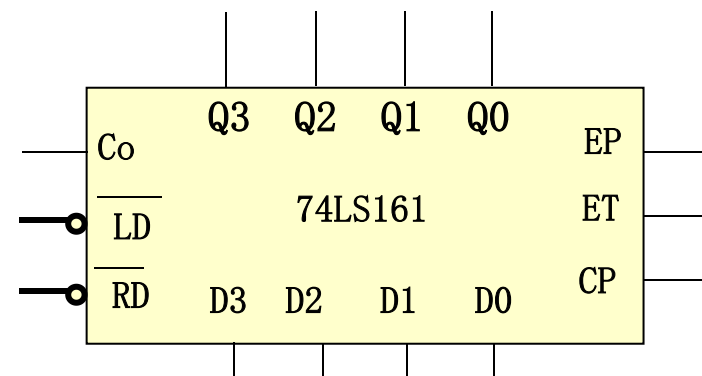
1) 用四位二进制计数器构成 $4 \times n$ 位 二进制计数器

同步级联 (只适用于有使能端计数器)

CP 同时接在各片计数器的时钟输入端;

级联步骤:

- 1) 排列计数器高低位的顺序;
- 2) 找到低位向高位的进位信号;

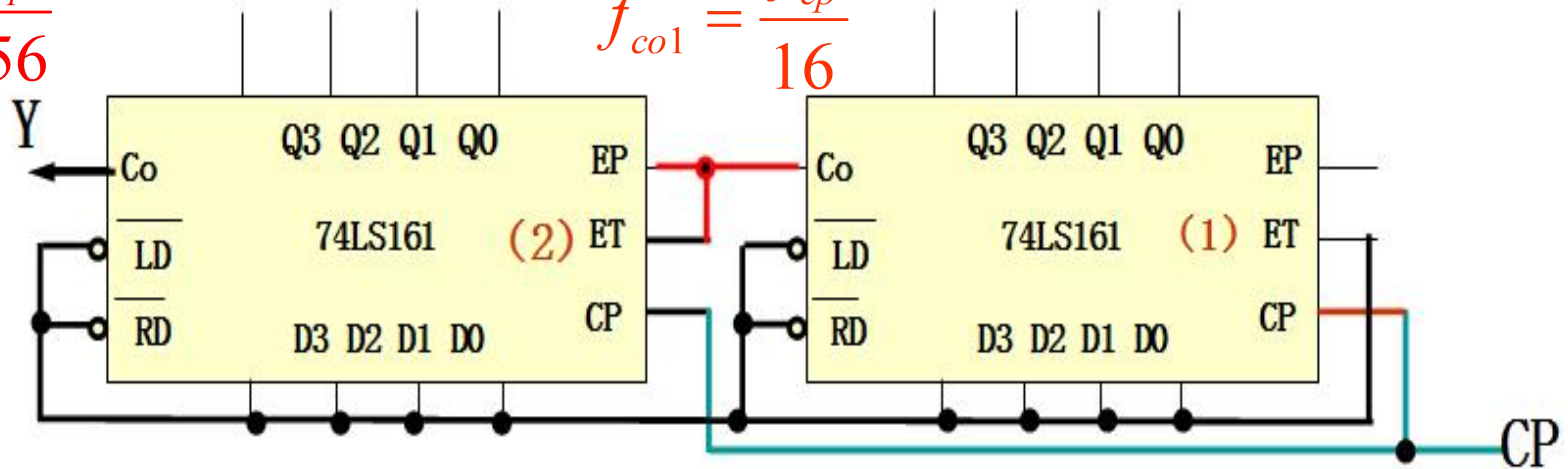


RCO = Ripple clock output


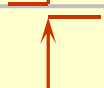
低位的进位输出 Co 控制高位的计数使能端。

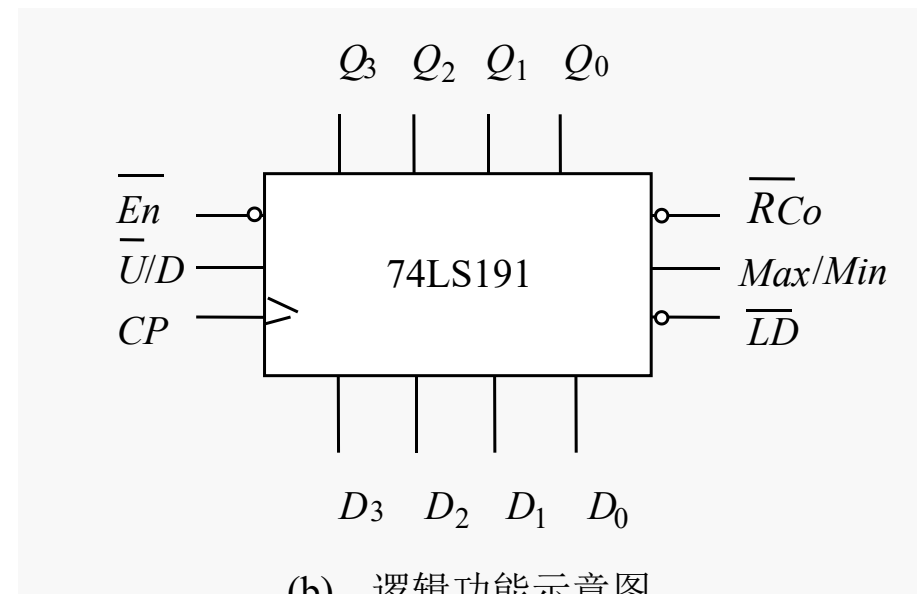
$$f_{co2} = \frac{f_{cp}}{256}$$

$$f_{co1} = \frac{f_{cp}}{16}$$



2. 同步二进制可逆计数器 (74191)

CP	\overline{En}	\overline{LD}	$\overline{U/D}$	工作状态
X	1	1	X	保持
X	X	0	X	预置数
	0	1	0	加法计数
	0	1	1	减法计数



(b) 逻辑功能示意图

1) 逻辑功能:

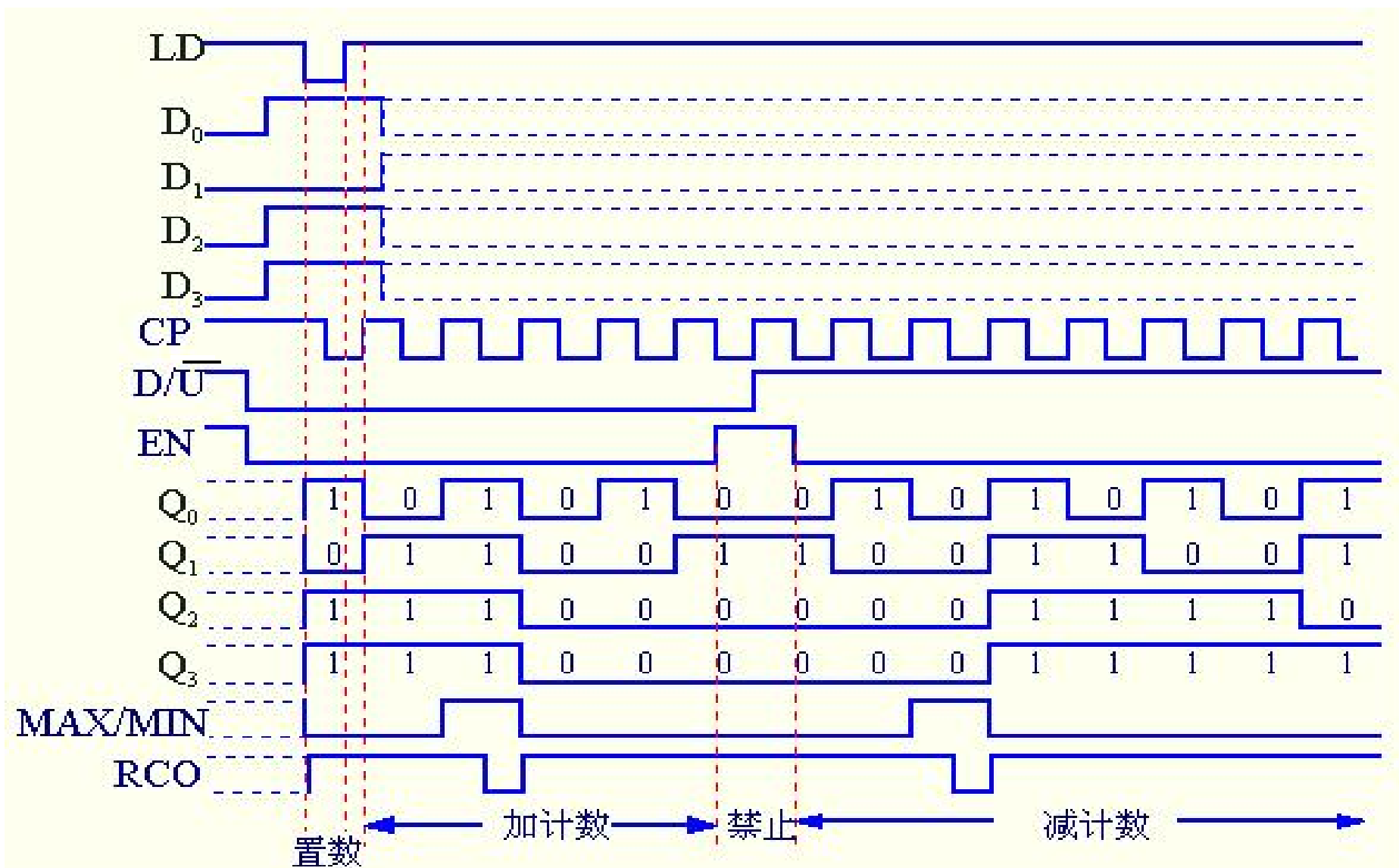
计数器可逆，异步置数，计数器状态可控，进位（借位）负脉冲输出，最大（最小）标志输出。

\overline{En} 、 \overline{RC} ：用于同步级联。

$\overline{En}=0$ ， $Max/Min=1$ 时， $\overline{RCO}=0$ ，

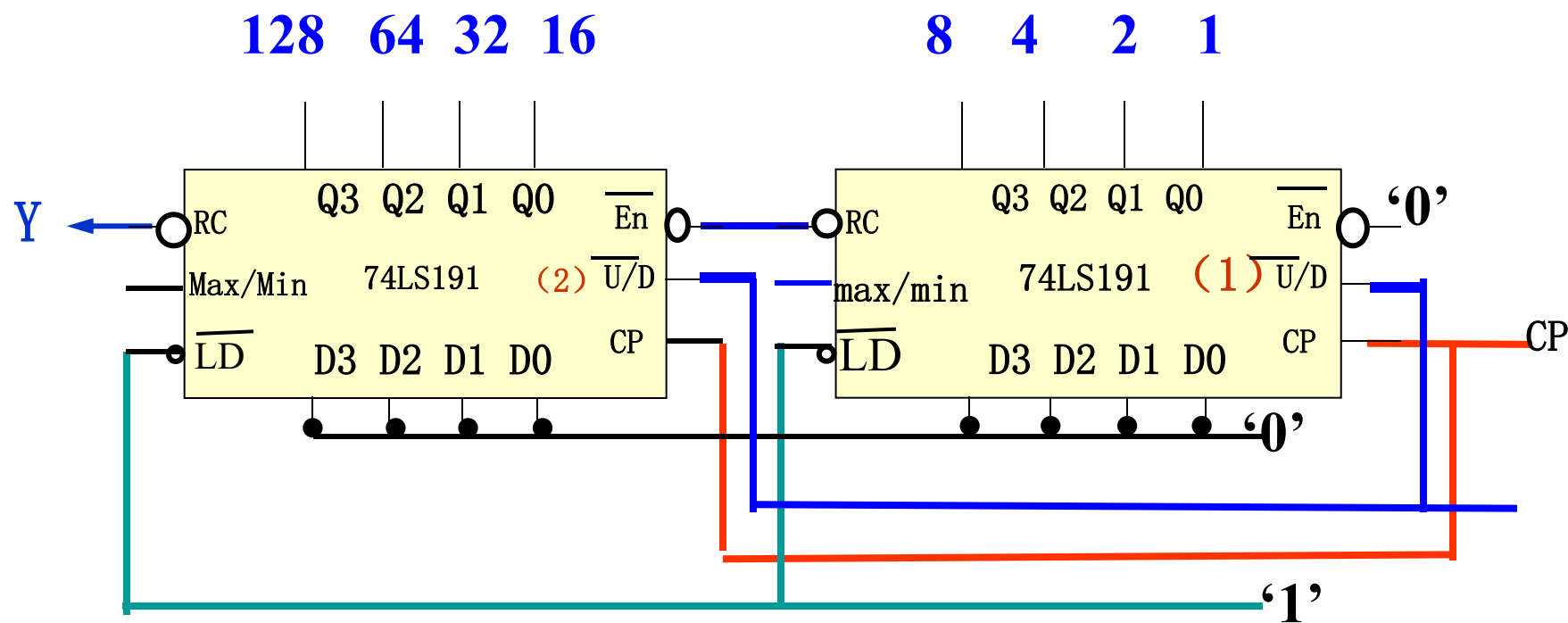
$\overline{En}=1$ ， $Max/Min=1$ 时， $\overline{RCO}=1$

2) 工作时序图:



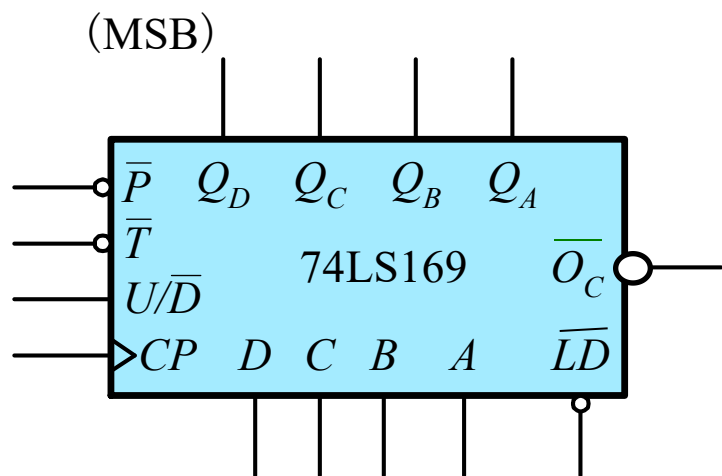
构成 $4 \times n$ 位 计数器

$$M = 16 \times 16 = 256$$



不要使用Max/Min做级联

作业题： P106， 12， 四位二进制计数器



逻辑符号

CP	$\overline{P}+\overline{T}$	U/\overline{D}	LD	Q_D	Q_C	Q_B	Q_A
×	1	×	1	保持			
↑	0	×	0	D	C	B	A
↑	0	1	1	二进制加法计数			
↑	0	0	1	二进制减法计数			

功能表

二. 集成同步十进制计数器

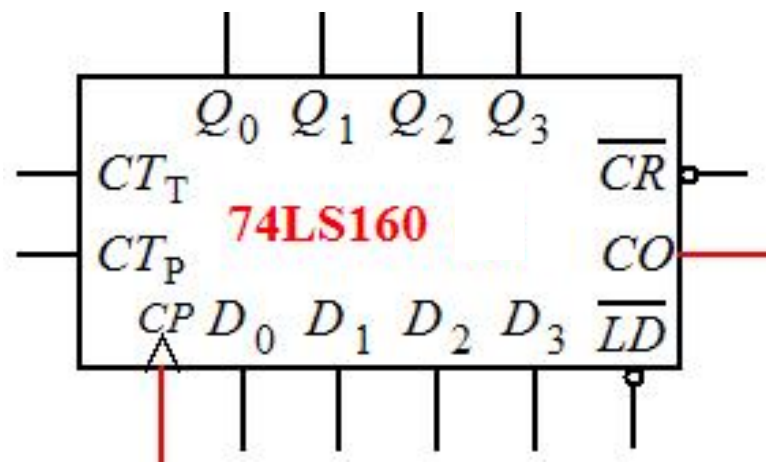
1. 概述

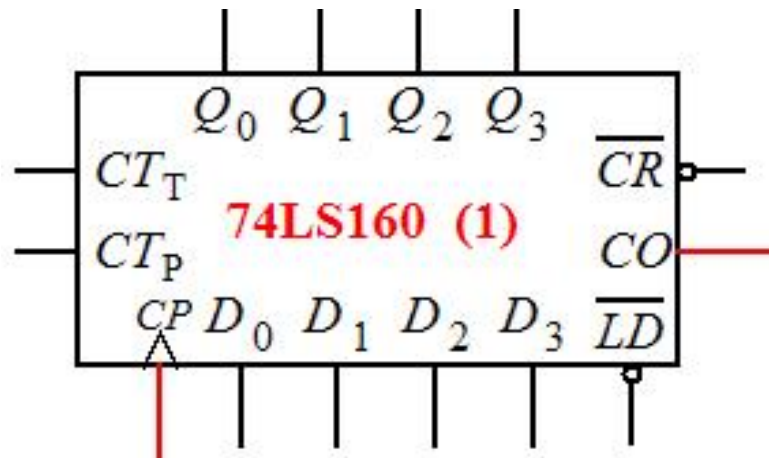
十进制（0000~1001）同步加法计数器74160（74162）的引脚排列图、逻辑功能示意图与74161相同。

74160：异步清零方式。

74162：同步清零方式。

74190：单时钟十进制同步可逆计数器，其引脚排列图和逻辑功能示意图与74191相同。

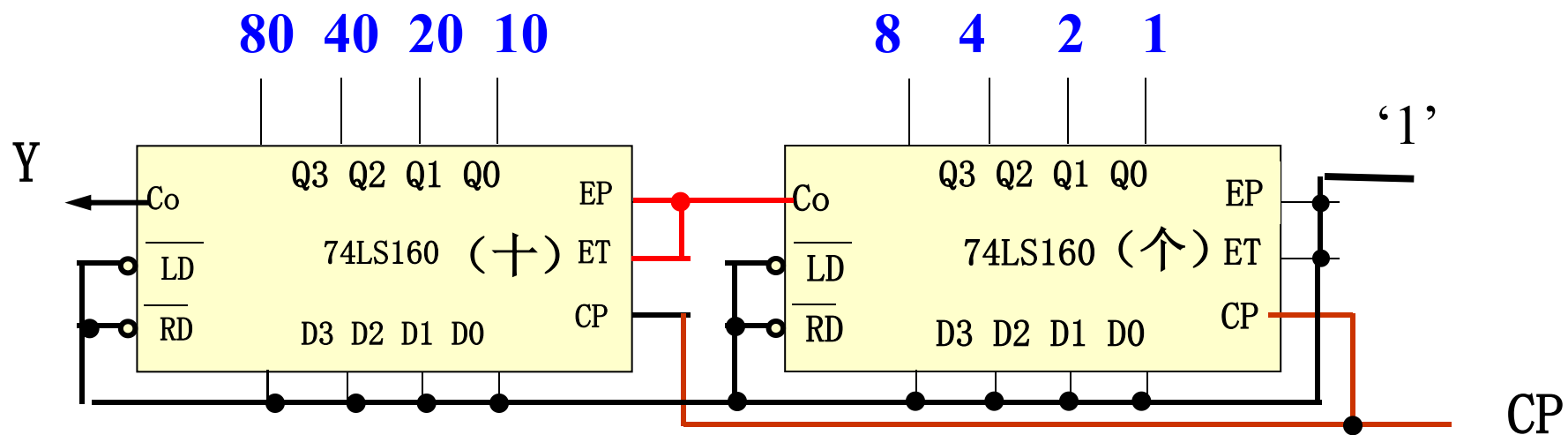




输 入				输 出				CT74LS160
\overline{CR}	\overline{LD}	P	T	CP	$D_3 D_2 D_1 D_0$	$Q_3 Q_2 Q_1 Q_0$	CO	
0	×	×	×	×	×	0 0 0 0	0	异步置 0
1	0	×	×	↑	$d_3 d_2 d_1 d_0$	$d_3 d_2 d_1 d_0$		$CO = T \cdot \overline{Q_3} \overline{Q_2} \overline{Q_1} Q_0$
1	1	1	1	↑	×	计 数		$CO = Q_3 \overline{Q_2} \overline{Q_1} Q_0$
1	1	0	×	×	×	保 持		$CO = T \cdot Q_3 \overline{Q_2} \overline{Q_1} Q_0$
1	1	×	0	×	×	保 持	0	


8421码100进制

$$M=10\times 10$$



三. 用中规模计数器构成任意进制计数器

(1) 清零法 前M个状态

(2) 一次预置法  后M个状态
中间M个状态

(3) 多次预置法

1. 用N 计数器构成M 计数器

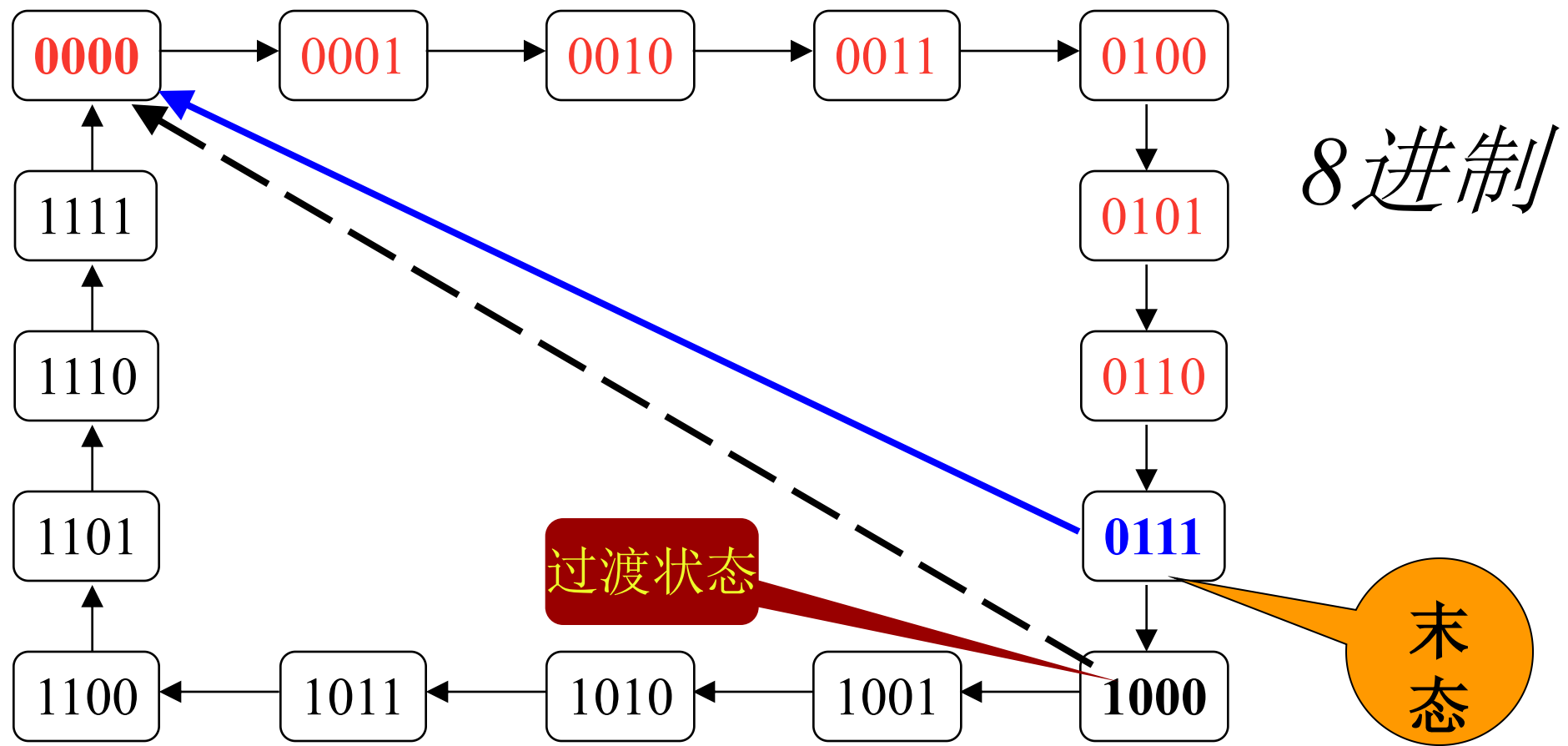
(1) 清零法

自然态序M进制计数器 ($0 \sim M-1$)，利用复位端和置数端实现归零。

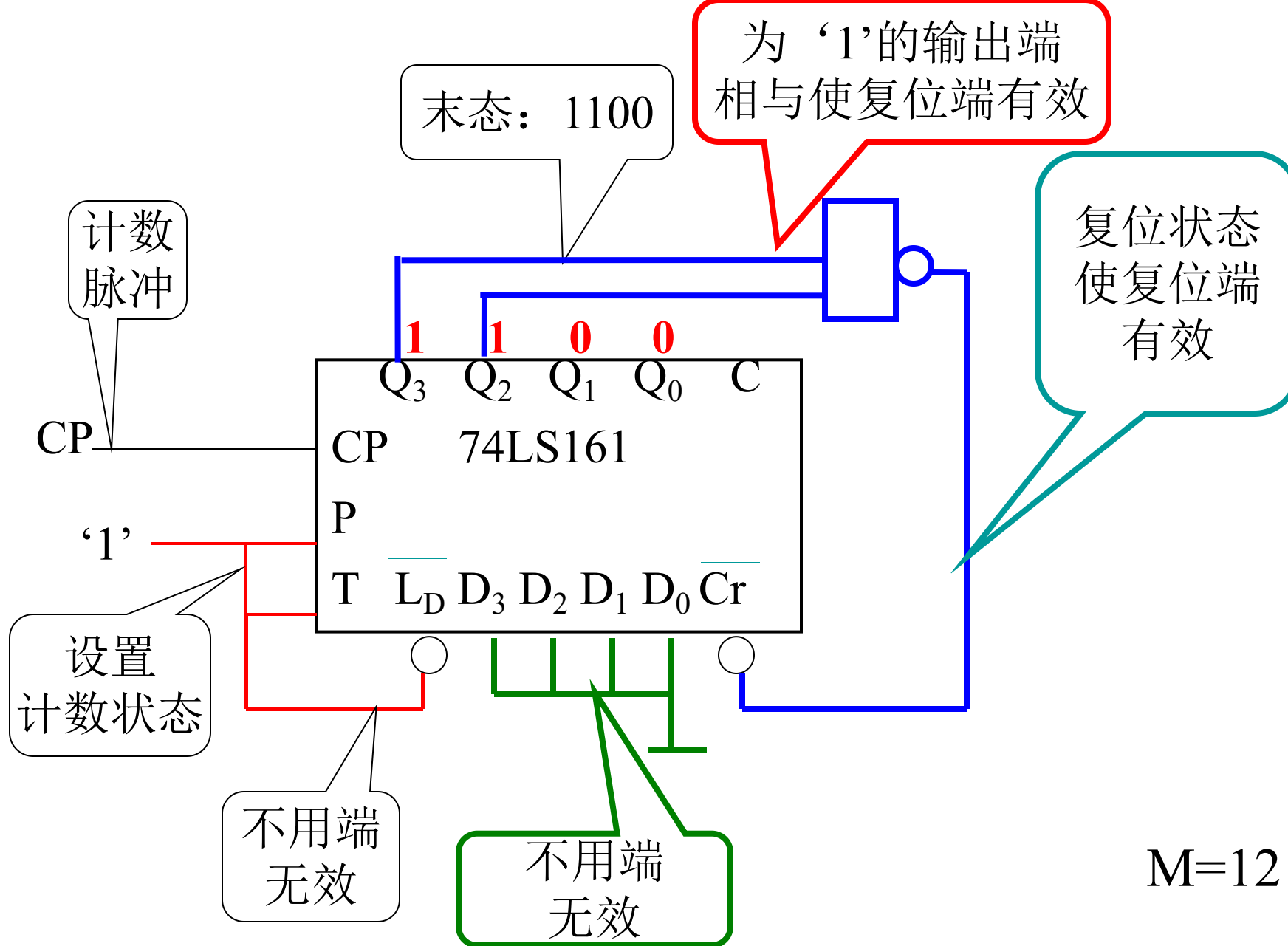
1) 用同步复位端（置数端）归零（在M-1状态复位）

2) 用异步复位（置数端）归零（在M状态复位）：亚稳态。

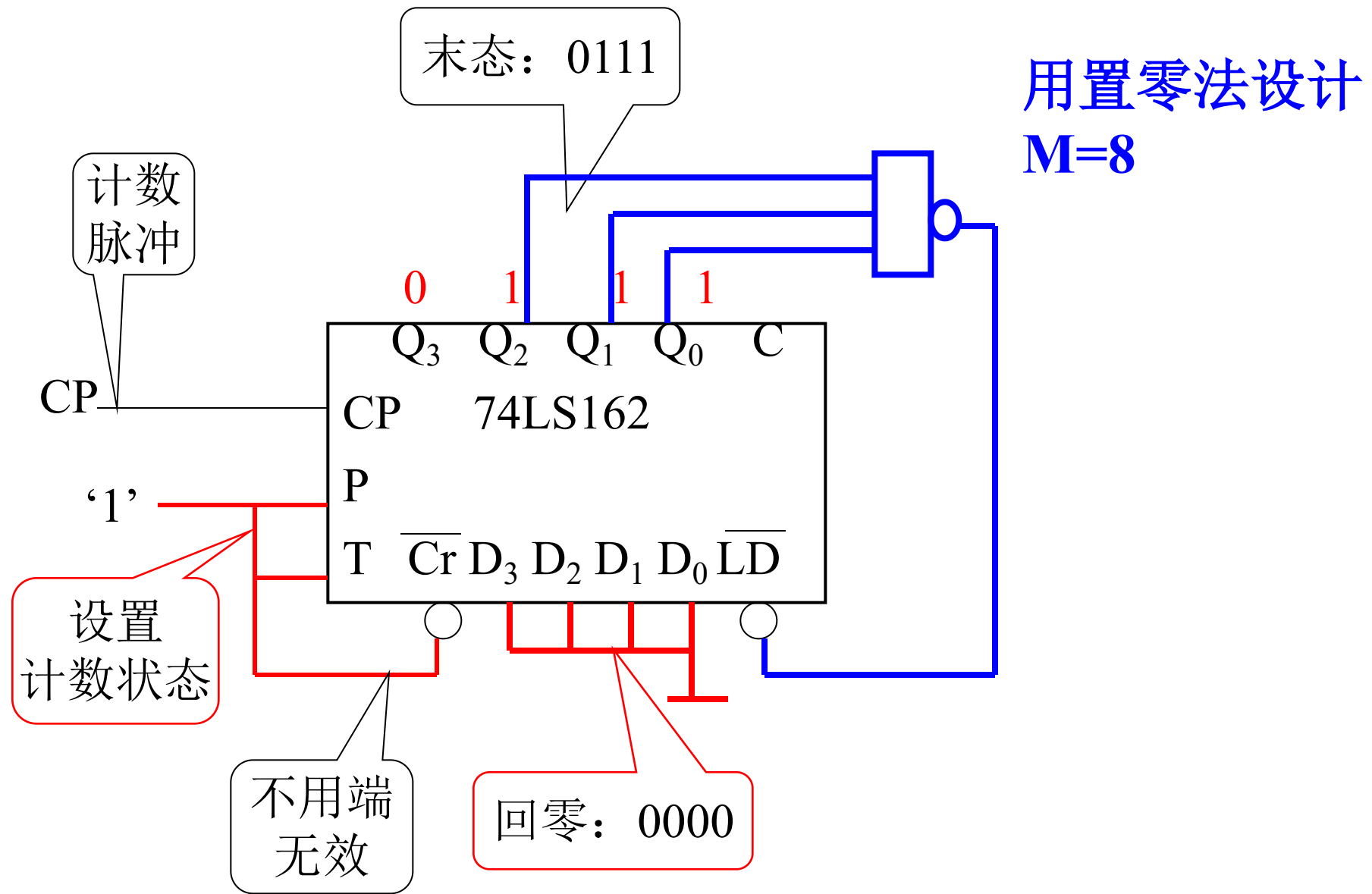
末态不同



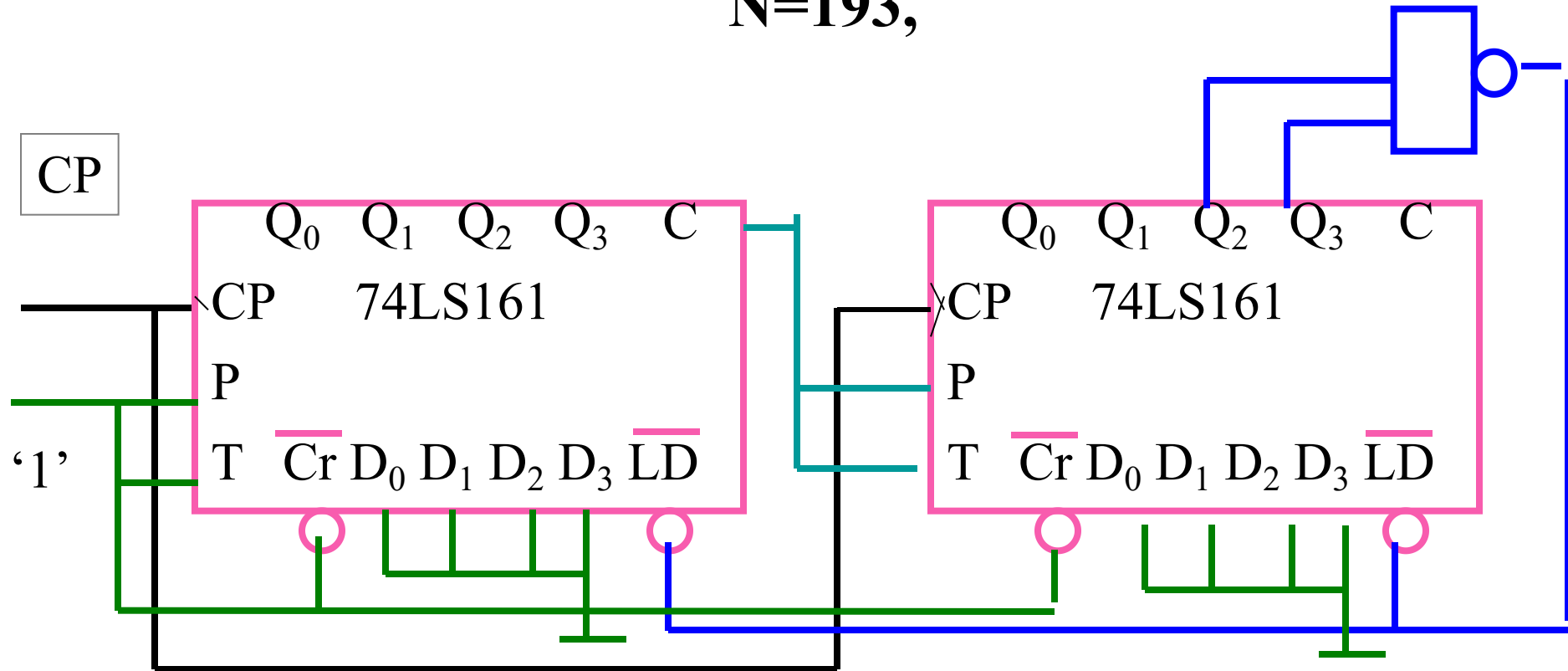
- 加法计数器中，末态中为“1”的输出端相与，使复位端（置数端）有效。



74LS161 四位二进制，异步复位，同步置数

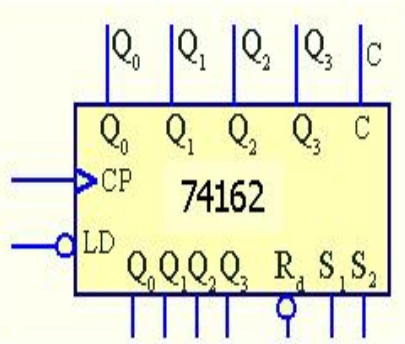


N=193,



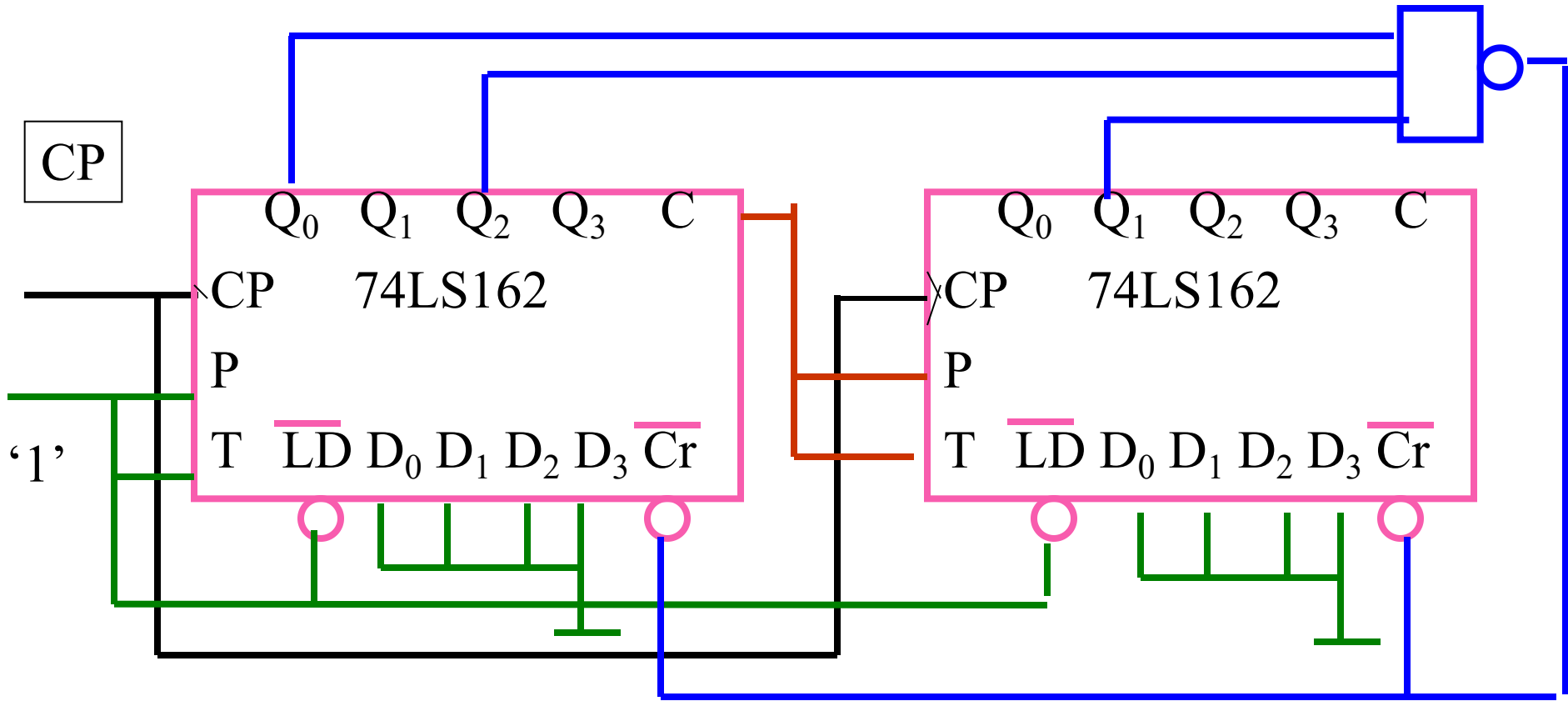
N=26（同步级联、复位）

符号:



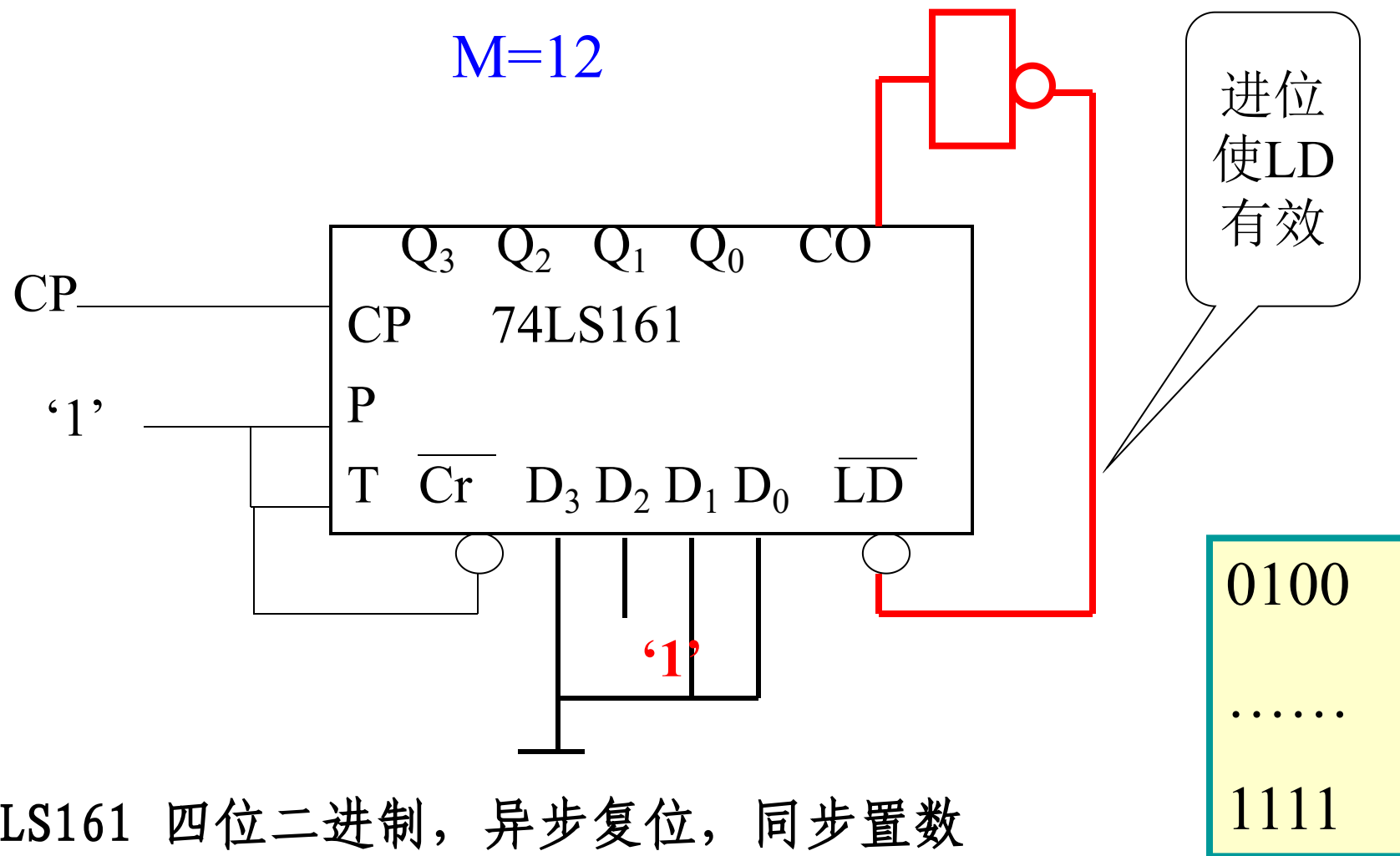
功能表:

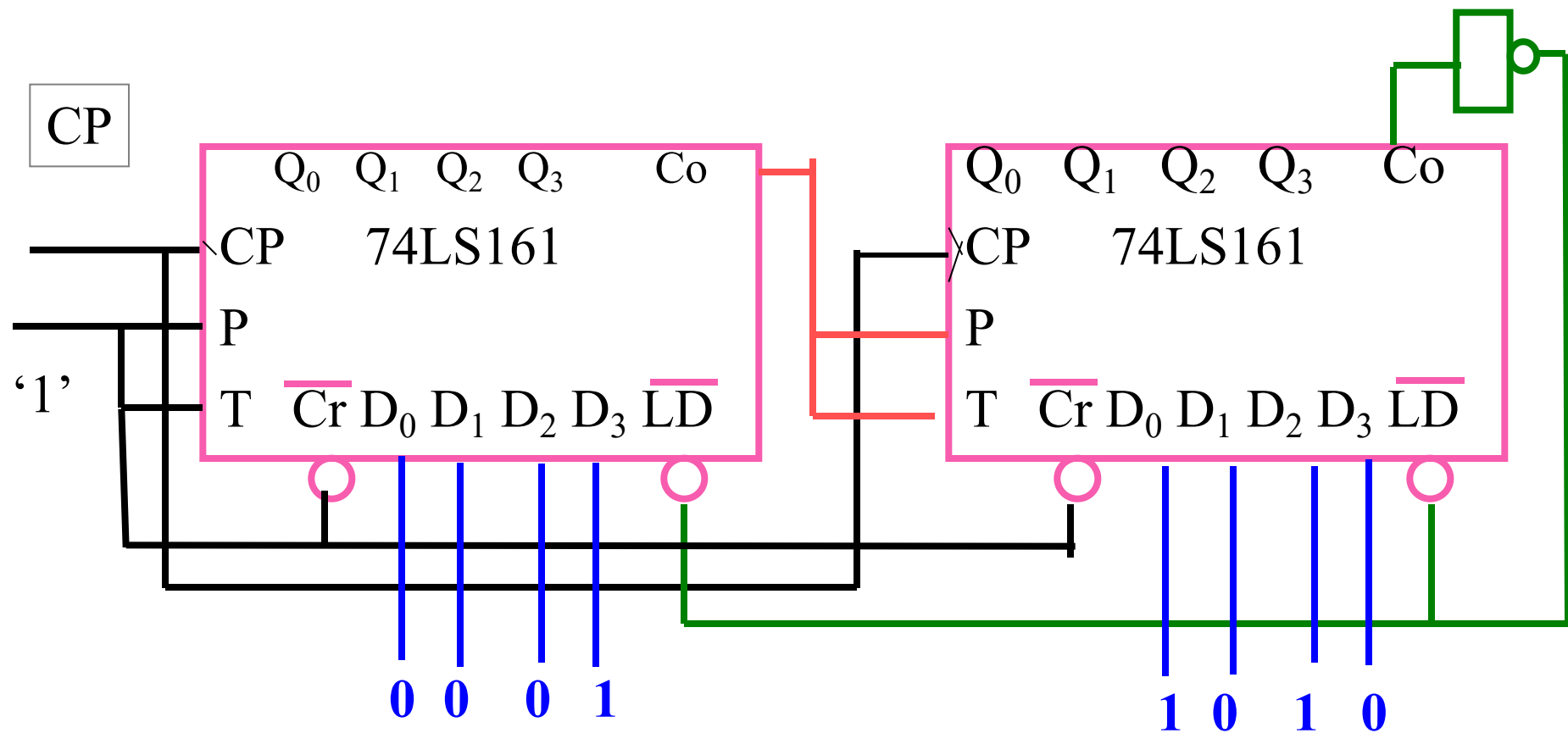
CP	R _d	S ₁	S ₂	LD	功能	C
↑	0	X	X	X	清零	0
X	1	0	1	1	保持	保持
X	1	X	0	1	保持	0
↑	1	1	1	0	置数	
↑	1	1	1	1	计数	



(2) 预置法：(在末态置初值)

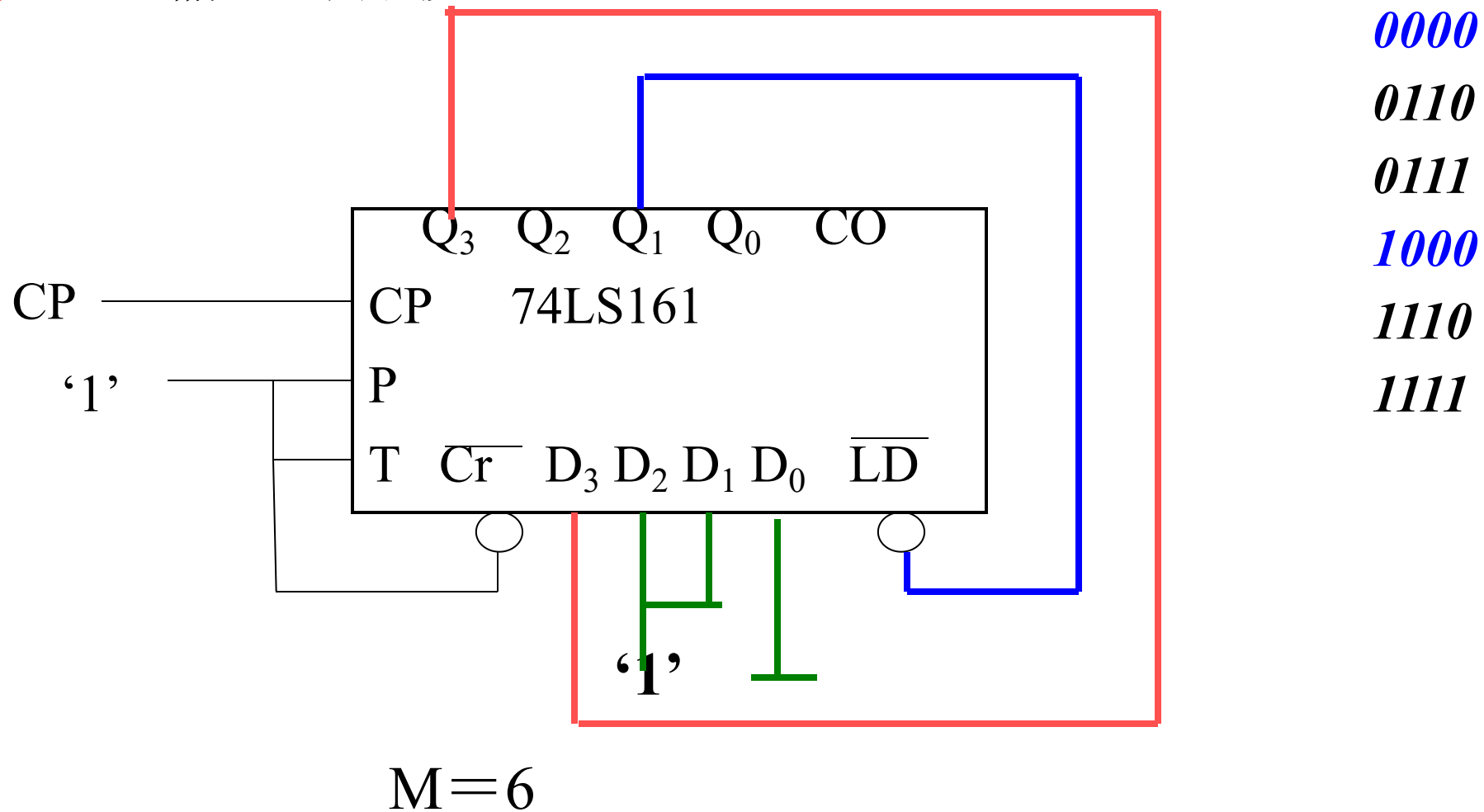
1) 利用进位置数，置初始值；



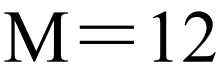


M=168

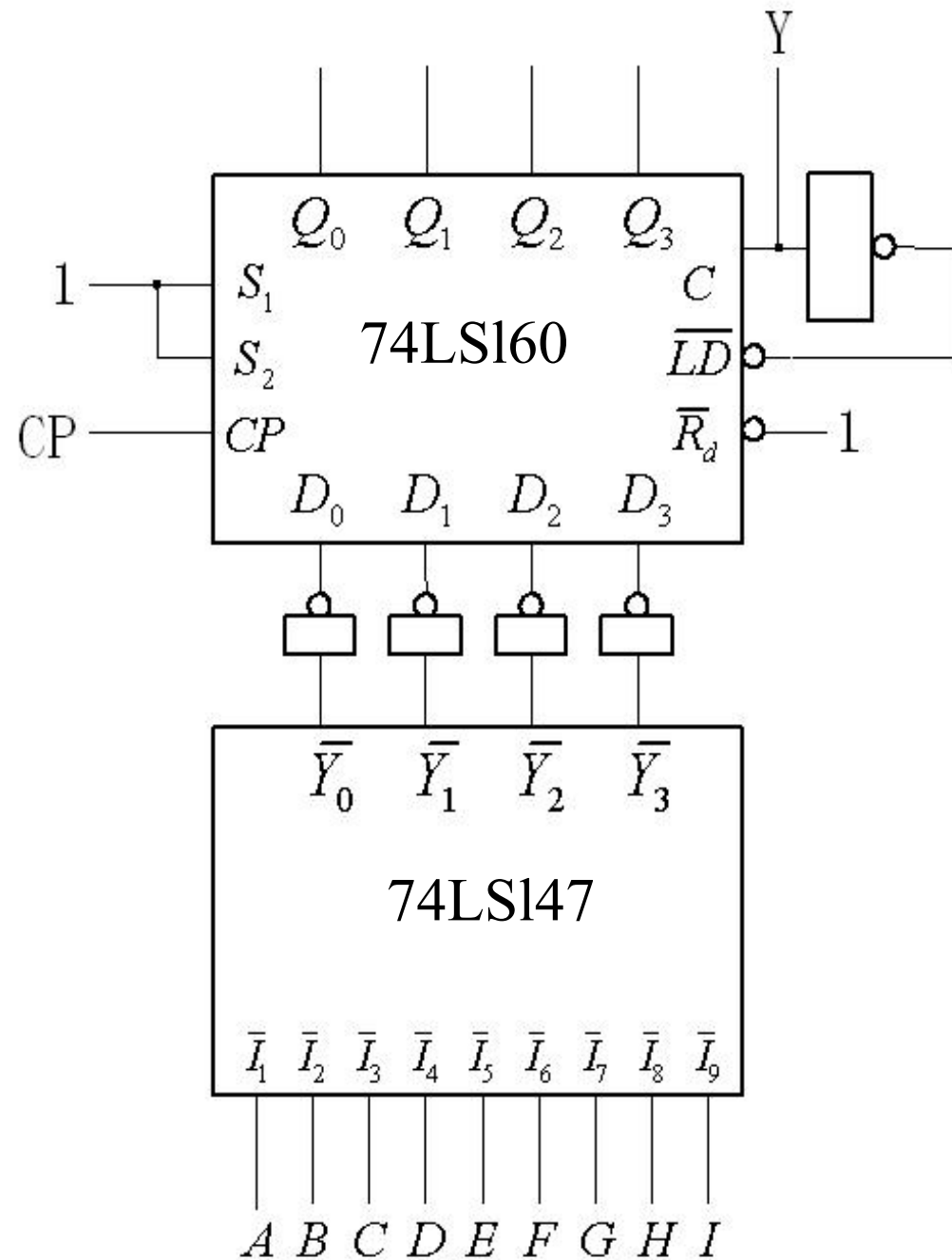
3. 多次预置（输出对称波）



最高位输出方波。



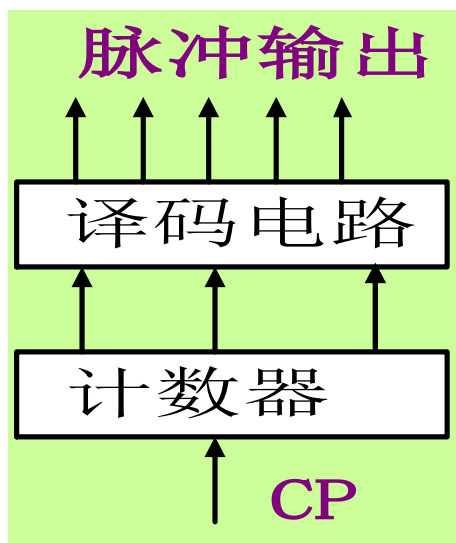
由二 - 十进制编码器74LS147 和同步十进制计数器74LS160所组成的可控分频器。试说明当输入控制信号A、B、C、D、E、F、G、H、I分别为低电平时，由Y输出的脉冲频率是多少。假定CP脉冲的频率为10kHz.



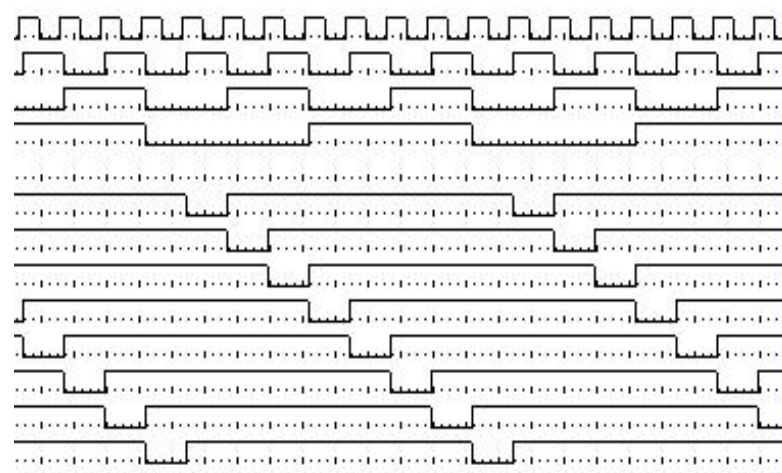
§ 3.5.2 计数器的应用

组合与时序的综和应用

◎ 顺序脉冲（节拍）发生器

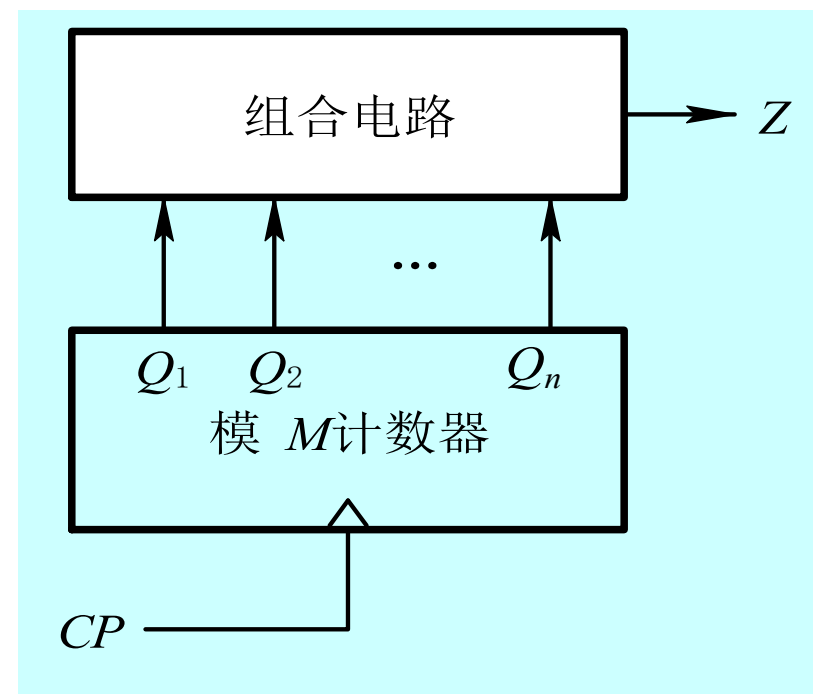
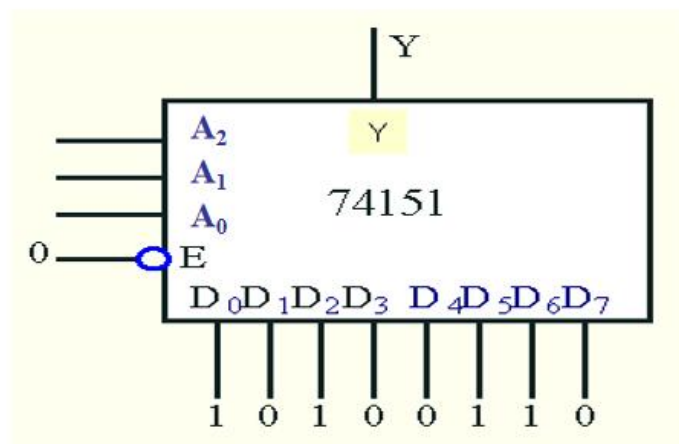


计数器的 M 个状态，
产生 M 路脉冲



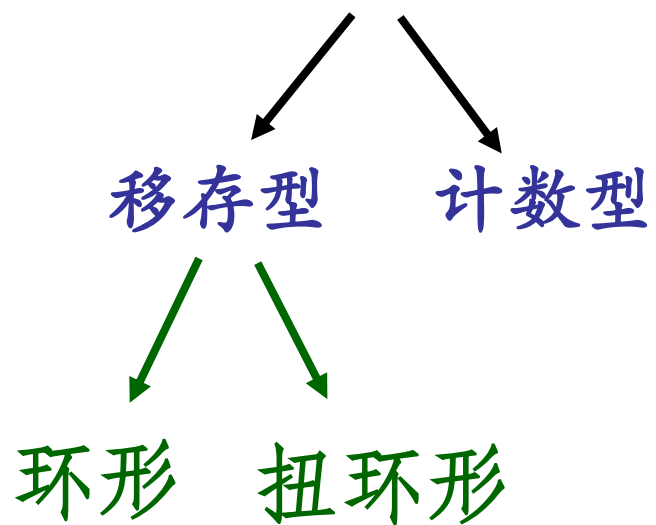
◎ 序列信号发生器

重复产生序列码10100110，

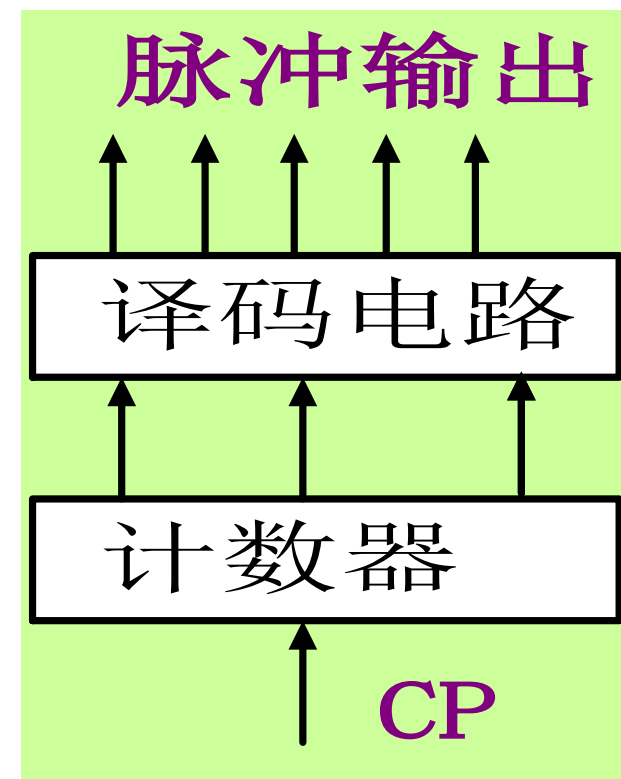
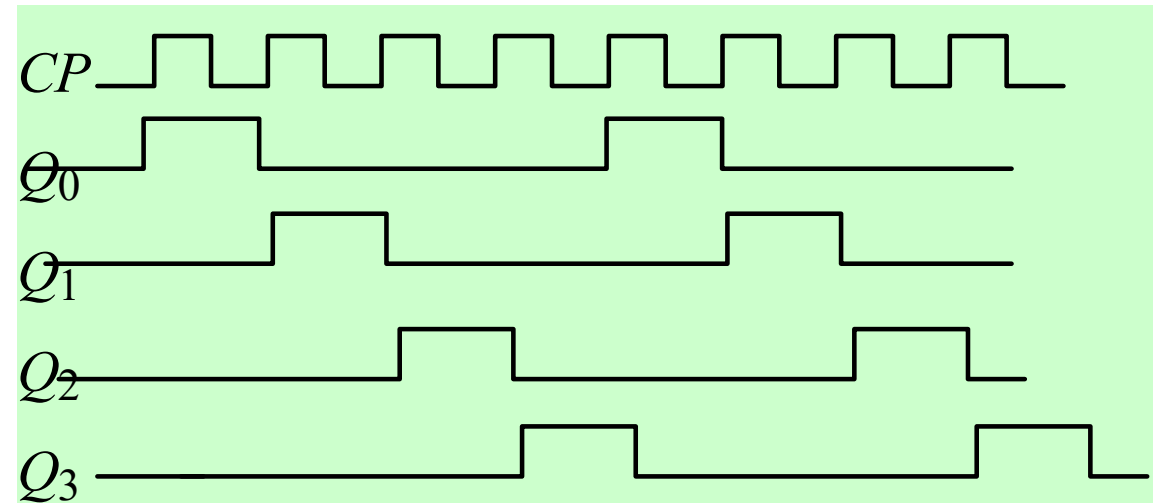


一、顺序脉冲（节拍）发生器

组成：计数器+译码电路

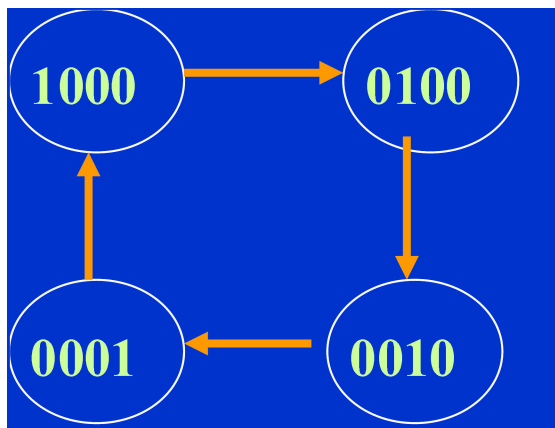


计数器的M个状态，产生M路脉冲



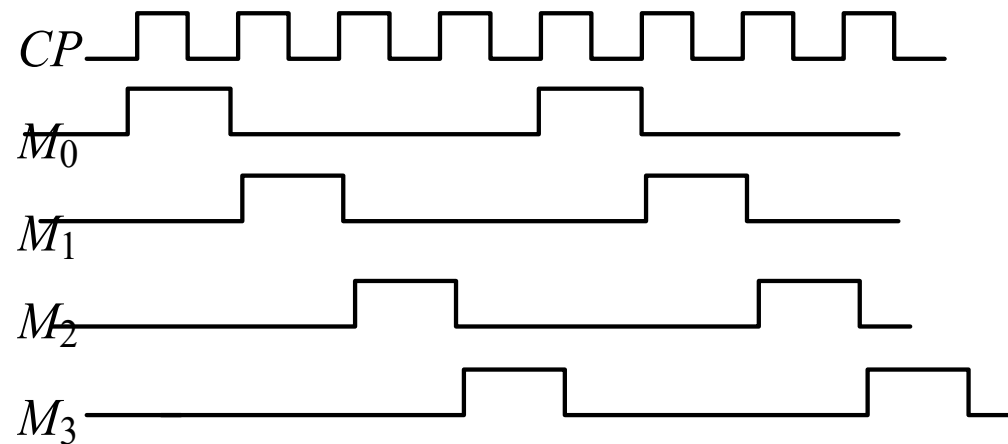
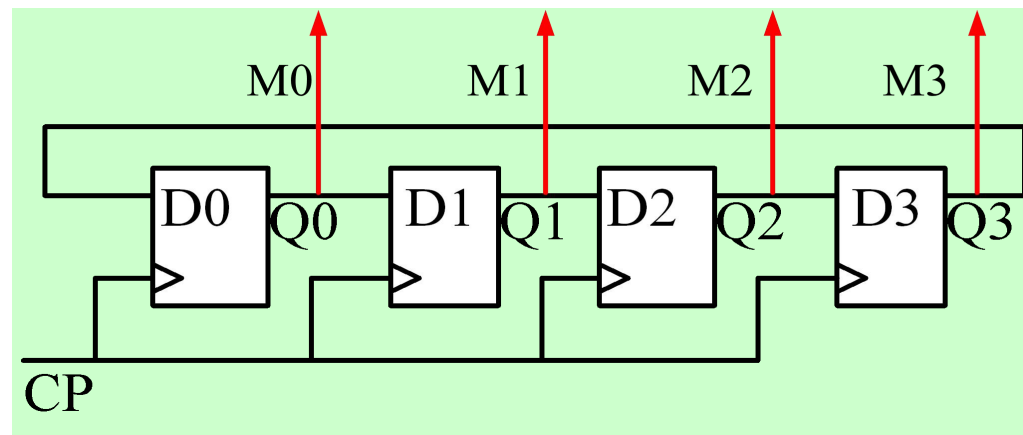
1、由环形计数器构成的节拍发生器

直接输出，不需译码



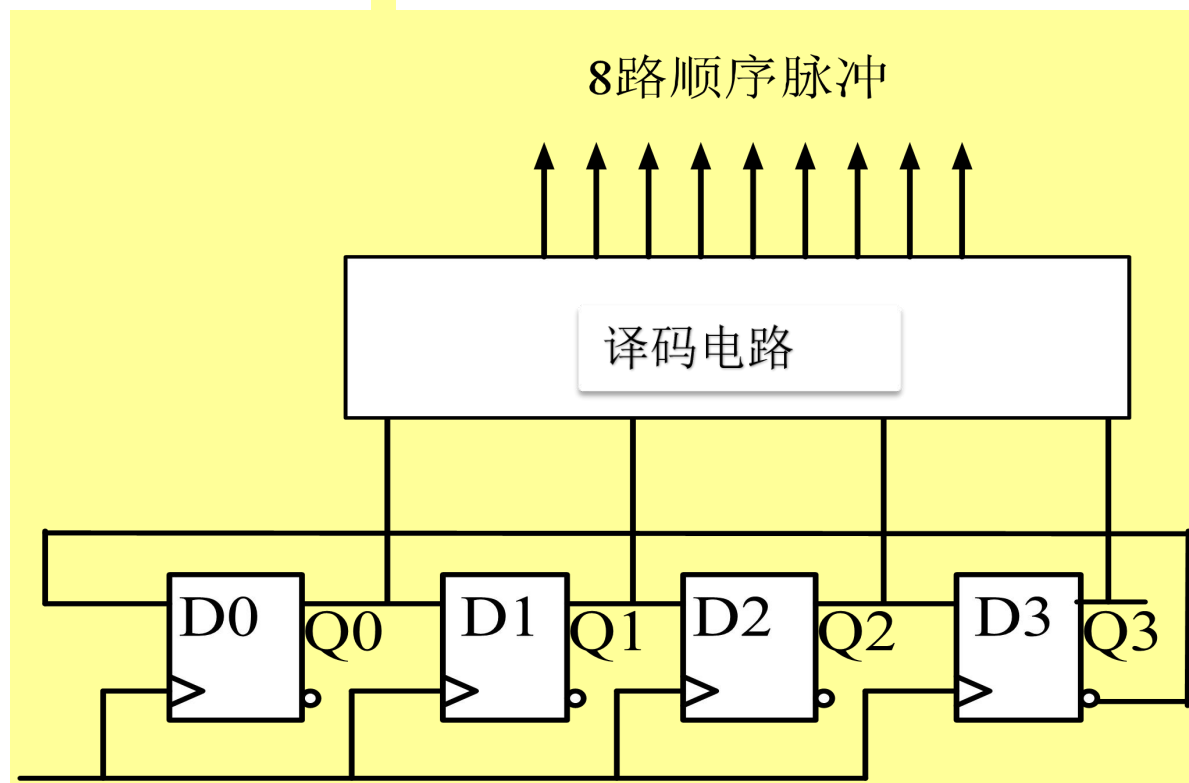
特点：

结构简单，不必附加译码电路。但使用的触发器数目多，M路顺序脉冲用了M个触发器。



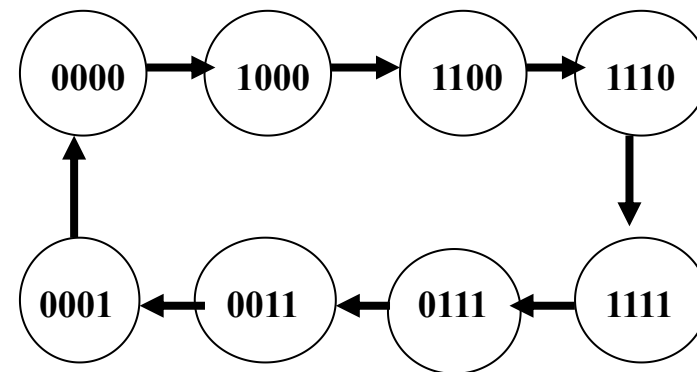
2、由扭环形计数器构成的节拍发生器

匹配的译码器应另行设计。

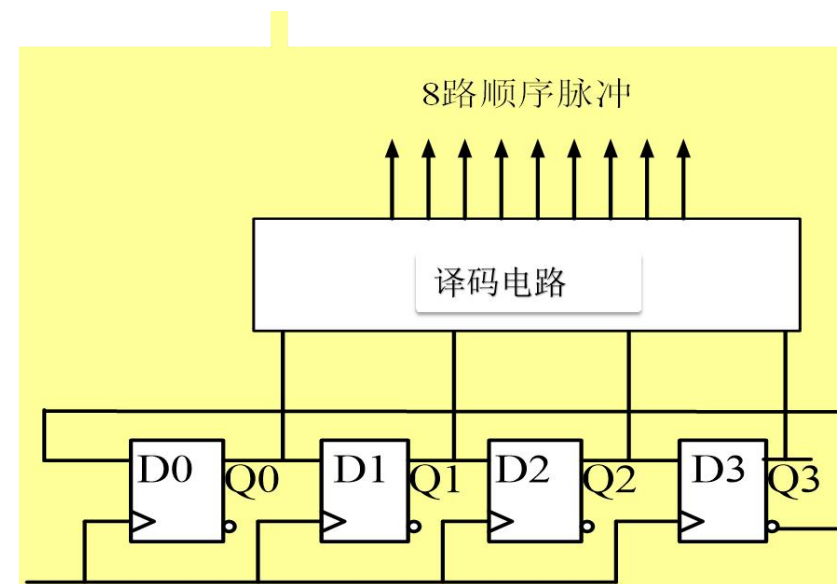
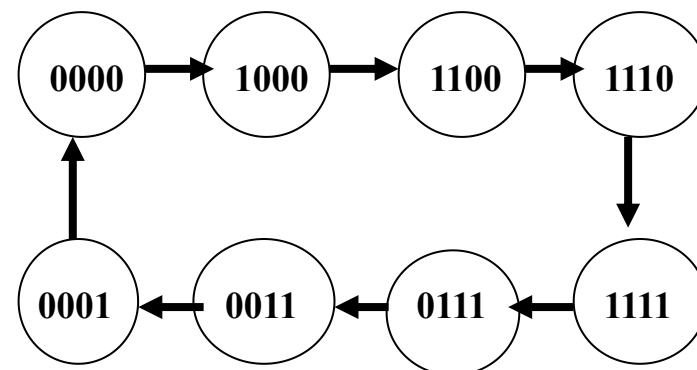
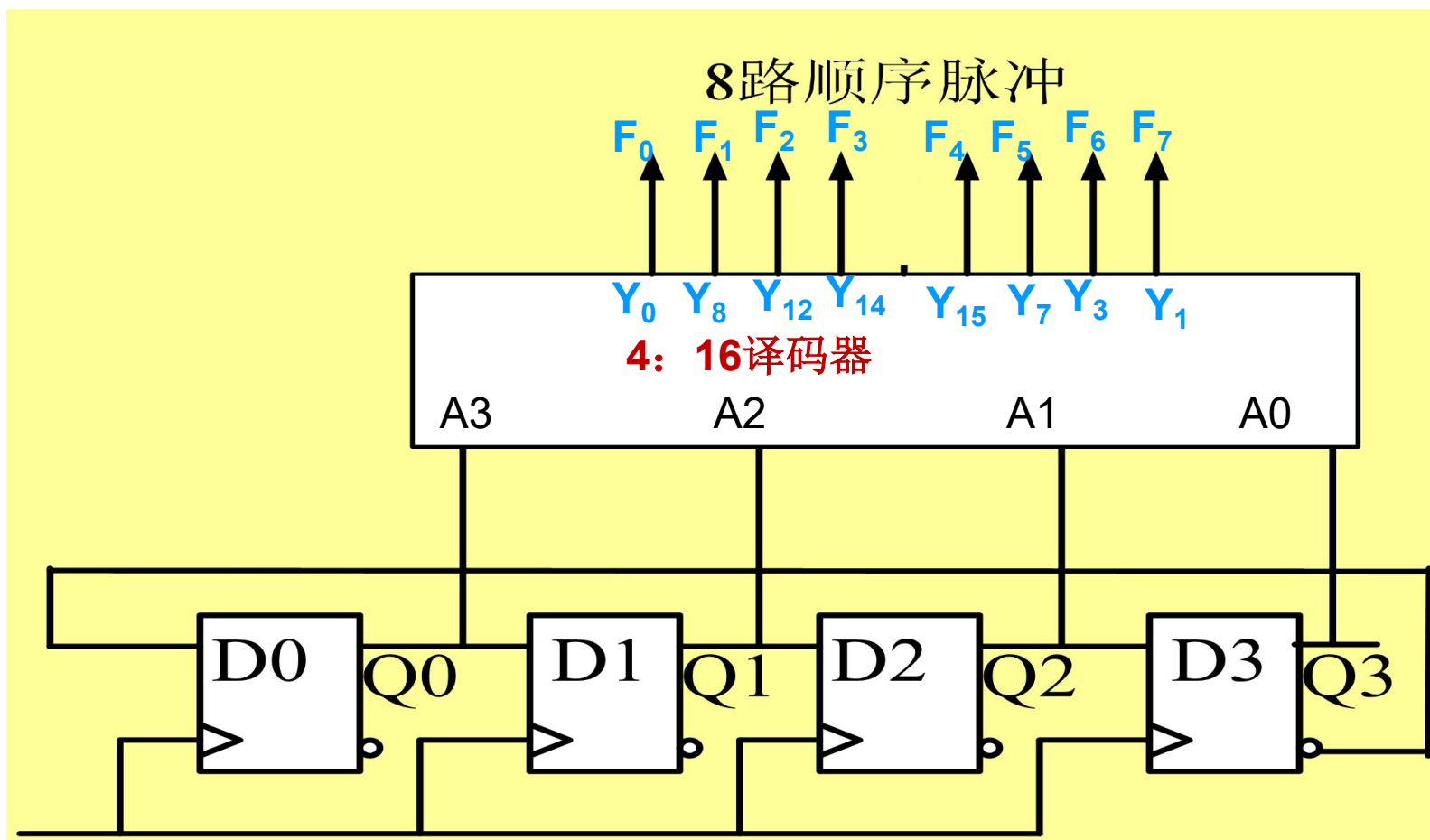


输入：现态

输出：M个



计数器+译码电路

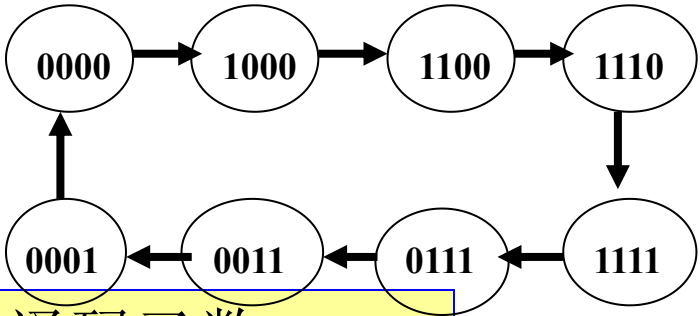


F0输出

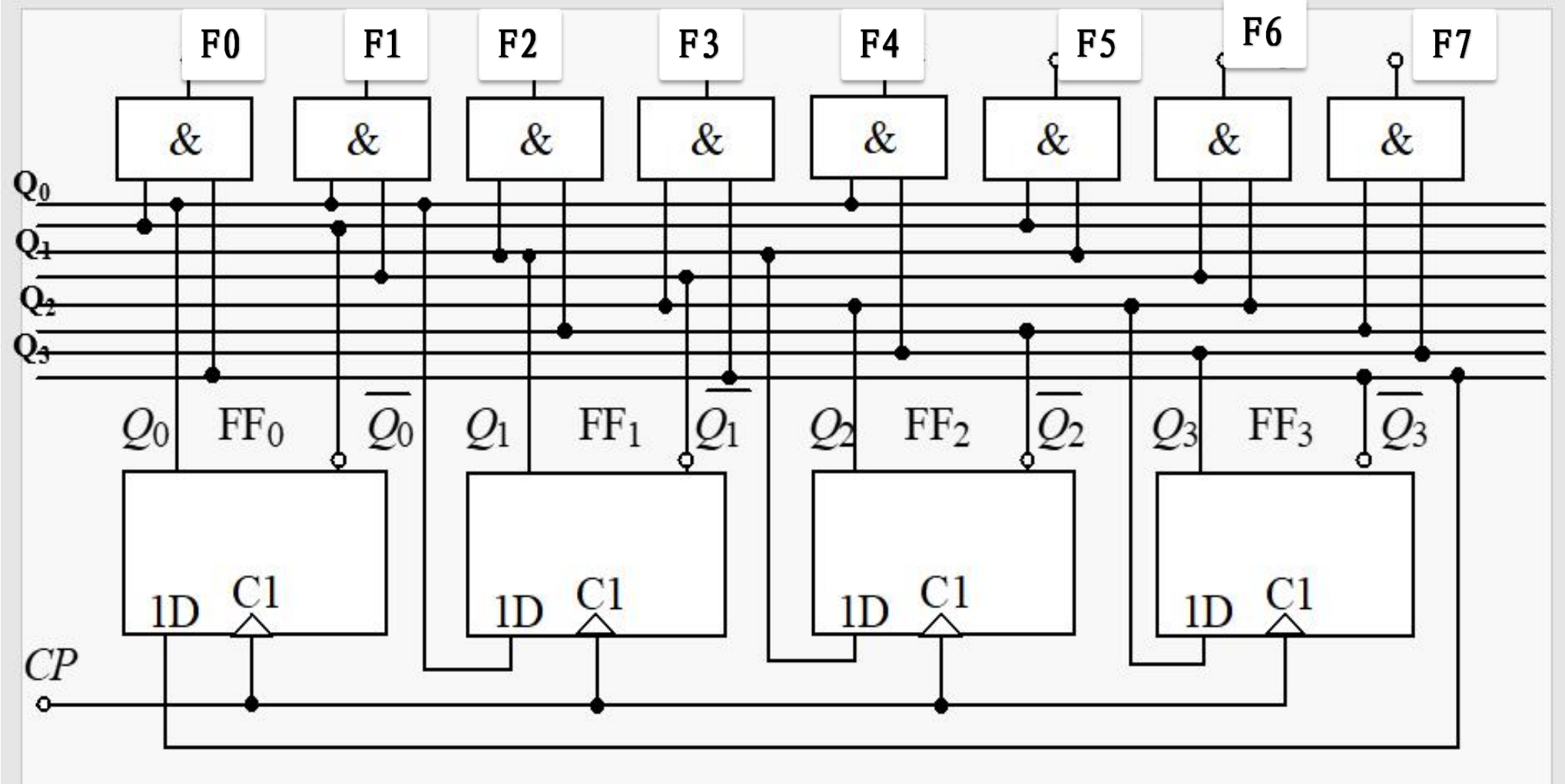
$Q_0 Q_1 \backslash Q_2 Q_3$		00	01	11	10
00	1	0	0	x	
01	x	x	0	x	
11	0	x	0	0	
10	0	x	x	x	

$$F_0 = \overline{Q_0} \overline{Q_3}$$

$Q_0 Q_1 \backslash Q_2 Q_3$		00	01	11	10
00		Y 0	Y 7	Y 6	x
01		x	x	Y 5	x
11		Y 2	x	Y 4	Y 3
10		Y 1	x	x	x

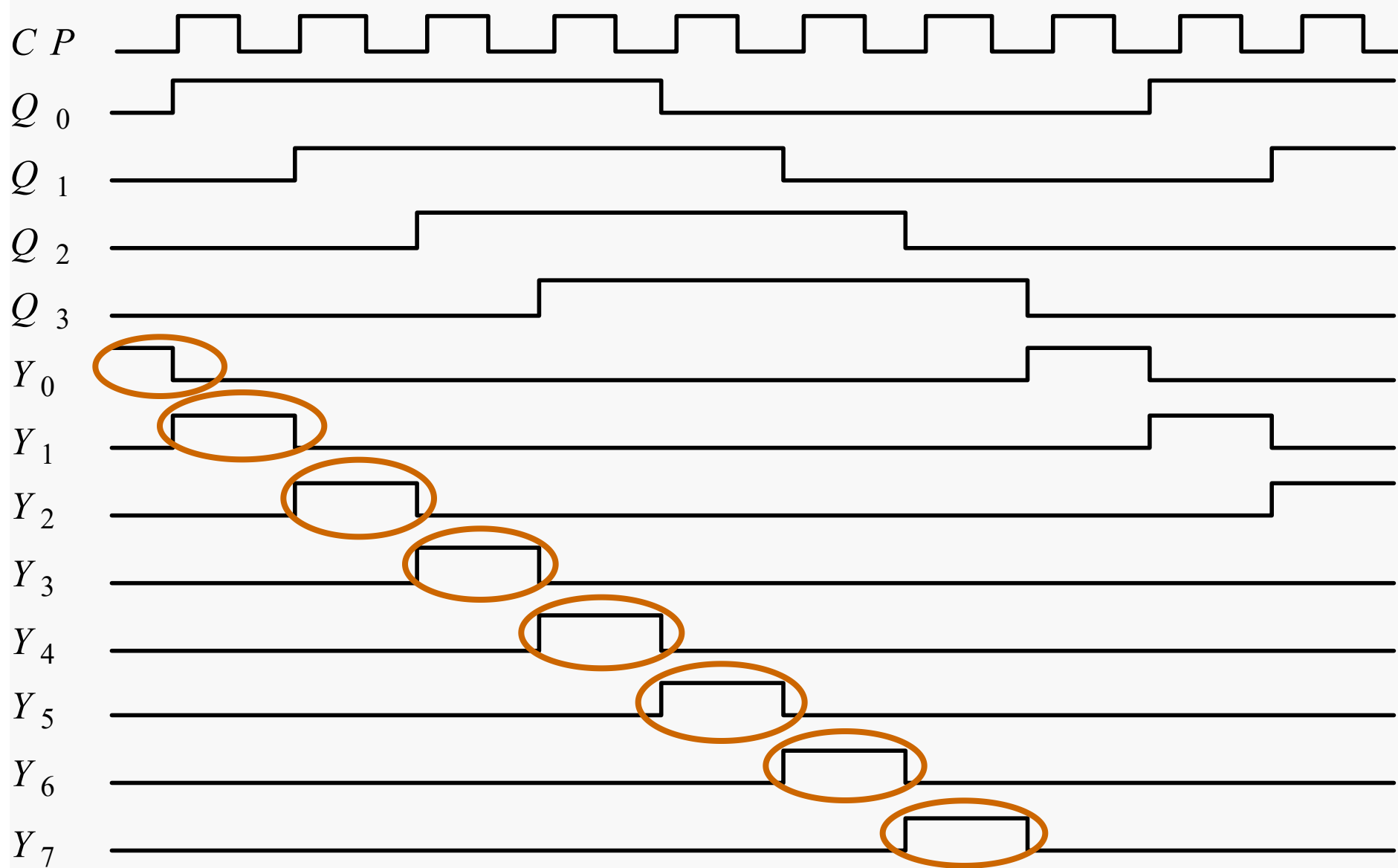


CP	$Q_0 Q_1 Q_2 Q_3$	译码函数
0	0 0 0 0	$\overline{Q_0} \overline{Q_3}$ (0线)
1	1 0 0 0	$Q_0 \overline{Q_1}$ (1线)
2	1 1 0 0	$Q_1 \overline{Q_2}$ (2线)
3	1 1 1 0	$\overline{Q_2} Q_3$ (3线)
4	1 1 1 1	$Q_0 Q_3$ (4线)
5	0 1 1 1	$\overline{Q_0} Q_1$ (5线)
6	0 0 1 1	$\overline{Q_1} Q_2$ (6线)
7	0 0 0 1	$\overline{Q_2} Q_3$ (7线)



$$F_0 = \overline{Q_0} \overline{Q_3} \quad F_1 = Q_0 \overline{Q_1} \quad F_2 = Q_1 \overline{Q_2} \quad F_3 = Q_2 \overline{Q_3}$$

$$F_4 = Q_0 Q_3 \quad F_5 = \overline{Q_0} Q_1 \quad F_6 = \overline{Q_1} Q_2 \quad F_7 = \overline{Q_2} Q_3$$

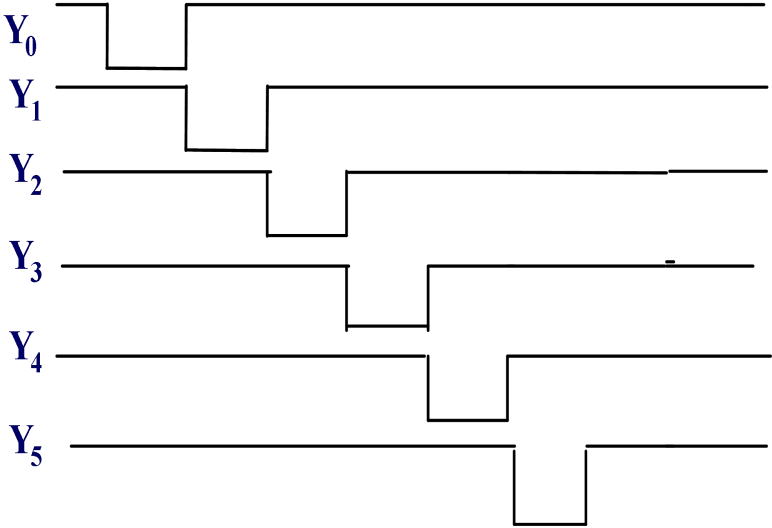


计数器采用扭环型计数器可从根本上消除竞冒险现象，且译码电路简单。但电路利用率较低

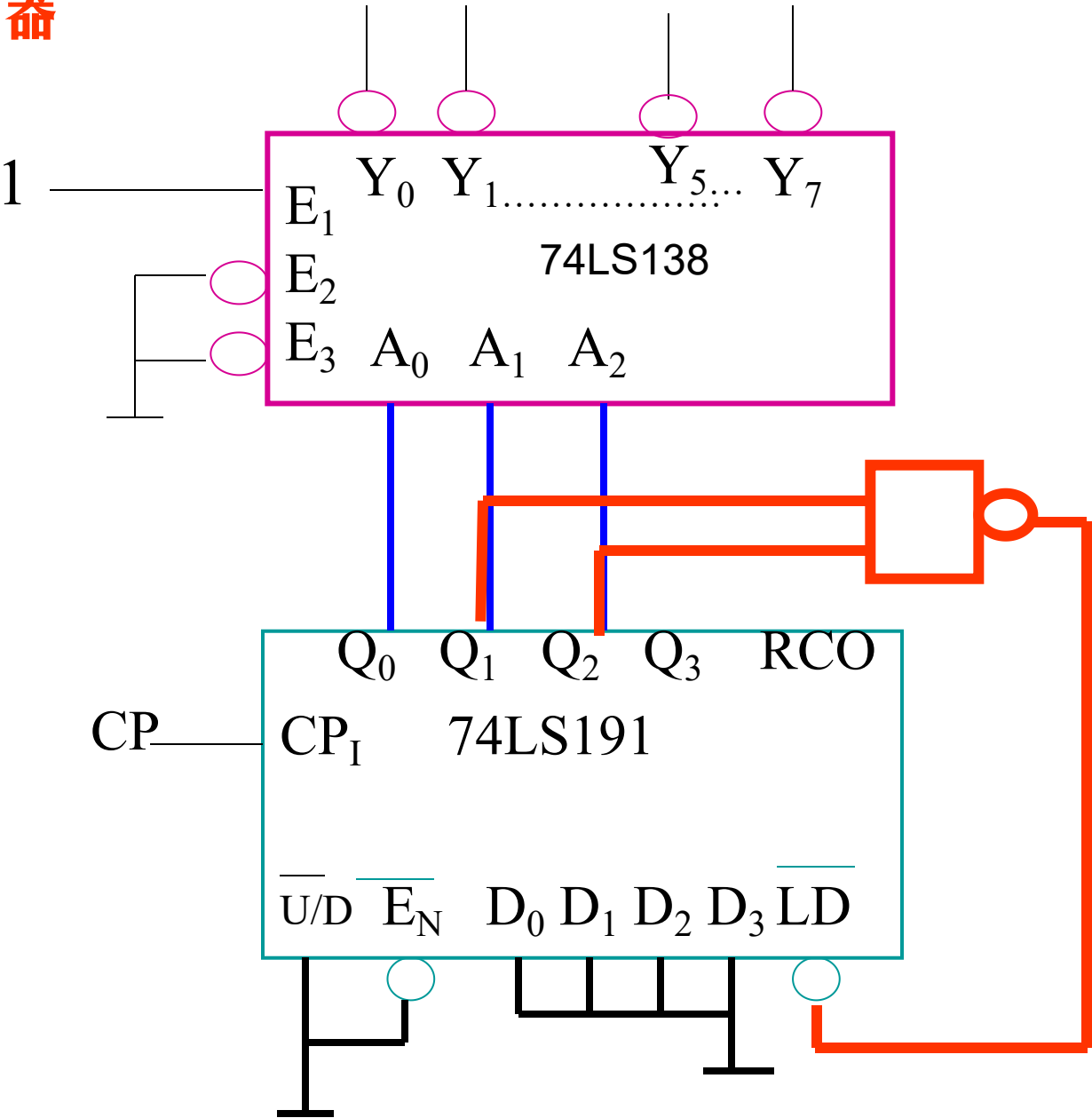
3、自然态序计数器构成的节拍发生器

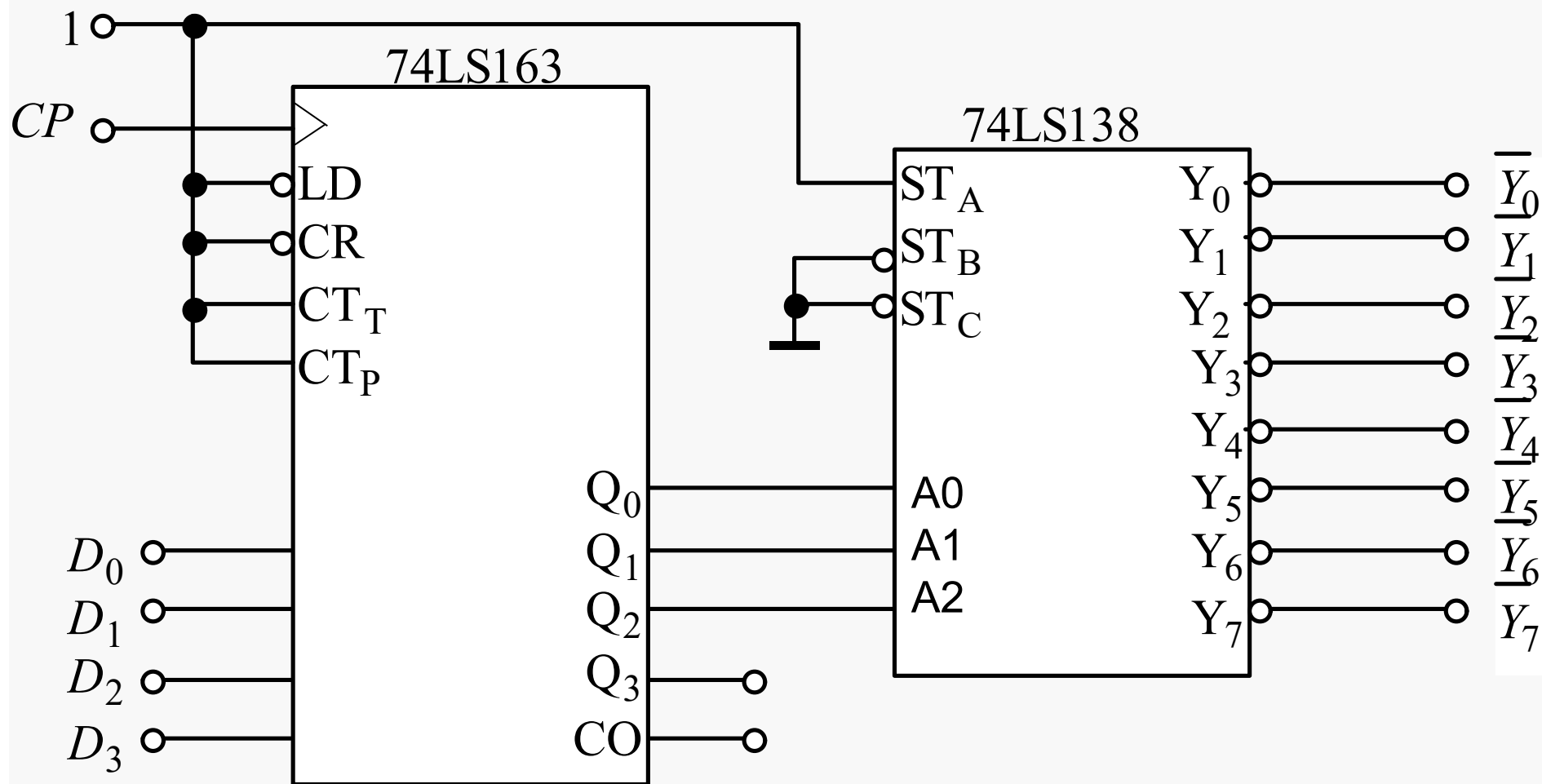
计数器 + 译码器

6 路脉冲分配器。



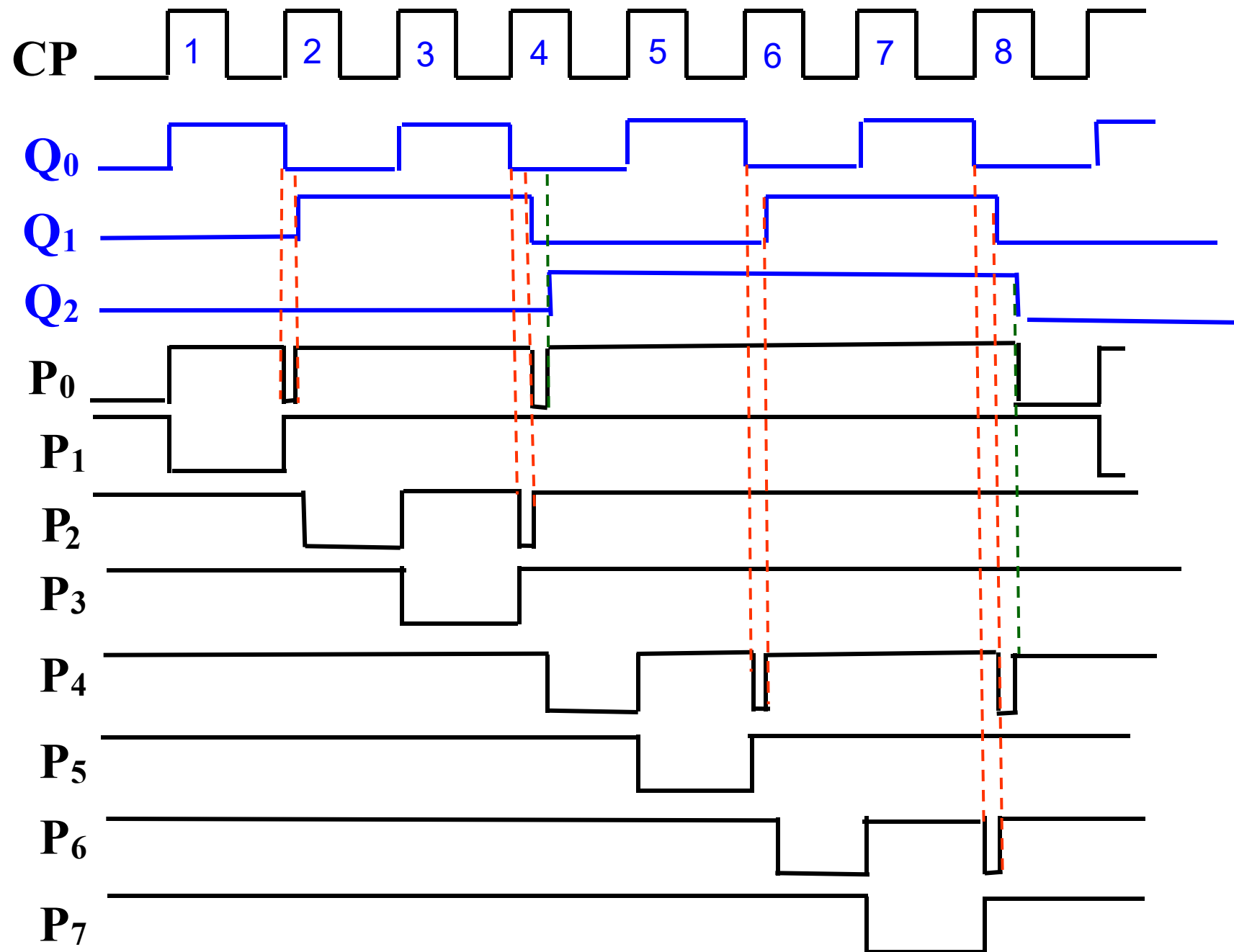
电路利用率高，有竞争冒险



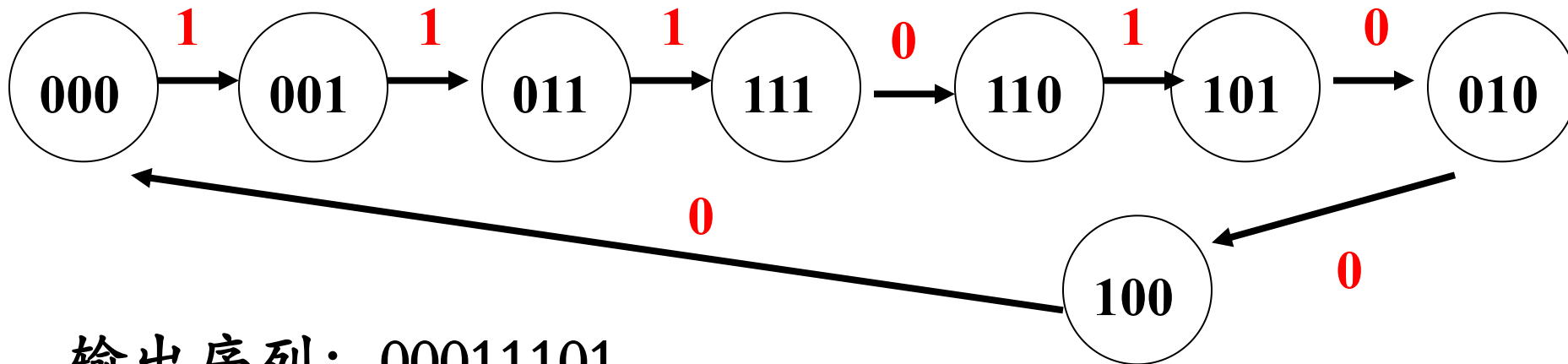
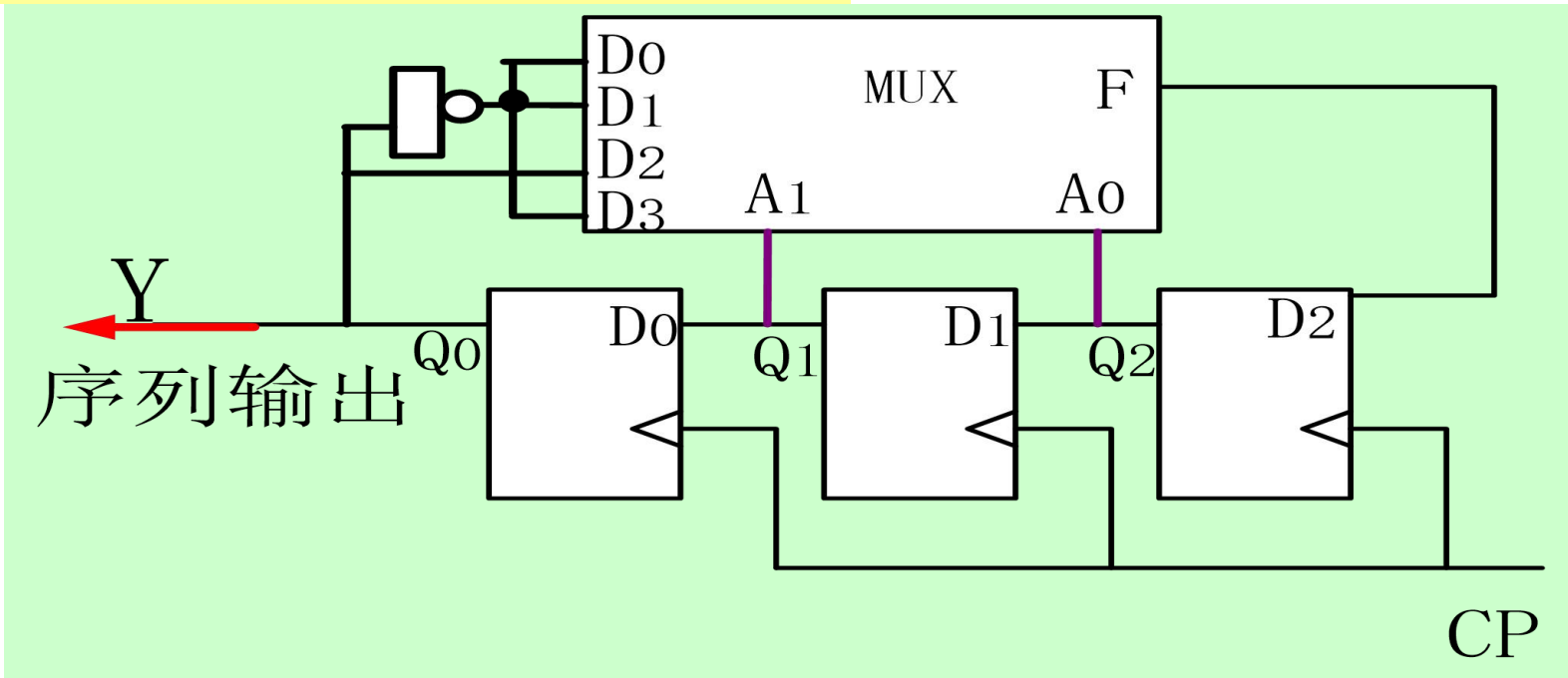


计数器

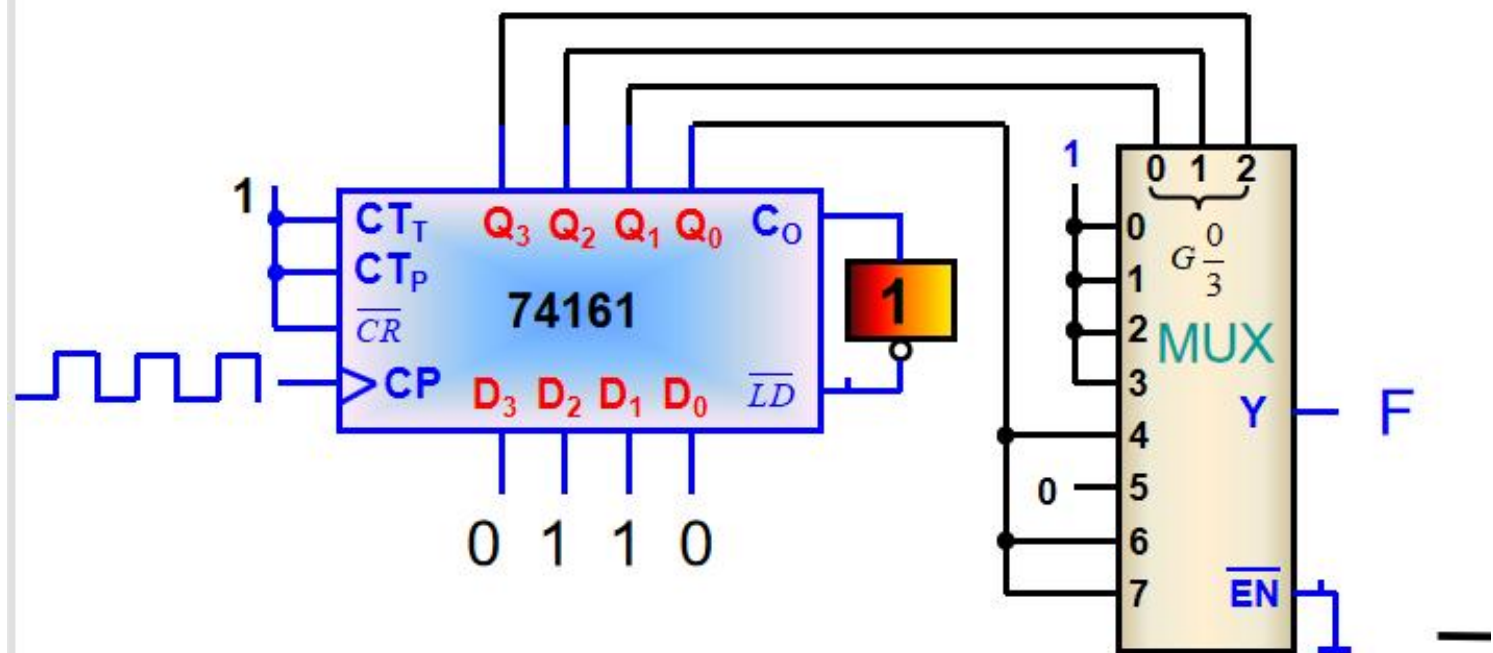
译码器



二、序列信号发生器



输出序列：00011101



1101000101 的序列信号发生器

0110	1
0111	1
1000	0
1001	1
1010	0
1011	0
1100	0
1101	1
1110	0
1111	1

