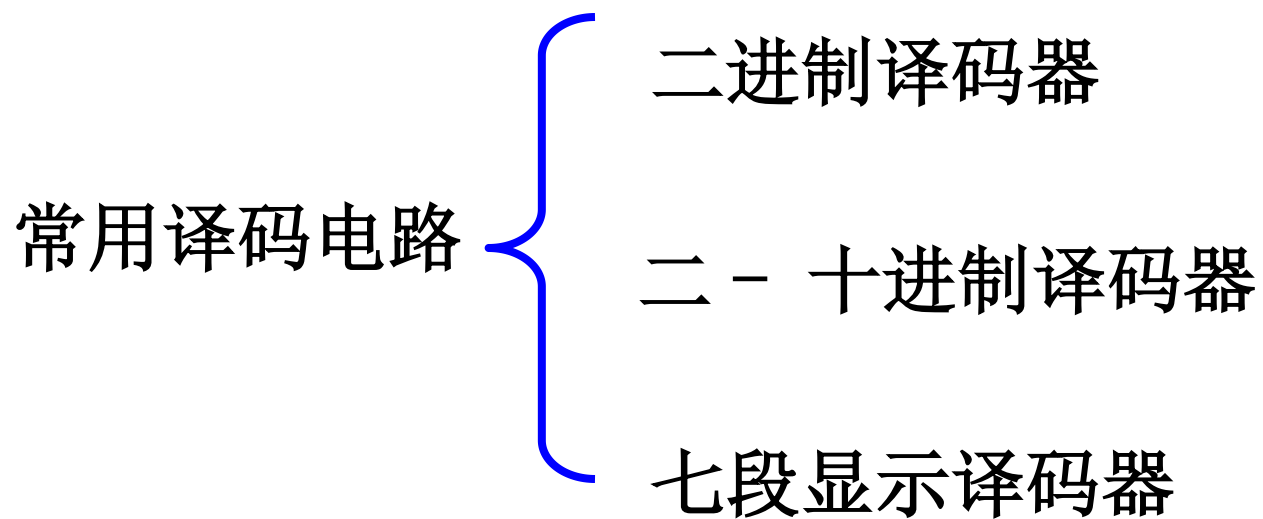


§ 2.5 译码器和编码器

一、译码器(Decoder)

将**二进制码**翻译成**一个**有效的输出信号。



1. 二进制译码器

输入：n位代码；

输出：从 2^n 个信息中译出一个有效信息。

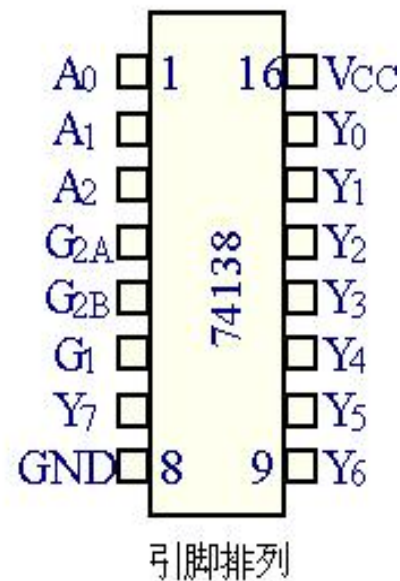
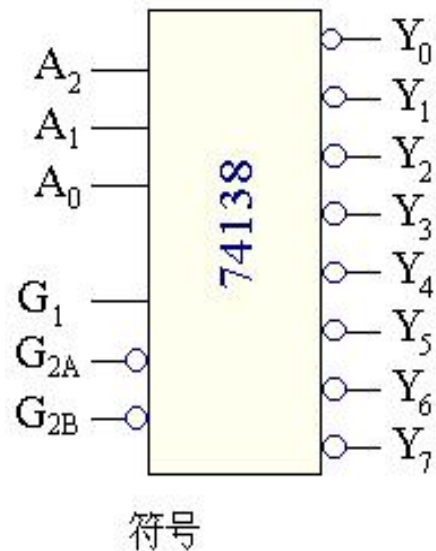


(1) 3:8译码器 (74138)

1) 功能与结构:

输入端：使能端、地址端。

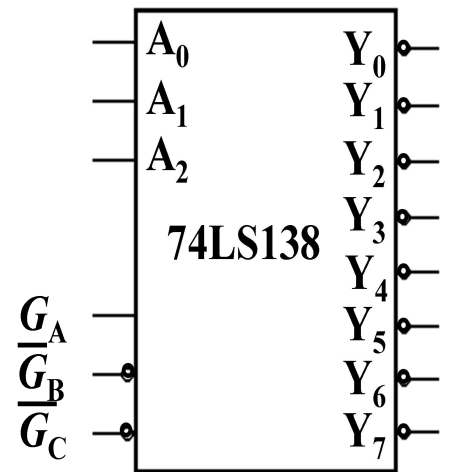
输出端：低电平有效。



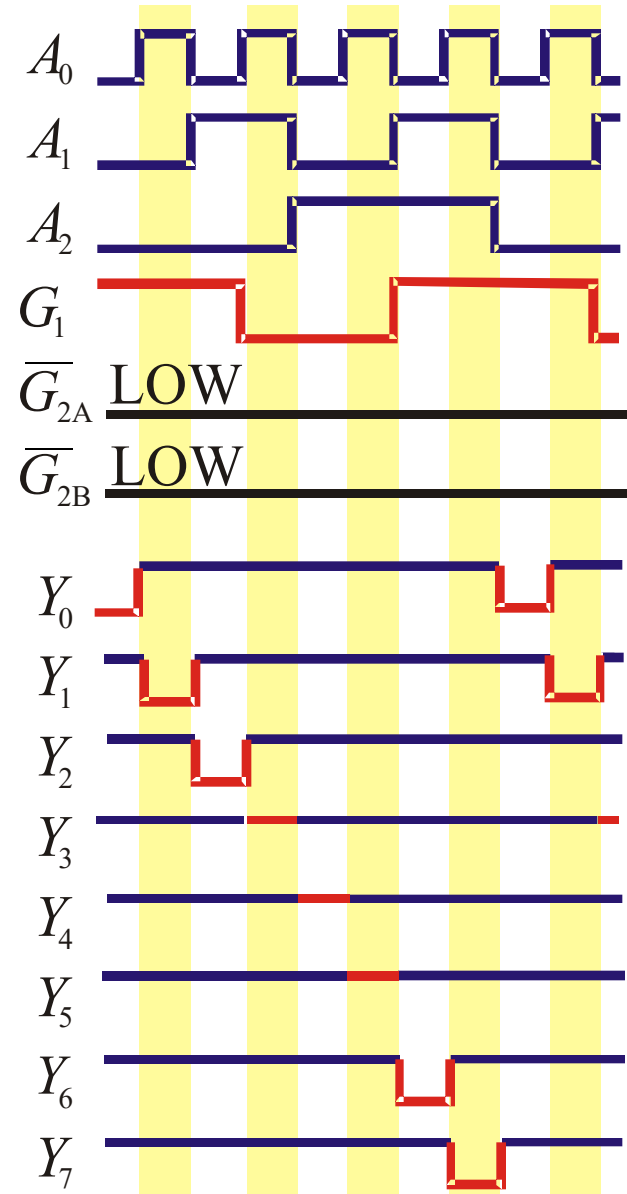
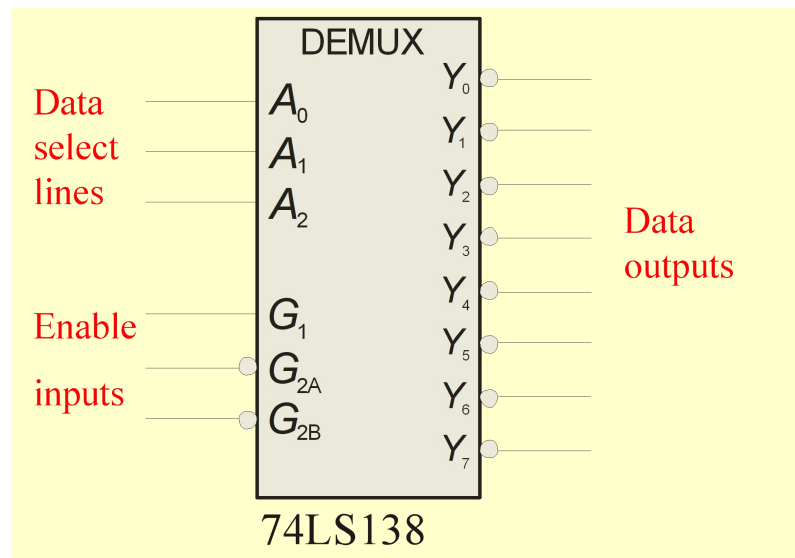
$$\overline{G_2} = \overline{G_{2A}} + \overline{G_{2B}}$$

输入		输出										
使能	选择											
G_1	$\overline{G_2}$	A_2	A_1	A_0	Y_7	Y_6	Y_5	Y_4	Y_3	Y_2	Y_1	Y_0
×	1	×	×	×	1	1	1	1	1	1	1	1
0	×	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1	1	1	0	1	1
1	0	0	1	0	1	1	1	1	0	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	0	1	1	1	1
1	0	1	0	1	1	1	0	1	1	1	1	1
1	0	1	1	0	1	0	1	1	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1	1	1

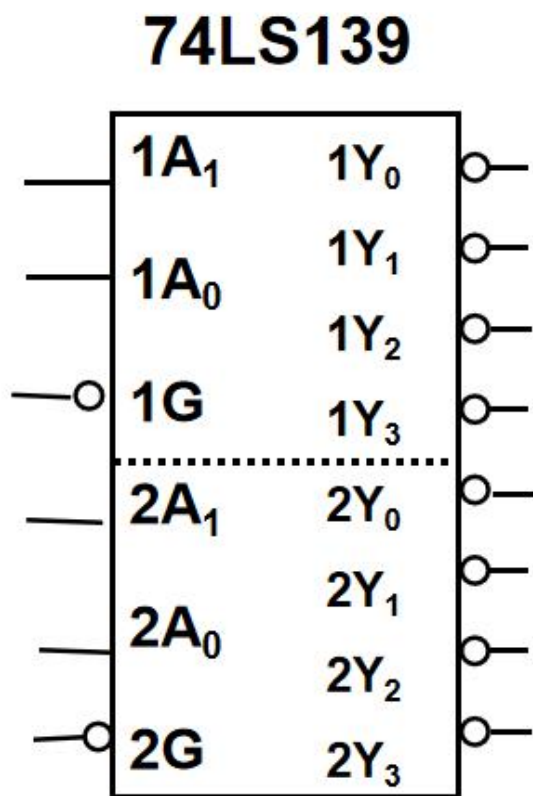
译码器的输出端对应一个最小项的非。



$$\left\{ \begin{array}{l} Y_0 = \overline{m_0} \\ Y_1 = \overline{m_1} \\ Y_2 = \overline{m_2} \\ Y_3 = \overline{m_3} \\ Y_4 = \overline{m_4} \\ Y_5 = \overline{m_5} \\ Y_6 = \overline{m_6} \\ Y_7 = \overline{m_7} \end{array} \right.$$



(2) 双2:4译码器74LS139

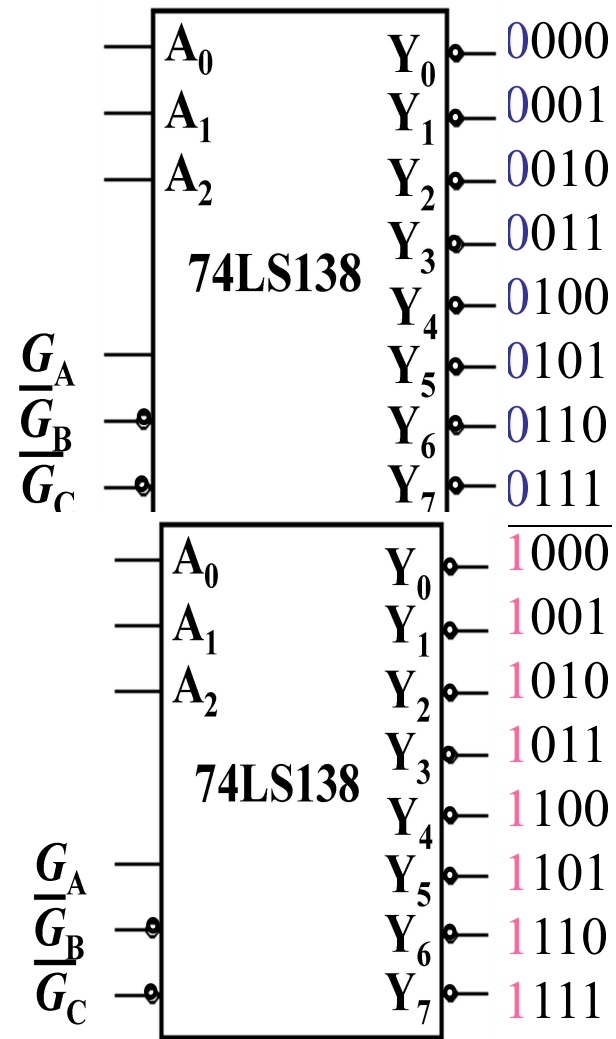
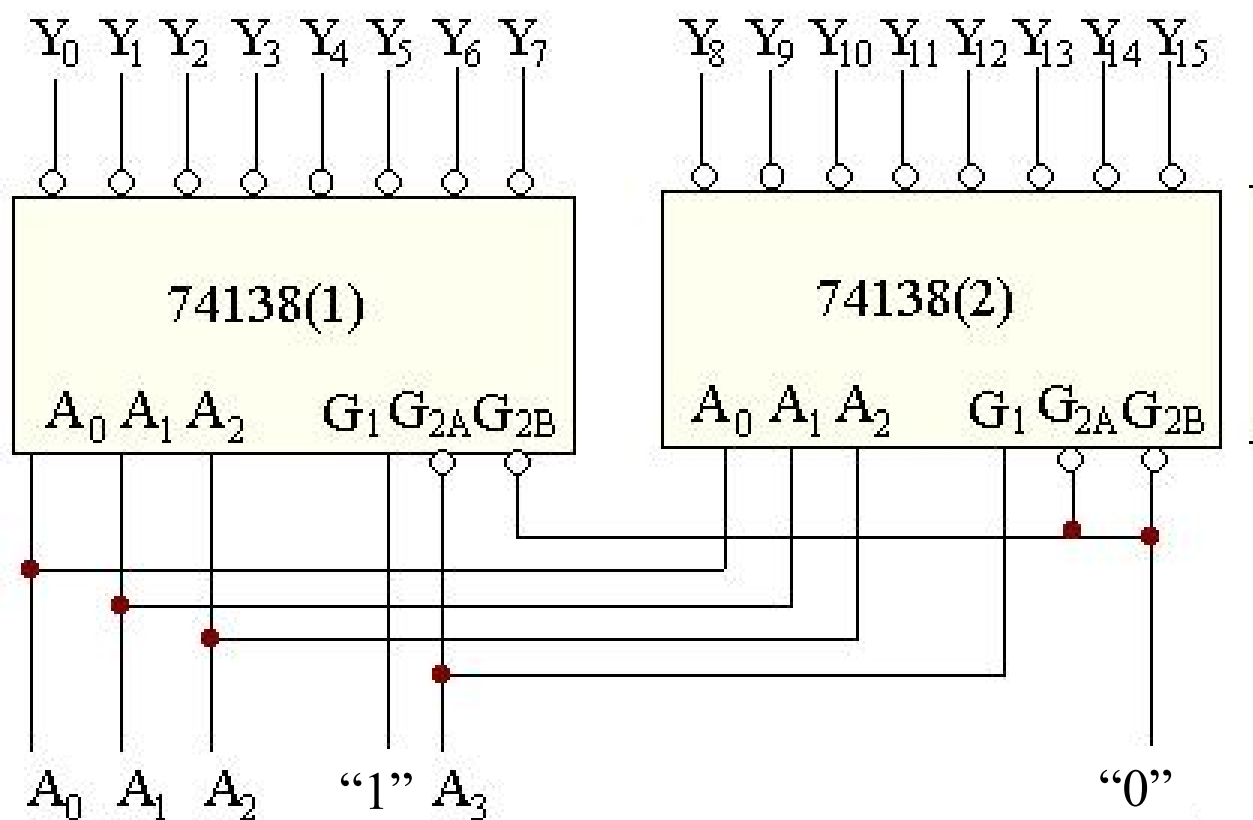


G	A ₁	A ₀	Y ₀	Y ₁	Y ₂	Y ₃
1	X	X	1	1	1	1
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0

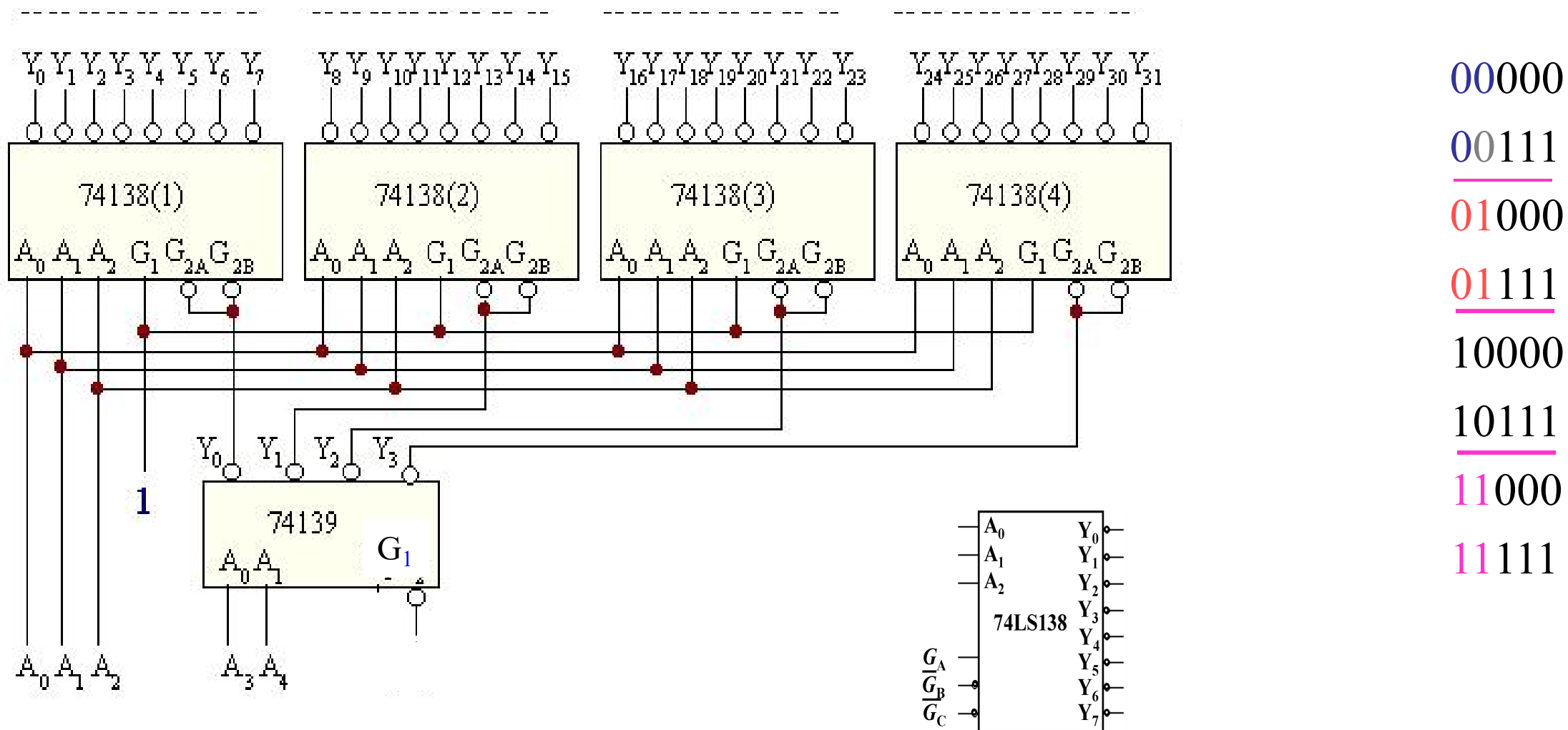
3. 应用举例

(1) 提供片选

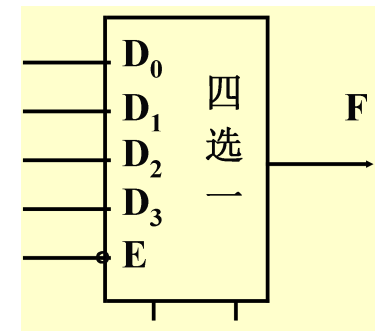
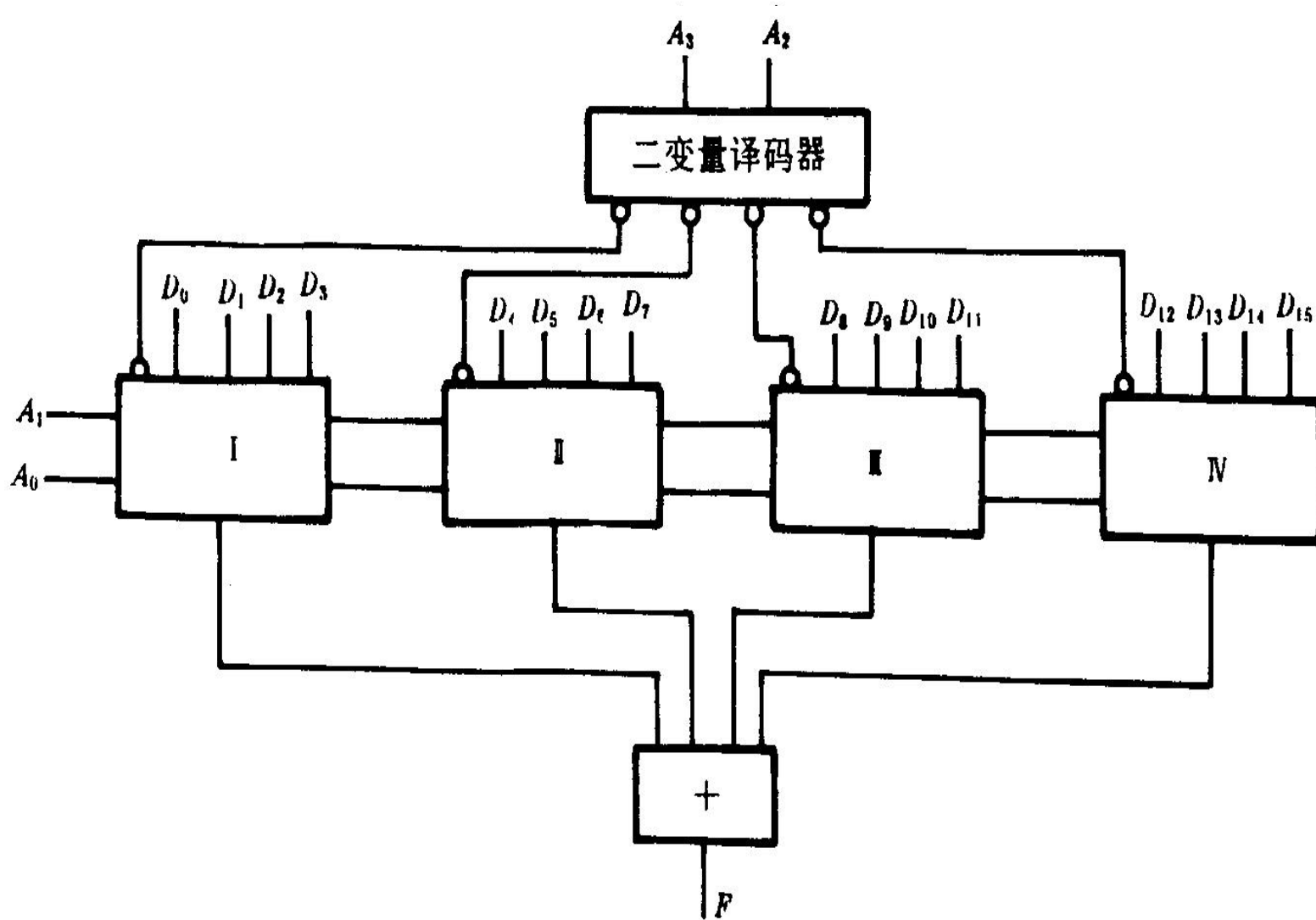
用3—8译码器构成4—16译码器



用3-8译码器74138和2-4译码器74139扩展成5-32译码器



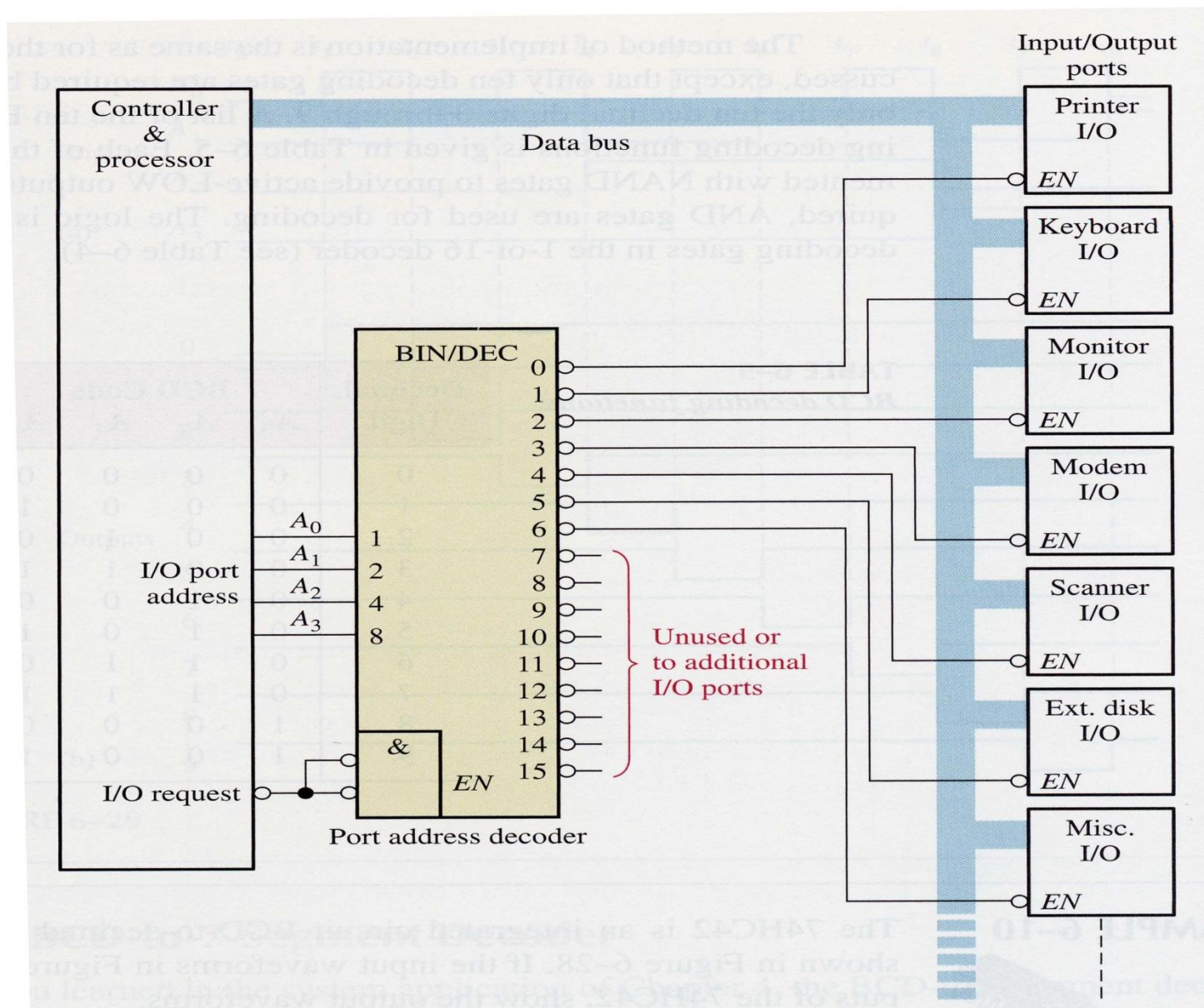
用4选1的数据选择器构成16选1的数据选择器



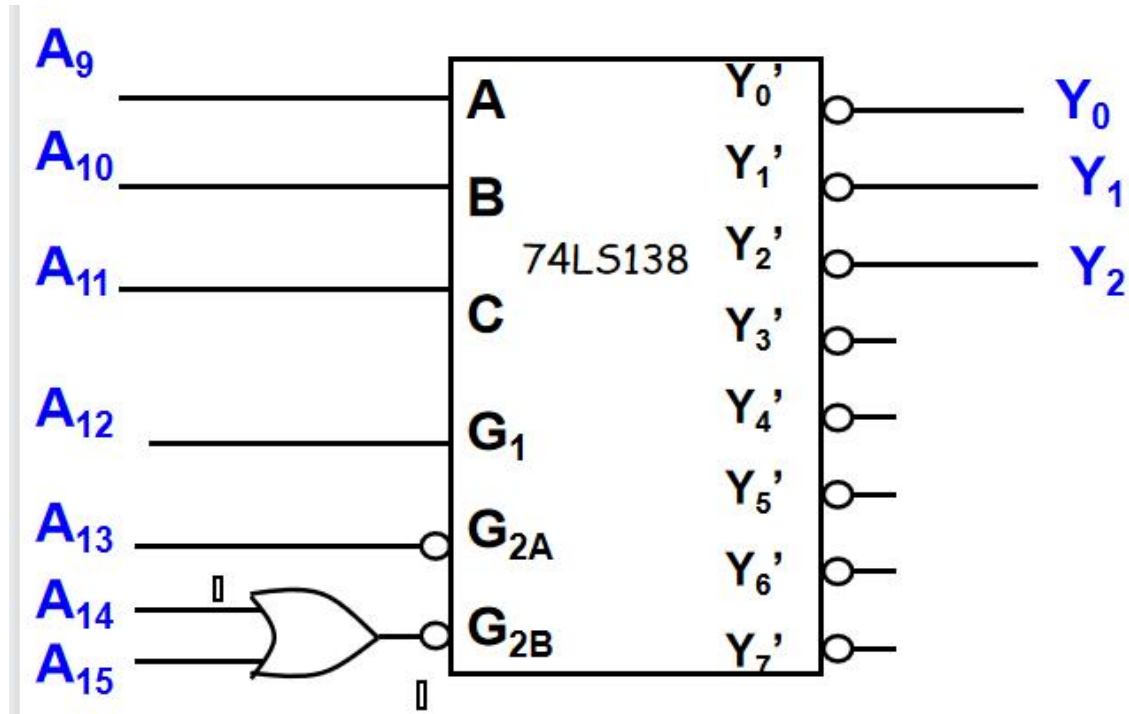
0000
0001
0010
0011
<hr/>
0100
0101
0110
0111
<hr/>
1000
1001
1010
1011
<hr/>
1100
1101
1110
1111

(2) 地址译码

存储器、外设地址译码



写出：该译码器选择的地址范围； Y_0 、 Y_1 、 Y_2 的地址译码范围（用16进制数表示-**Hexadecimal**）



① 1000H~1FFFH

② Y_0 :
1000H~11FFH

Y_1 :
1200H~13FFH

Y_2 :
1400H~15FFH

A_{15} A_{14} A_{13} A_{12} A_{11} A_{10} A_9 A_8 A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0

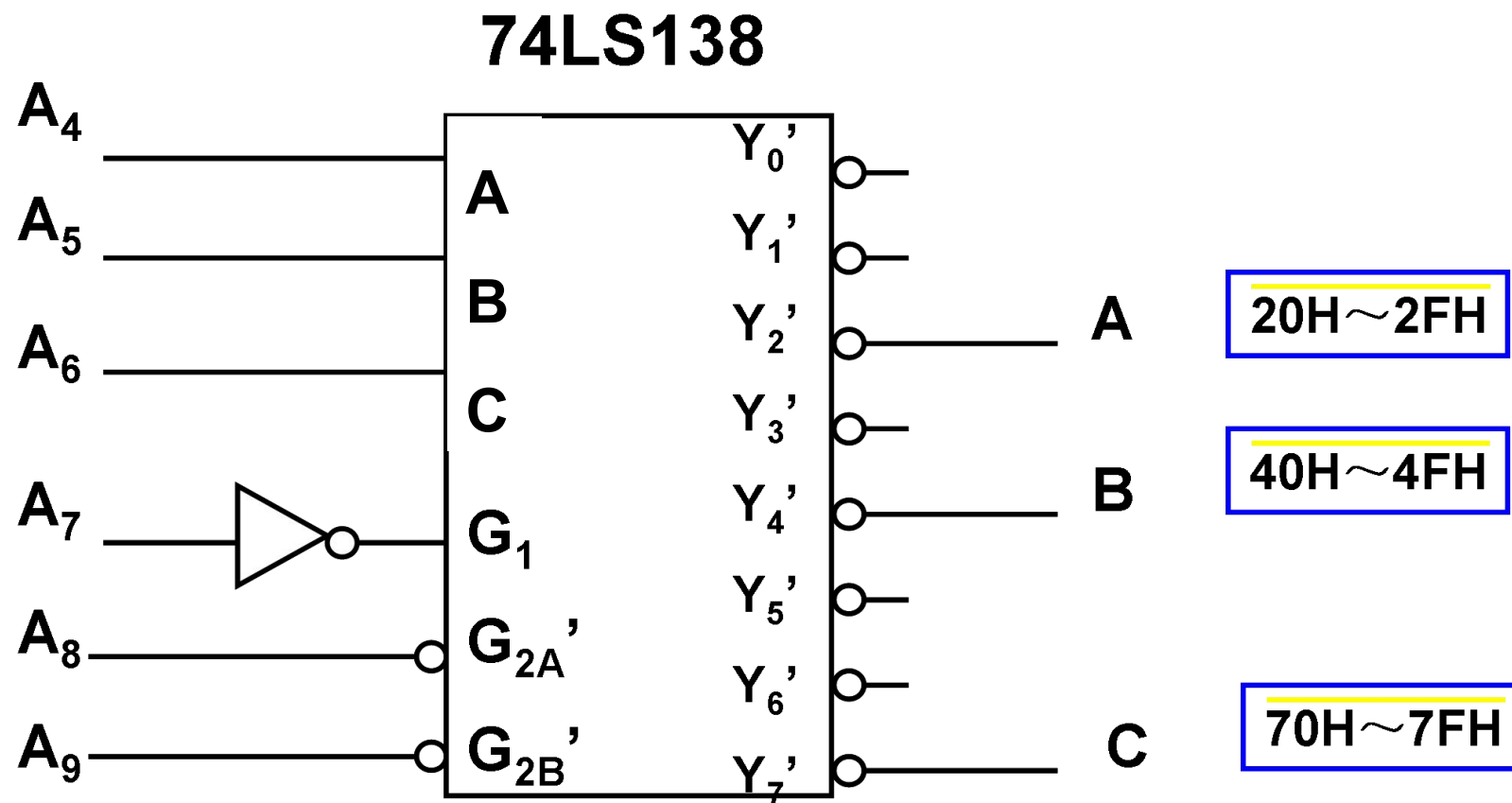
0 0 0 1 C B A × × × × × × × ×

某计算机用地址A₉~A₀选择外设，设备A、B、C的选择地址分别为：20H~2FH、40H~4FH、70H~7FH，请设计地址译码器。（用74LS138实现）

	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃A ₀	
A设备	0	0	0	0	1	0	X X X X	Y ₂
B设备	0	0	0	1	0	0	X X X X	Y ₄
C设备	0	0	0	1	1	1	X X X X	Y ₇

用3: 8译码器实现

A_9	A_8	A_7	A_6	A_5	A_4	$A_3 \cdots$	A_0
0	0	0	0	1	0	X	X
0	0	0	1	0	0	X	X
0	0	0	1	1	1	X	X

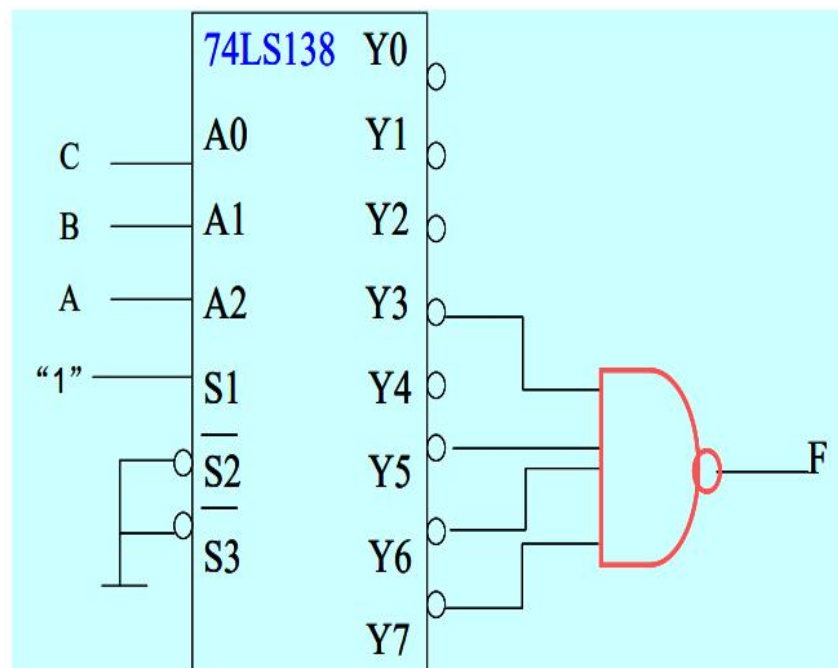


(3) 实现逻辑函数

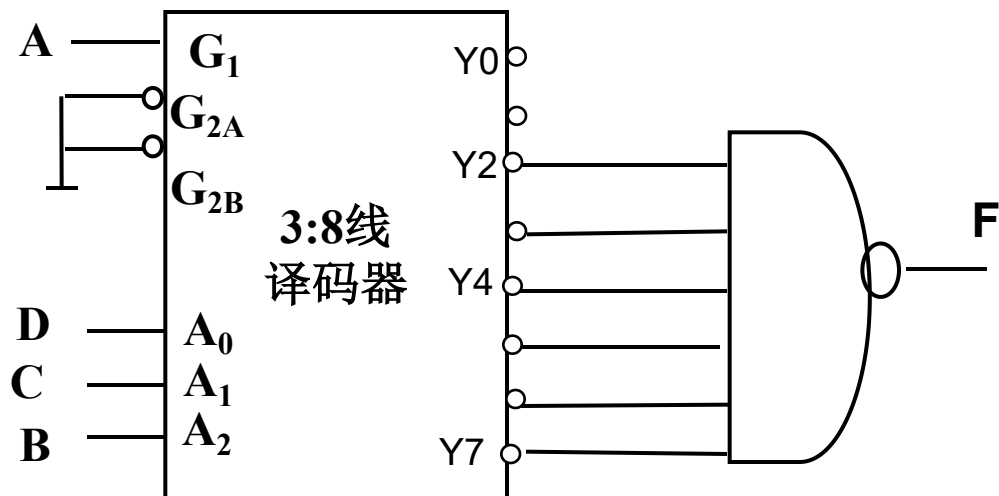
实现多输出组合逻辑电路，*且无需化简过程。*

$$F(A,B,C) = m_3 + m_5 + m_6 + m_7 = \overline{\overline{m_3} \cdot \overline{m_5} \cdot \overline{m_6} \cdot \overline{m_7}} = \overline{Y_3 \cdot Y_5 \cdot Y_6 \cdot Y_7}$$

用译码器（低电平）和
与非门实现逻辑函数。
一般，n个地址端的译
码器可实现最多n变量
的逻辑函数。



例：分析所示电路的逻辑功能。



当A=1时，有：

$$F = \overline{Y_2 Y_3 Y_4 Y_5 Y_6 Y_7} = \overline{m_2 \cdot m_3 \cdot m_4 \cdot m_5 \cdot m_6 \cdot m_7}$$

$$= \overline{BCD} + \overline{BCD} + \overline{BCD} + \overline{BCD} + \overline{BCD} + \overline{BCD}$$

当输入大于9时，输出为1。

A B C D	F
0 0 0 0	0
0 0 0 1	0
0 0 1 0	0
0 0 1 1	0
0 1 0 0	0
0 1 0 1	0
0 1 1 0	0
0 1 1 1	0
1 0 0 0	0
1 0 0 1	0
1 0 1 0	1
1 0 1 1	1
1 1 0 0	1
1 1 0 1	1
1 1 1 0	1
1 1 1 1	1

例：用译码器74LS138和适当的与非门实现全减器的功能

真值表

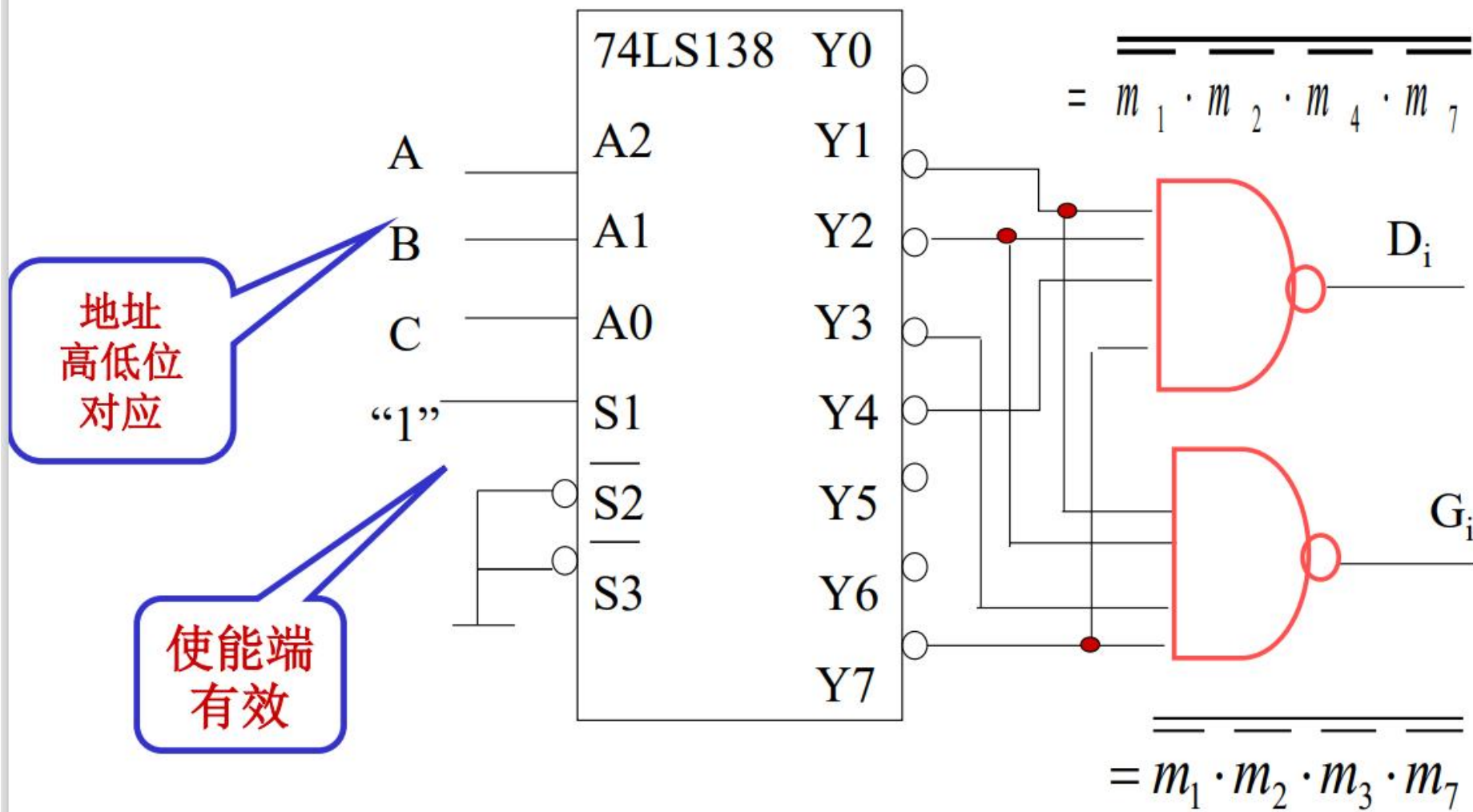
输出表达式变为最小项之非

$$G_i(A_i, B_i, G_{i-1}) = m_1 + m_2 + m_3 + m_7 = \overline{m_1 \cdot m_2 \cdot m_3 \cdot m_7}$$
$$= \overline{Y_1 \cdot Y_2 \cdot Y_3 \cdot Y_7}$$

$$D_i(A_i, B_i, G_{i-1}) = m_1 + m_2 + m_4 + m_7 = \overline{m_1 \cdot m_2 \cdot m_4 \cdot m_7}$$

A_i	B_i	C_{i-1}	G_i	D_i
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	1	0
1	0	0	0	1
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

画电路图



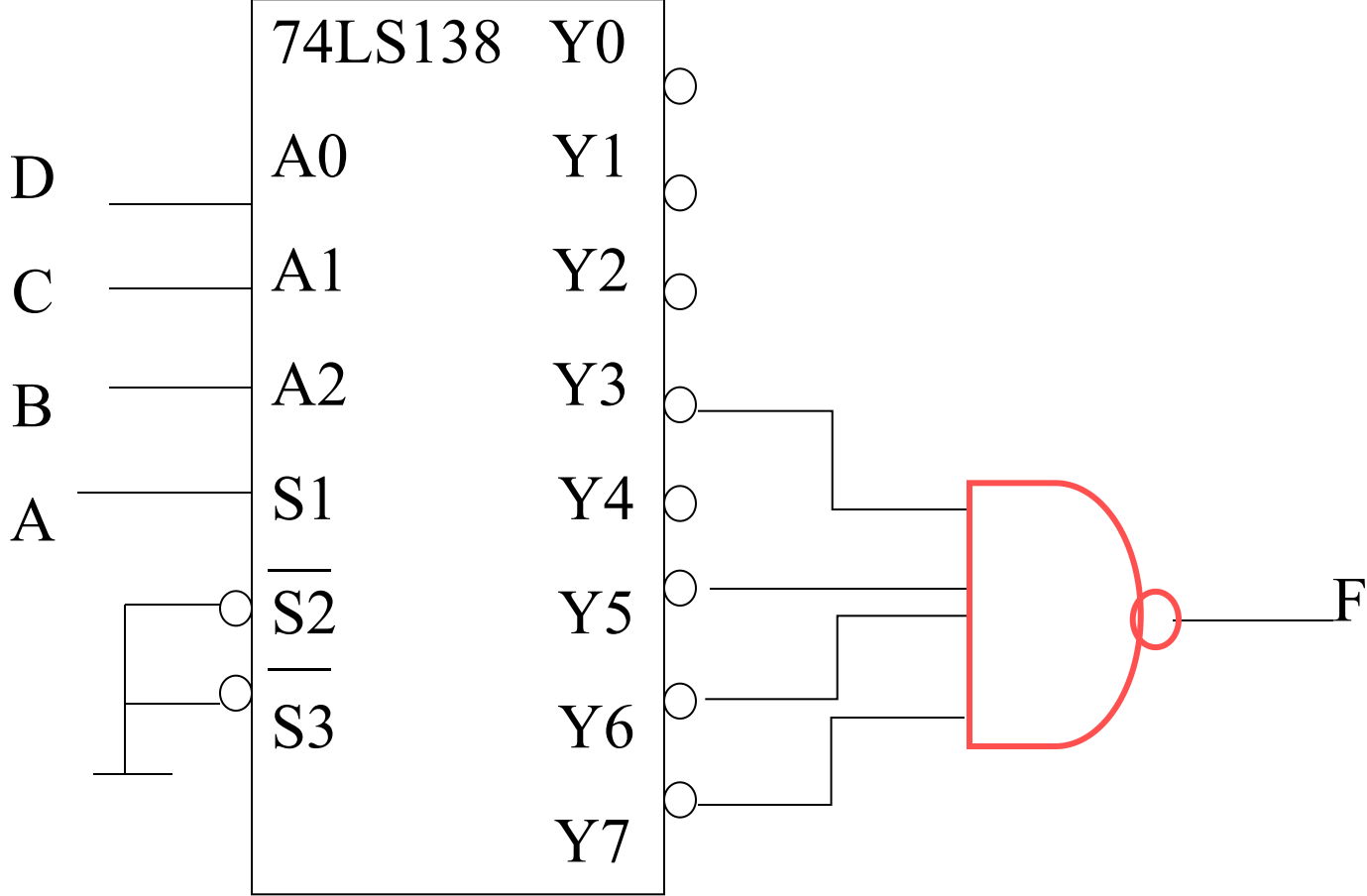
用1片74LS138和与非门设计一判定电路，在主裁同意的前提下，三名副裁多数同意，成绩才被承认。

输入：主裁A，副裁B， C， D,同意为1

输出：F=1 承认

$$F = m_3 + m_5 + m_6 + m_7$$

A B C D	F
0 0 0 0	0
0 0 0 1	0
0 0 1 0	0
0 0 1 1	0
0 1 0 0	0
0 1 0 1	0
0 1 1 0	0
0 1 1 1	0
1 0 0 0	0
1 0 0 1	0
1 0 1 0	0
1 0 1 1	1
1 1 0 0	0
1 1 0 1	1
1 1 1 0	1
1 1 1 1	1



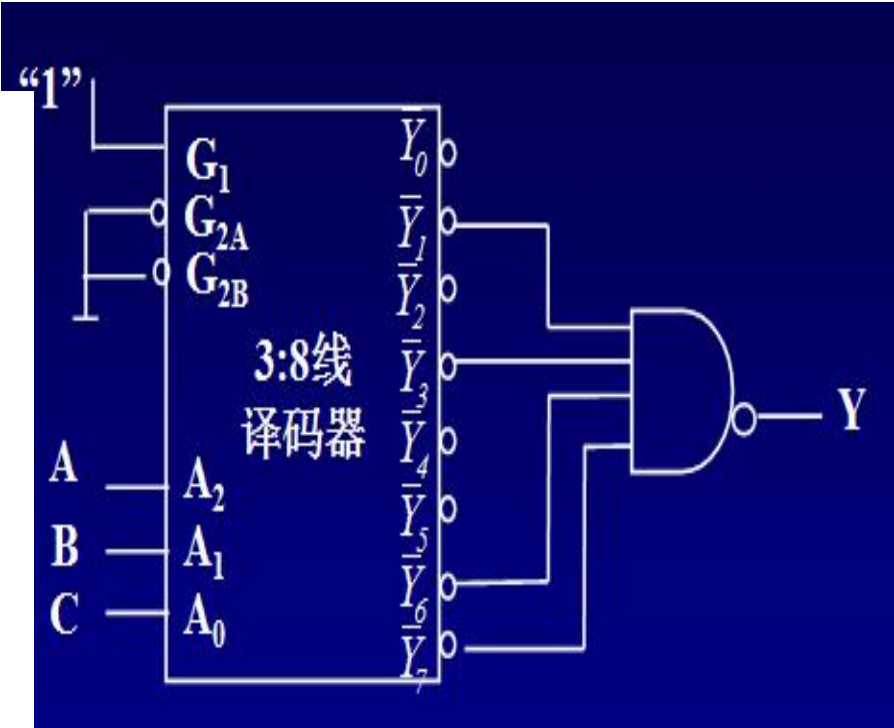
某单位举办军民联欢会，军人持红票入场，群众持黄票入场，持绿票者军民均可入场。用1片74LS138实现此要求。

[解] $A=1$ 军人， $A=0$ 群众

BC
00 无票
01 黄票
10 红票
11 绿票
 $Y=1$ 可入场，

A B C	F
0 0 0	0
0 0 1	1
0 1 0	0
0 1 1	1
1 0 0	0
1 0 1	0
1 1 0	1
1 1 1	1

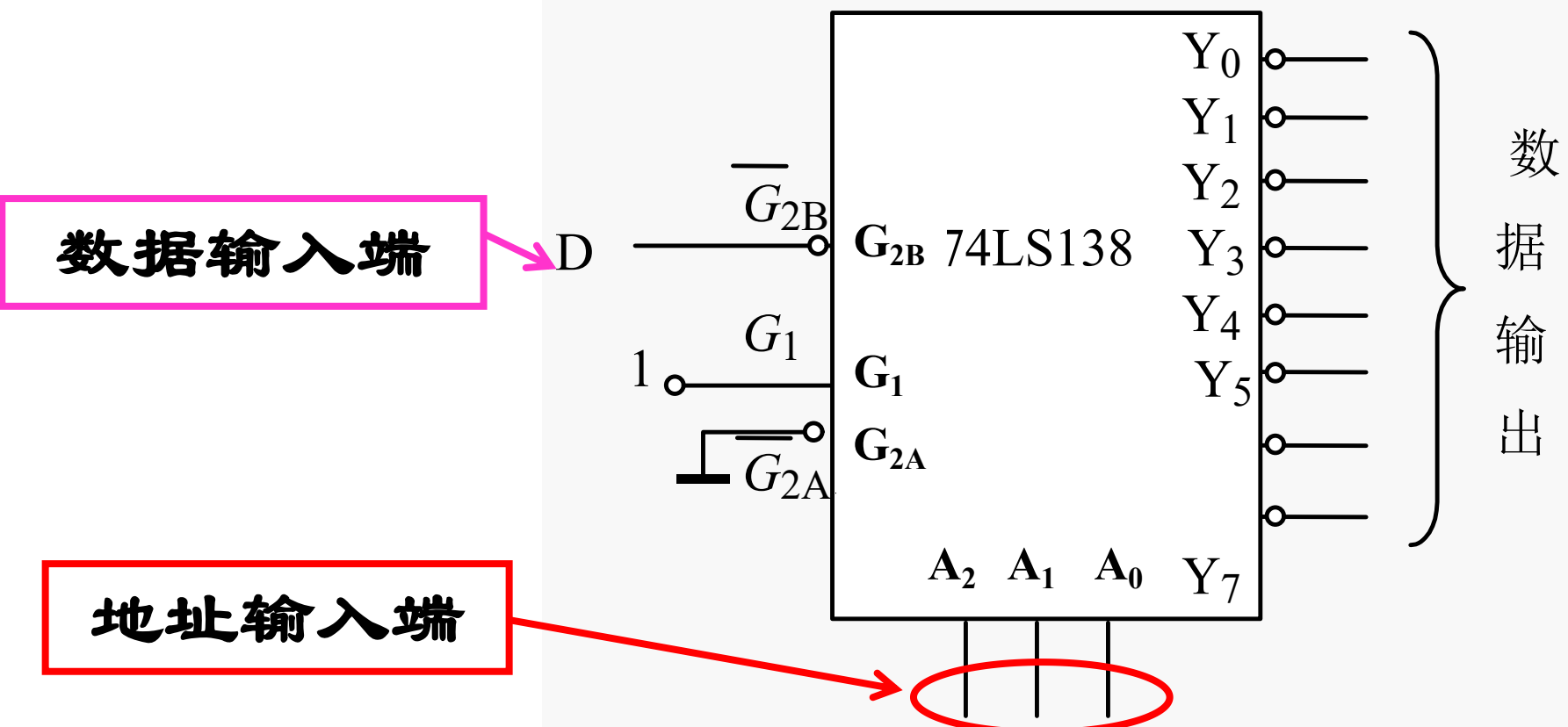
$$Y = m_1 + m_3 + m_6 + m_7$$



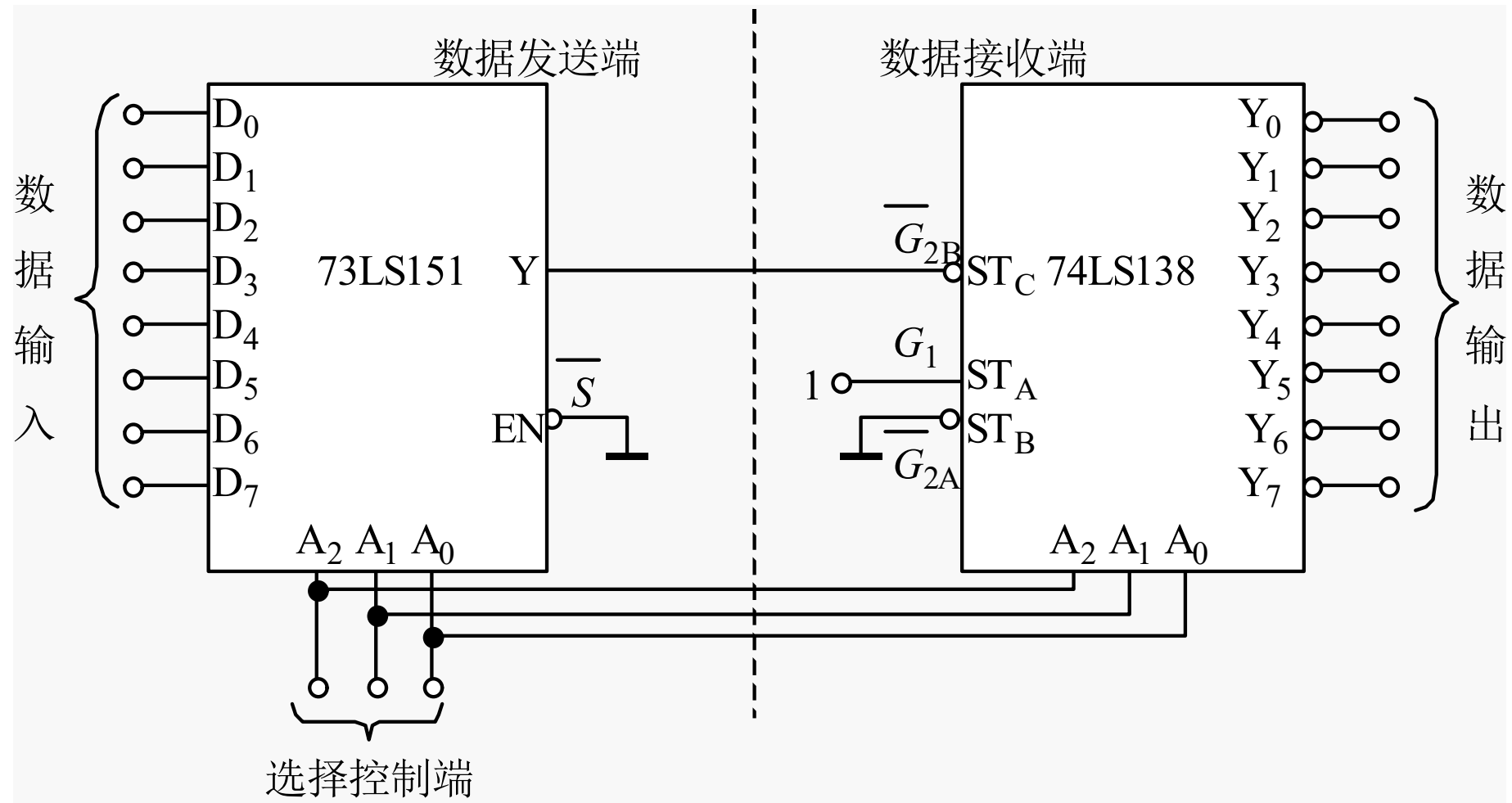
(4) 译码器作数据分配器

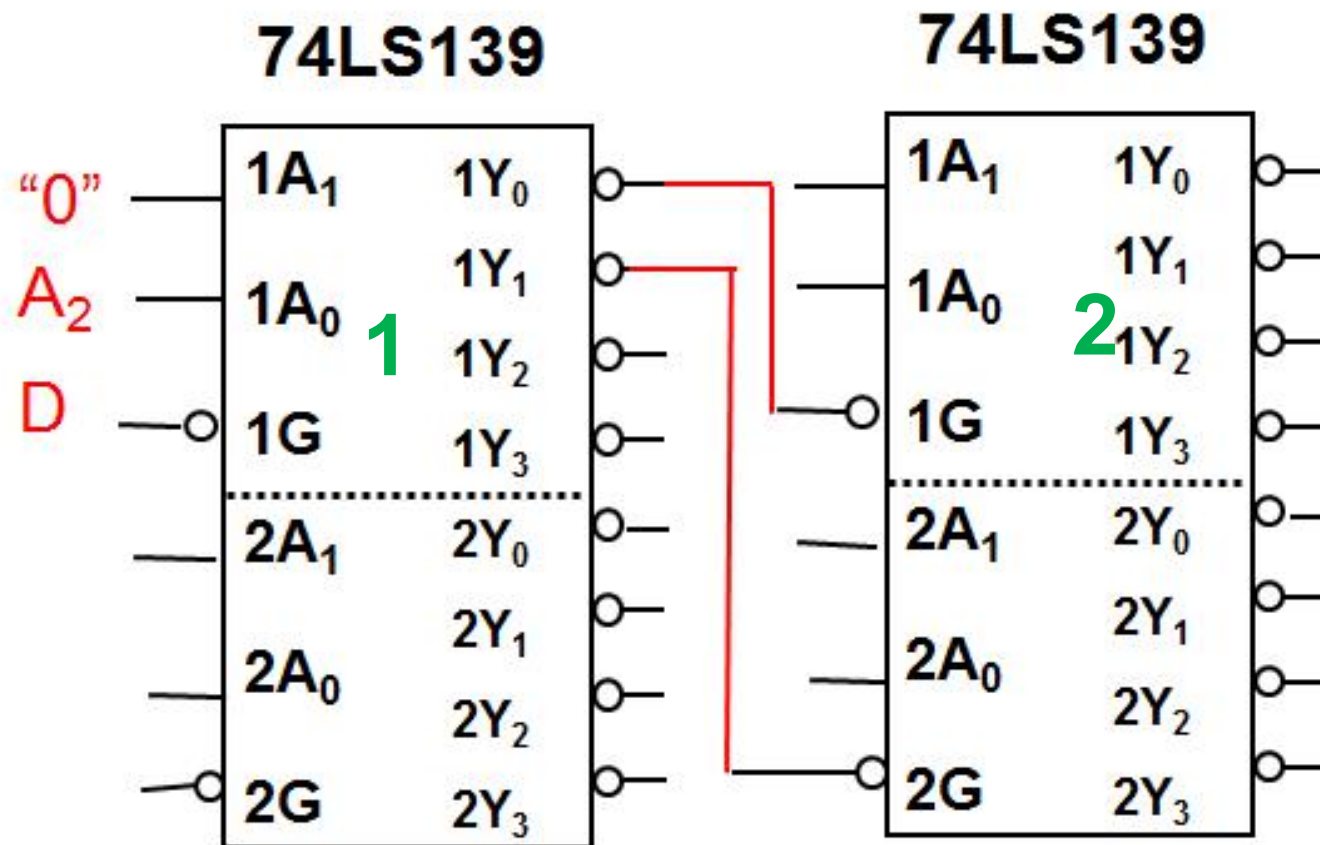
由74LS138构成的1路-8路数据分配器

输入		输出
地址	使能	
$A_2A_1A_0$	E	$F_0F_1F_2F_3F_4F_5F_6F_7$
x x x	0	1 1 1 1 1 1 1 1
0 0 0	1	D 1 1 1 1 1 1 1
0 0 1	1	1 D 1 1 1 1 1 1
0 1 0	1	1 1 D 1 1 1 1 1
1 1 1	1	1 1 1 1 1 1 D



Time Division Multiplexing (TDM) (时分复用)



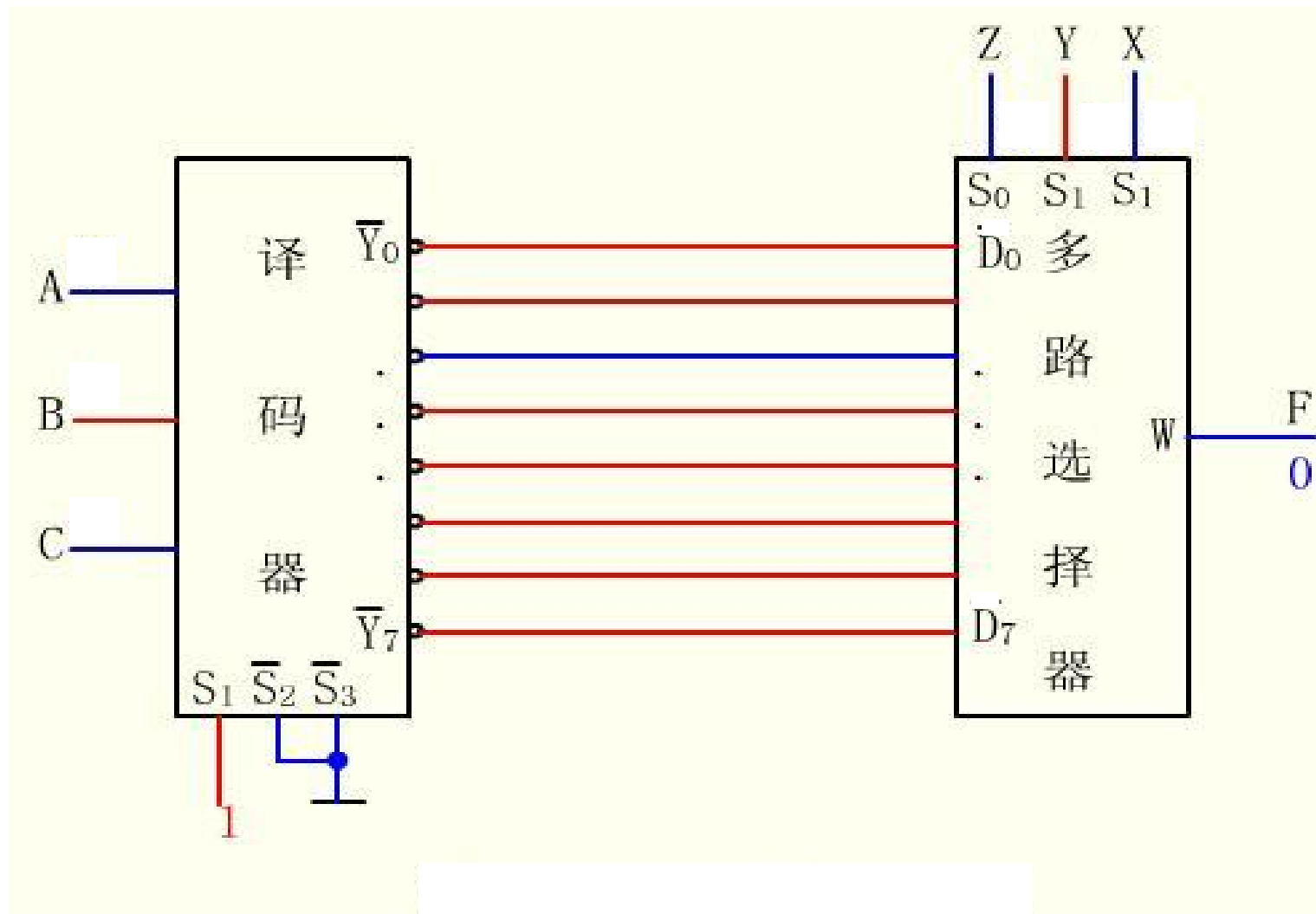


输入		输出
地址	使能	
$A_2 A_1 A_0$	E	$F_0 F_1 F_2 F_3 F_4 F_5 F_6 F_7$
x x x	0	1 1 1 1 1 1 1 1
0 0 0	1	D 1 1 1 1 1 1 1
0 0 1	1	1 D 1 1 1 1 1 1
0 1 0	1	1 1 D 1 1 1 1 1
1 1 1	1	1 1 1 1 1 1 1 D

两片双2:4译码器构成8路数据分配器。

(5) 译码器的其他应用

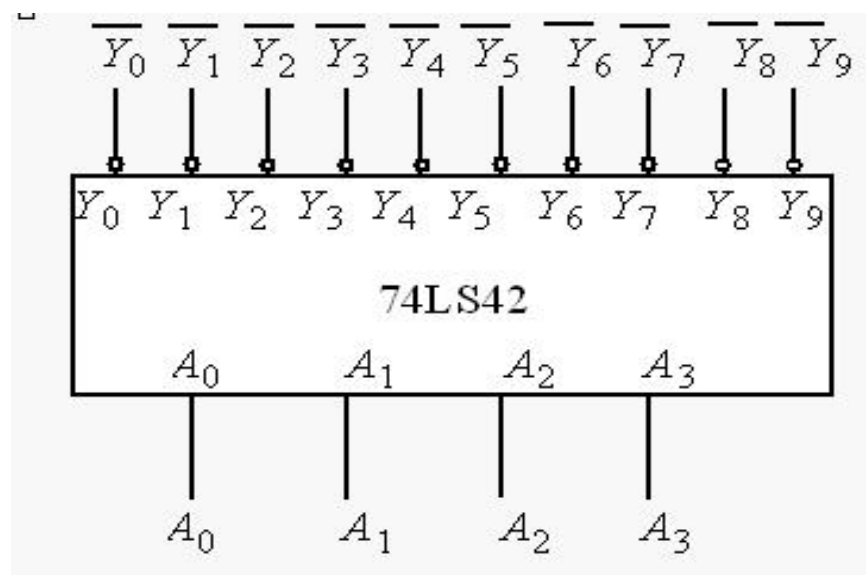
一个3位二进制数等值比较器。



2、二 - 十进制译码器 (74LS42)

输入：8421BCD 码；

输出：与十进制数字相对应的10个信号。

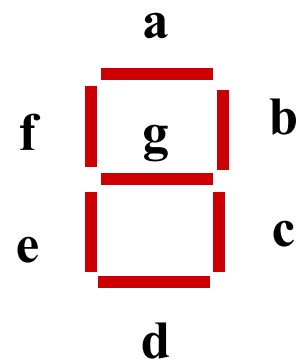


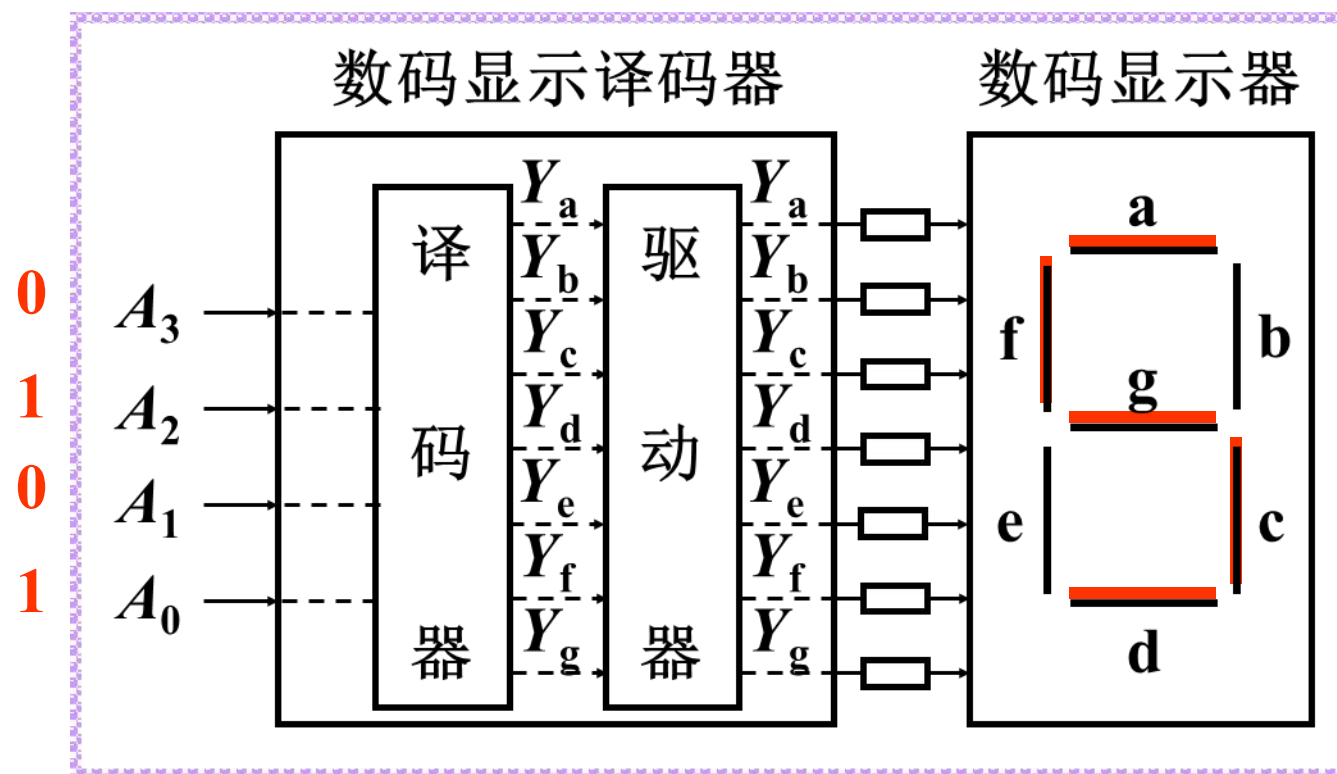
A_3	A_2	A_1	A_0	Y_9	Y_8	Y_7	Y_6	Y_5	Y_4	Y_3	Y_2	Y_1	Y_0
0	0	0	0	1	1	1	1	1	1	1	1	1	0
0	0	0	1	1	1	1	1	1	1	1	1	0	1
0	0	1	0	1	1	1	1	1	1	1	0	1	1
0	0	1	1	1	1	1	1	1	1	0	1	1	1
0	1	0	0	1	1	1	1	1	0	1	1	1	1
0	1	0	1	1	1	1	1	0	1	1	1	1	1
0	1	1	0	1	1	1	0	1	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1	1	1	1
1	0	0	0	1	0	1	1	1	1	1	1	1	1
1	0	0	1	0	1	1	1	1	1	1	1	1	1

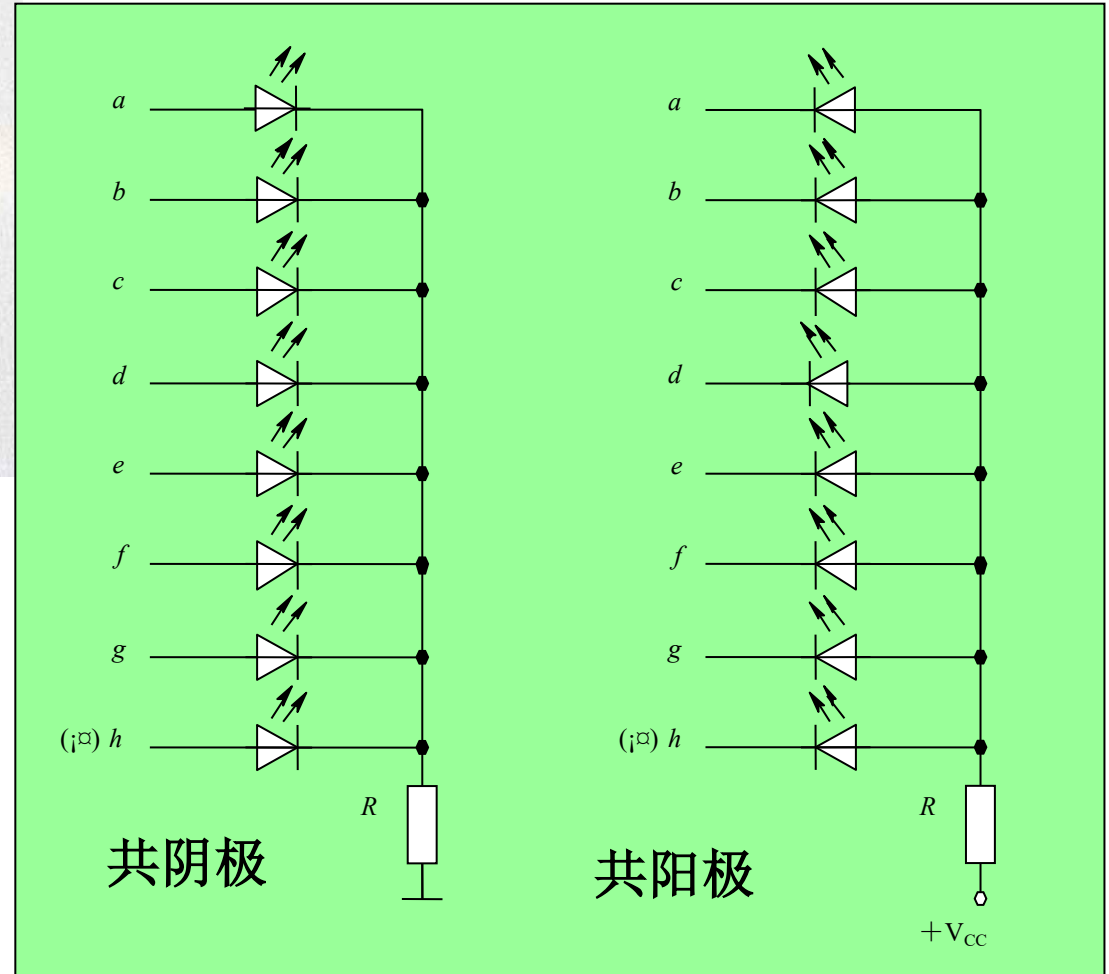
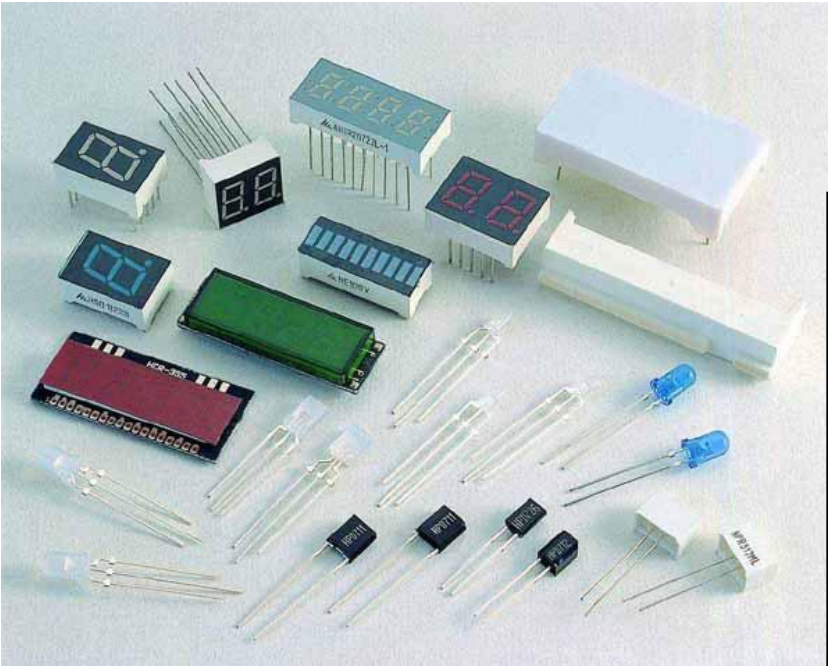
冗余码输出：1 1 1 1 1 1 1 1 1 1

3、 七段显示译码器

数字显示电路由显示译码器、驱动器和显示器三部分组成。





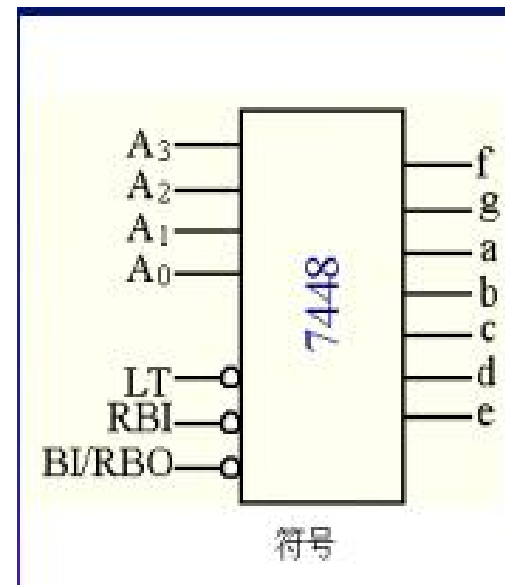


(1) 外部功能

引脚复用技术

显示译码器74LS48（共阴极）显示功能

\overline{LT}	\overline{RBI}	$\overline{BI}/\overline{RBO}$	$A_3 A_2 A_1 A_0$	a	b	c	d	e	f	g	说明
0	X	1	X X X X	1	1	1	1	1	1	1	试灯
X	X	0	X X X X	0	0	0	0	0	0	0	熄灭
1	0	0	0 0 0 0	0	0	0	0	0	0	0	灭0
1	1	1	0 0 0 0	1	1	1	1	1	1	0	显示 0
1	X	1	0 0 0 1	0	1	1	0	0	0	0	1
1	X	1	0 0 1 0	1	1	0	1	1	0	1	2
1	X	1	0 0 1 1	1	1	1	1	0	0	1	3
1	X	1	0 1 0 0	0	1	1	0	0	1	1	4
1	X	1	0 1 0 1	1	0	1	1	0	1	1	5
1	X	1	0 1 1 0	0	0	1	1	1	1	1	6
1	X	1	0 1 1 1	1	1	1	0	0	0	0	7
1	X	1	1 0 0 0	1	1	1	1	1	1	1	8
1	X	1	1 0 0 1	1	1	1	0	0	1	1	9



灯测试输入端 \overline{LT}

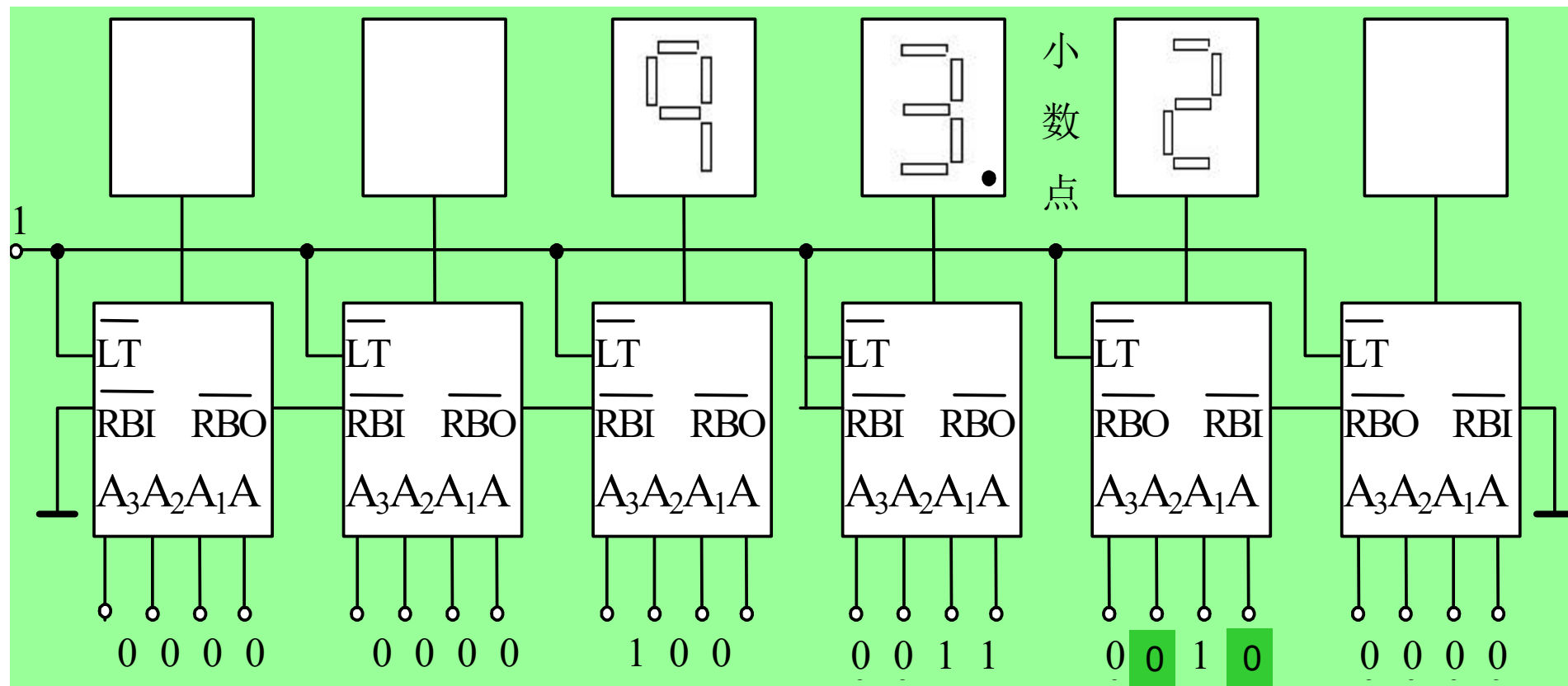
熄灭输入端 \overline{BI}

灭“0”输入端 \overline{RBI}

灭“0”输出端 \overline{RBO}

Lamp Test, Ripple Blanking Input, Blanking Input/Ripple Blanking Output

(2) 数码显示电路的动态灭零



整数部分： 高位的 $\overline{BI} / \overline{RBO}$ 与低位的 \overline{RBI} 相连

小数部分：低位的 $\overline{BI} / \overline{RBO}$ 与高位的 \overline{RBI} 相连

译码器的特点：

1. 译中的输出通道为 0；
2. 有使能控制端；
3. 提供地址译码、片选信号；
4. 可实现多输出的函数发生器，且输出加与非门。

◆ 常用的**MSI**译码器有：

- 双**2:4**译码器 **74XX139**
- **3:8**译码器 **74XX138**
- **4:16**译码器 **74XX156**

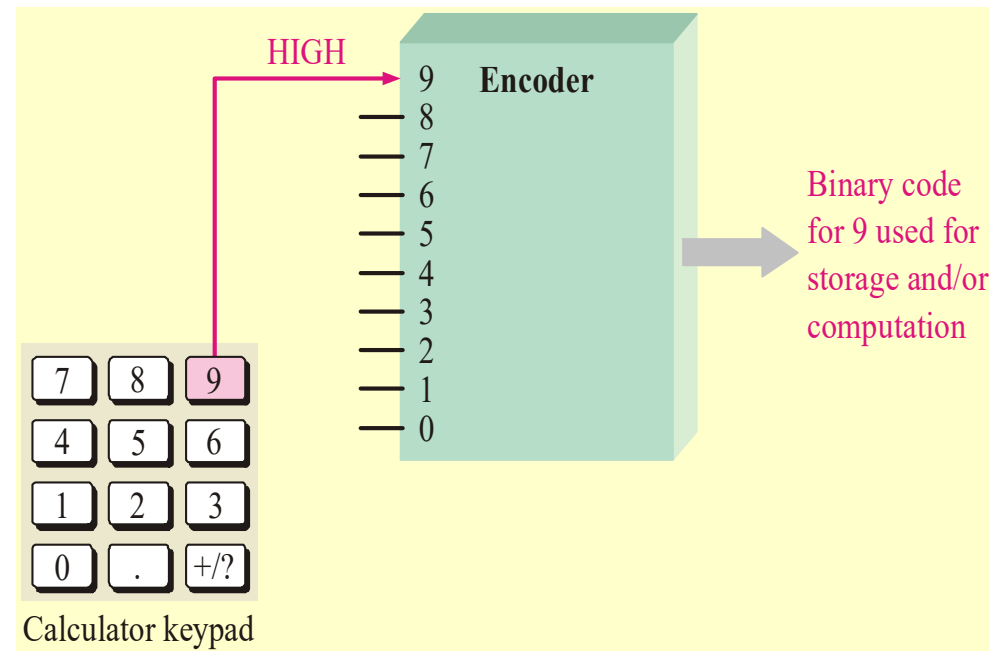
典型显示译码器：

- **74LS47**： 驱动共阳极数码管
- **74LS48**： 驱动共阴极数码管

二、 编码器 (Encoder)

将十进制数或其它信息转换成二进制代码。

{ 二进制优先编码器
二~十进制优先编码器



1. 二进制编码器

(1) 8-3优先编码器 (74LS148)

输入8个信号，输出3位二进制代码。

1) 功能与结构

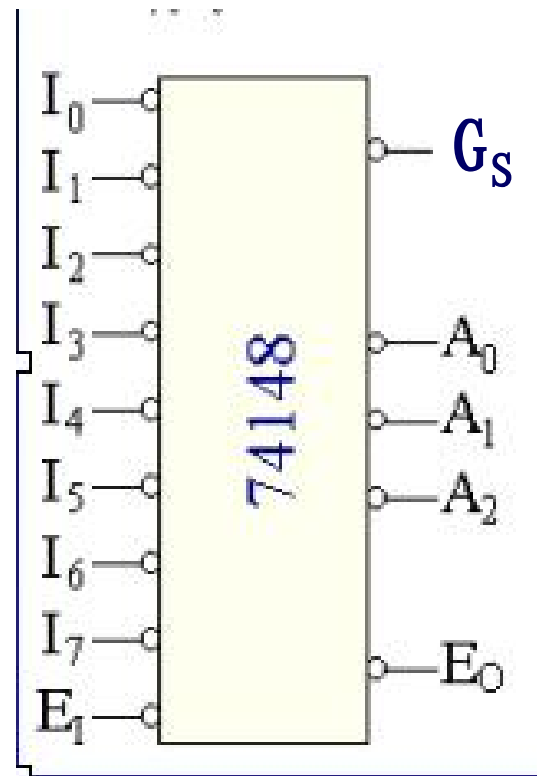
输入信号：数据输入（7线最高）、

E_I ：输入使能

输出信号：代码输出（反码）、

使能输出 E_O —— 无输入信号标志（容量扩展）

G_S —— 有效输出标志

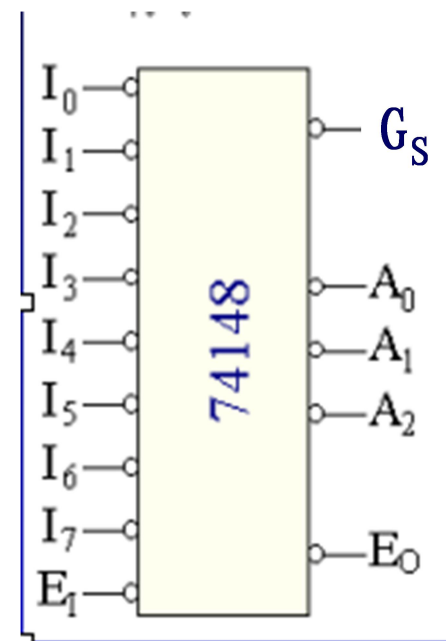


输 入									输 出			
$\overline{E_I}$	$\overline{I_7}$	$\overline{I_6}$	$\overline{I_5}$	$\overline{I_4}$	$\overline{I_3}$	$\overline{I_2}$	$\overline{I_1}$	$\overline{I_0}$	$\overline{Y_2}$	$\overline{Y_1}$	$\overline{Y_0}$	$\overline{G_s}$ $\overline{E_O}$
1	×	×	×	×	×	×	×	×	1	1	1	1 1
0	1	1	1	1	1	1	1	1	1	1	1	1 0
0	0	×	×	×	×	×	×	×	0	0	0	0 1
0	1	0	×	×	×	×	×	×	0	0	1	0 1
0	1	1	0	×	×	×	×	×	0	1	0	0 1
0	1	1	1	0	×	×	×	×	0	1	1	0 1
0	1	1	1	1	0	×	×	×	1	0	0	0 1
0	1	1	1	1	1	0	×	×	1	0	1	0 1
0	1	1	1	1	1	1	0	×	1	1	0	0 1
0	1	1	1	1	1	1	1	0	1	1	1	0 1

被禁止

无输入

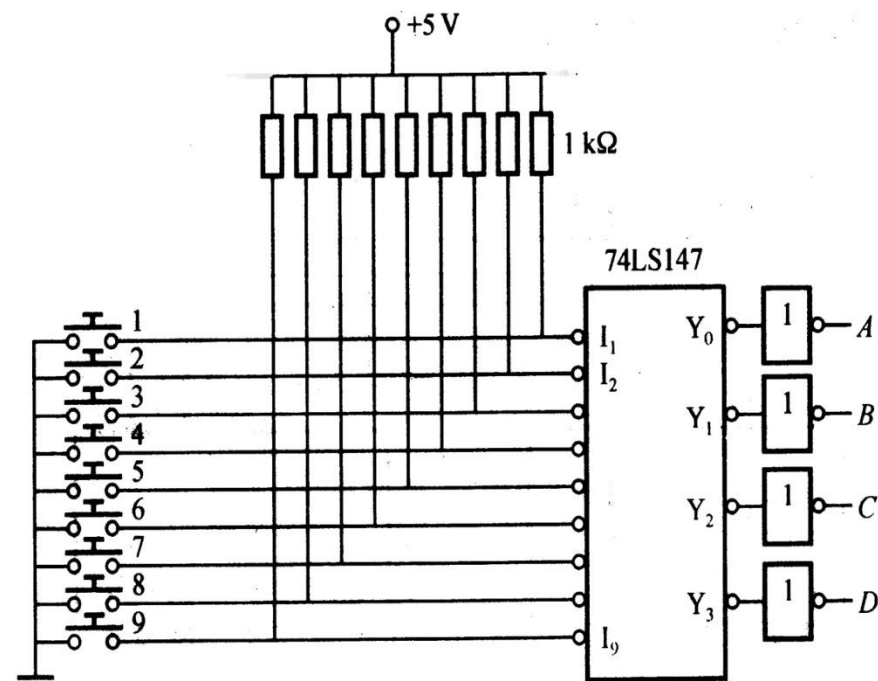
I₀编码



2. 二-十进制 (BCD码) 优先编码器 (74LS147)

将十进制数编成二进制代码。

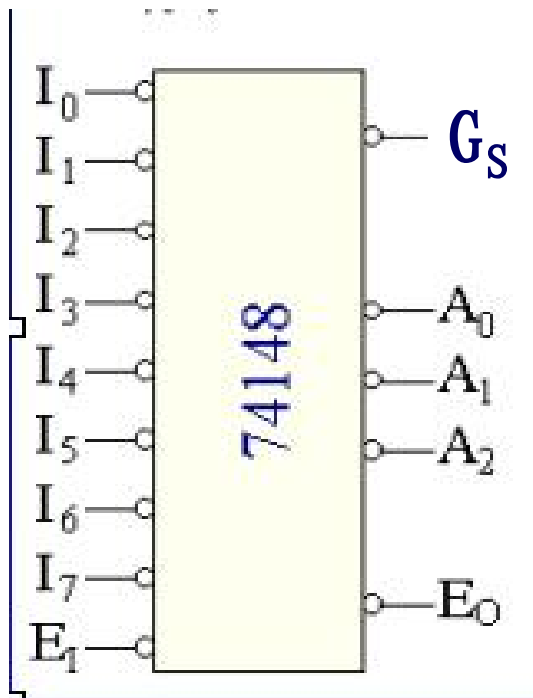
I_9	I_8	I_7	I_6	I_5	I_4	I_3	I_2	I_1	Y_3	Y_2	Y_1	Y_0
0	×	×	×	×	×	×	×	×	0	1	1	0
1	0	×	×	×	×	×	×	×	0	1	1	1
1	1	0	×	×	×	×	×	×	1	0	0	0
1	1	1	0	×	×	×	×	×	1	0	0	1
1	1	1	1	0	×	×	×	×	1	0	1	0
1	1	1	1	1	0	×	×	×	1	0	1	1
1	1	1	1	1	1	0	×	×	1	1	0	0
1	1	1	1	1	1	1	0	×	1	1	0	1
1	1	1	1	1	1	1	1	0	1	1	1	0



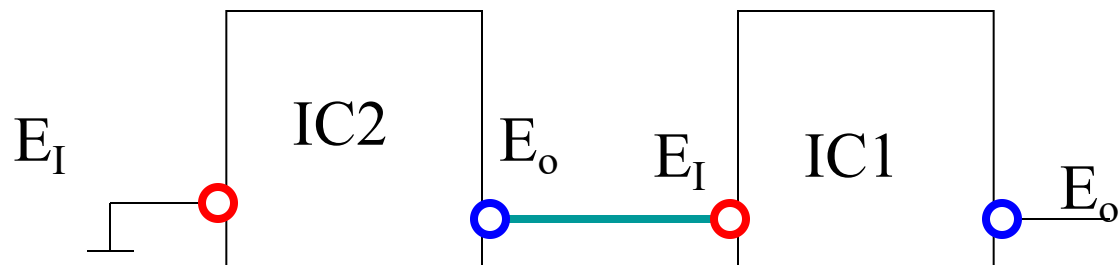
应用：数字键盘接口

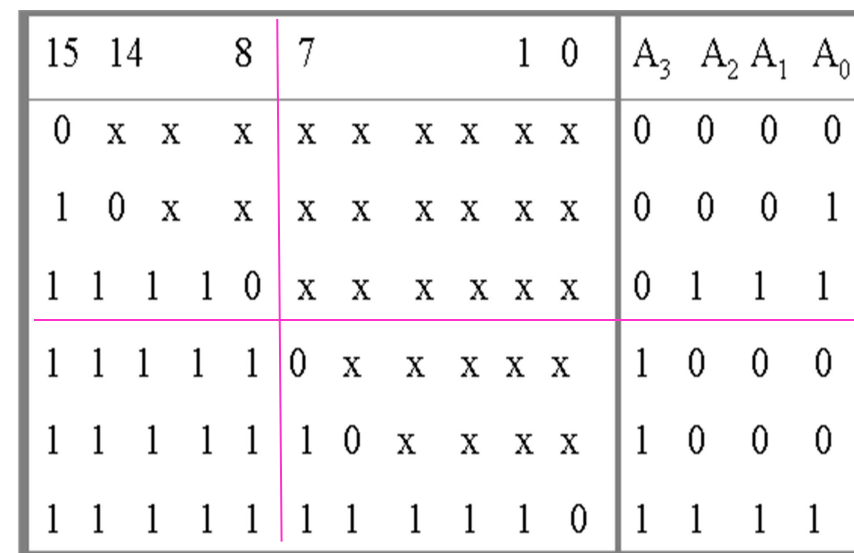
3 编码器容量扩展

1)用74LS148设计16:4优先编码器。

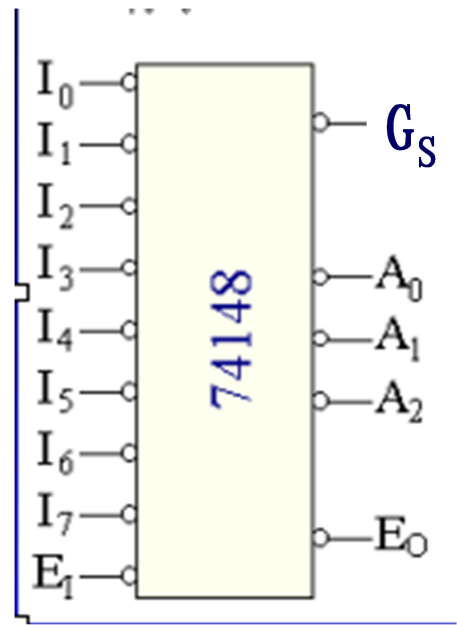


15	14	8	7	1	0	A_3	A_2	A_1	A_0
0	x	x	x	x	x	0	0	0	0
1	0	x	x	x	x	0	0	0	1
1	1	1	1	0	x	0	1	1	1
1	1	1	1	1	0	1	0	0	0
1	1	1	1	1	1	1	0	0	0
1	1	1	1	1	1	1	1	1	1

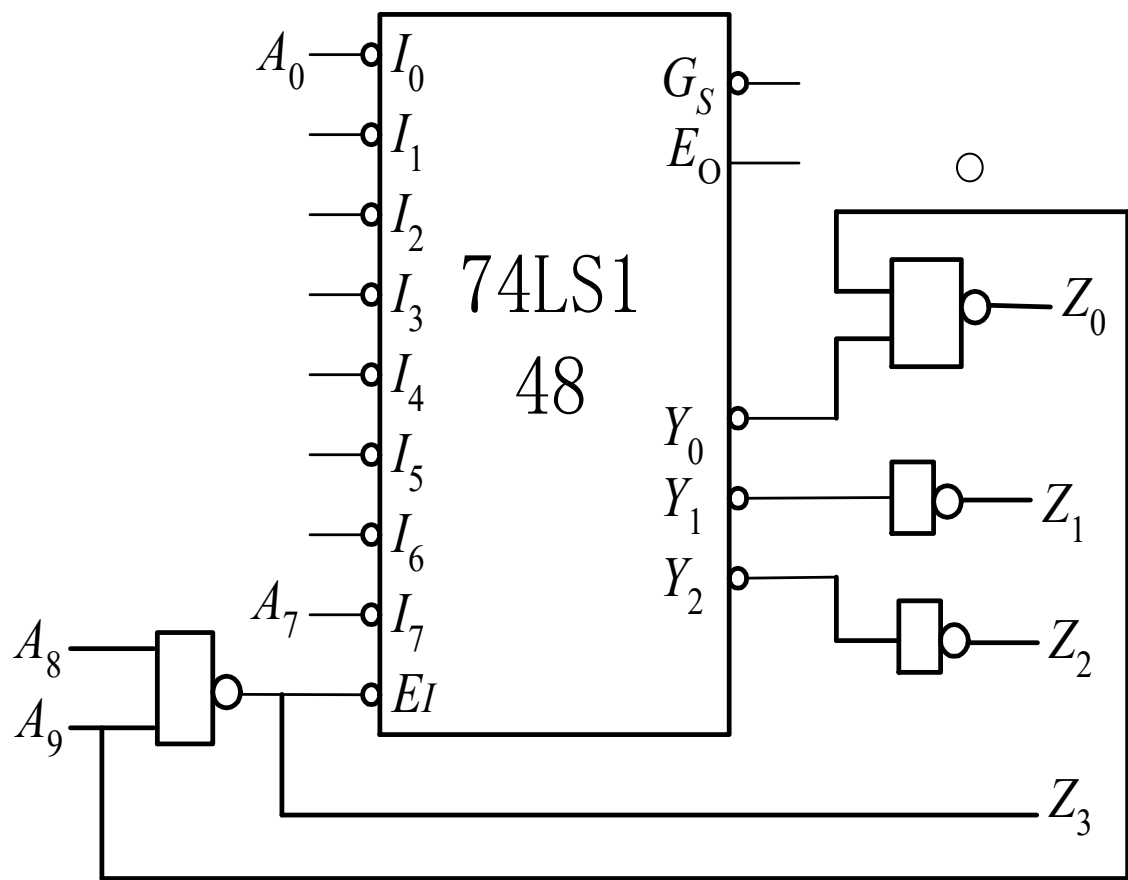




2) 用一片8—3优先编码器构成二——十进制优先编码器，输入低电平有效，输出为原码。

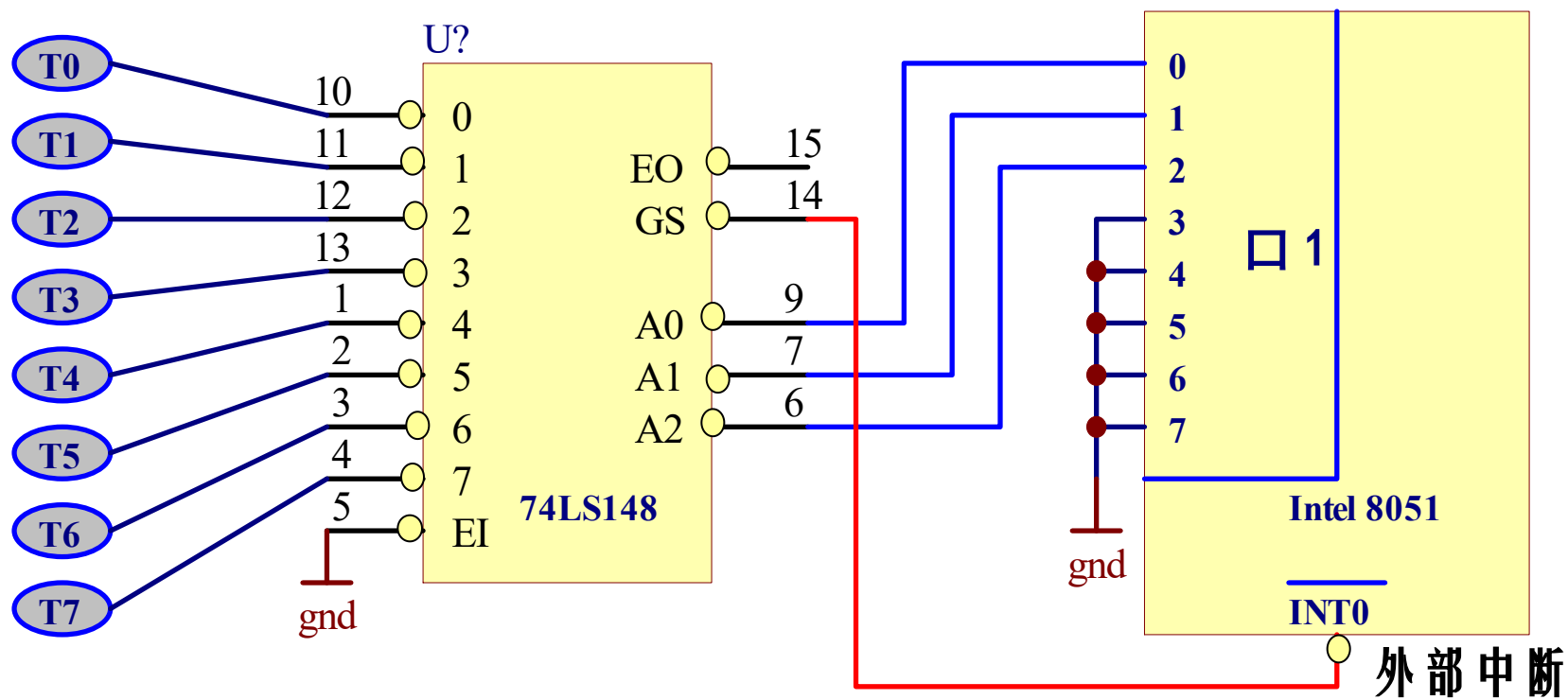


输 入										输 出			
9	8	7	6	5	4	3	2	1	0	Z ₃	Z ₂	Z ₁	Z ₀
0	x	x	x	x	x	x	x	x	x	1	0	0	1
1	0	x	x	x	x	x	x	x	x	1	0	0	0
1	1	0	x	x	x	x	x	x	x	0	1	1	1
1	1	1	1	1	1	1	1	1	0	0	0	0	0



输 入										输 出			
9	8	7	6	5	4	3	2	1	0	Z_3	Z_2	Z_1	Z_0
0	x	x	x	x	x	x	x	x	x	1	0	0	1
1	0	x	x	x	x	x	x	x	x	1	0	0	0
1	1	0	x	x	x	x	x	x	x	0	1	1	1
1	1	1	1	1	1	1	1	1	0	0	0	0	0

带中断控制的优先级管理（总线仲裁器=编码器+译码器）



编码器的特点：

1. 高位优先编码；
2. 反码输出；
3. 有使能输入、输出；
4. 有输出有效标志

74XX147——10线-BCD码编码器

74XX148——8线-3线优先权编码器

