

第一章

1. 什么是模拟信号？什么是数字信号？试举出实例。

解答

模拟信号——指在时间上和数值上均作连续变化的信号。例如，温度、压力、交流电压等信号。

数字信号——指信号的变化在时间上和数值上都是断续的，阶跃式的，或者说离散的，这类信号有时又称为离散信号。例如，在数字系统中的脉冲信号、开关状态等。

2. 数字逻辑电路具有哪些主要特点？

解答

数字逻辑电路具有如下主要特点：

- 电路的基本工作信号是二值信号。
- 电路中的半导体器件一般都工作在开、关状态。
- 电路结构简单、功耗低、便于集成制造和系列化生产。产品价格低廉、使用方便、通用性好。
- 由数字逻辑电路构成的数字系统工作速度快、精度高、功能强、可靠性好。

3. 数字逻辑电路按功能可分为哪两种类型？主要区别是什么？

解答

根据数字逻辑电路有无记忆功能，可分为组合逻辑电路和时序逻辑电路两类。

组合逻辑电路： 电路在任意时刻产生的稳定输出值仅取决于该时刻电路输入值的组合，而与电路过去的输入值无关。组合逻辑电路又可根据输出端个数的多少进一步分为单输出和多输出组合逻辑电路。

时序逻辑电路： 电路在任意时刻产生的稳定输出值不仅与该时刻电路的输入值有关，而且与电路过去的输入值有关。时序逻辑电路又可根据电路中有无统一的定时信号进一步分为同步时序逻辑电路和异步时序逻辑电路。

4. 最简电路是否一定最佳？为什么？

解答

一个最简的方案并不等于一个最佳的方案。最佳方案应满足全面的性能指标和实际应用要求。所以，在求出一个实现预定功能的最简电路之后，往往要根据实际情况进行相应调整。

5. 把下列不同进制数写成按权展开形式。

$$(1) (4517.239)_{10}$$

$$(3) (325.744)_8$$

$$(2) (10110.0101)_2$$

$$(4) (785.4AF)_{16}$$

解答

$$(1) (4517.239)_{10} = 4 \times 10^3 + 5 \times 10^2 + 1 \times 10^1 + 7 \times 10^0 + 2 \times 10^{-1} \\ + 3 \times 10^{-2} + 9 \times 10^{-3}$$

$$(2) (10110.0101)_2 = 1 \times 2^4 + 1 \times 2^2 + 1 \times 2^1 + 1 \times 2^{-2} + 1 \times 2^{-4}$$

$$(3) (325.744)_8 = 3 \times 8^2 + 2 \times 8^1 + 5 \times 8^0 + 7 \times 8^{-1} + 4 \times 8^{-2} + 4 \times 8^{-3}$$

$$(4) (785.4AF)_{16} = 7 \times 16^2 + 8 \times 16^1 + 5 \times 16^0 + 4 \times 16^{-1} + 10 \times 16^{-2} \\ + 15 \times 16^{-3}$$

6. 将下列二进制数转换成十进制数、八进制数和十六进制数。

$$(1) 1110101$$

$$(2) 0.110101$$

$$(3) 10111.01$$

解答

$$(1) (1110101)_2 = 1 \times 2^6 + 1 \times 2^5 + 1 \times 2^4 + 1 \times 2^2 + 1 \times 2^0$$



$$= 64 + 32 + 16 + 4 + 1$$

$$= (117)_{10}$$

$$\begin{array}{c} (\textcolor{red}{0} \textcolor{orange}{0} 1 \quad 1 1 0 \quad 1 0 1) \\ \downarrow \quad \downarrow \quad \downarrow \\ (1 \quad 6 \quad 5) \end{array}_8$$

$$\begin{array}{c} (0111 \quad 0101) \\ \downarrow \quad \downarrow \\ (7 \quad 5) \end{array}_8$$

$$\text{即: } (1110101)_2 = (117)_{10} = (165)_8 = (75)_{16}$$

$$\begin{aligned} (2) \quad (0.110101)_2 &= 1 \times 2^{-1} + 1 \times 2^{-2} + 1 \times 2^{-4} + 1 \times 2^{-6} \\ &= 0.5 + 0.25 + 0.0625 + 0.015625 \\ &= (0.828125)_{10} \end{aligned}$$

$$\begin{array}{c} (0. \textcolor{red}{1} 1 0 \quad 1 0 1) \\ \downarrow \quad \downarrow \\ (0. \quad 6 \quad 5) \end{array}_8$$

$$\begin{array}{c} (0.1101 \quad 0100) \\ \downarrow \quad \downarrow \\ (0. \textcolor{brown}{D} \quad 4) \end{array}_{16}$$

$$\text{即: } (0.110101)_2 = (0.828125)_{10} = (0.65)_8 = (0.D4)_{16}$$



$$(3) (10111.01)_2 = 1 \times 2^4 + 1 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 + 1 \times 2^{-2}$$

$$= 16 + 4 + 2 + 1 + 0.25$$

$$= (23.25)_{10}$$

$$(\underline{\underline{0} \ 1 \ 0} \quad \underline{\underline{1 \ 1 \ 1.}} \quad \underline{\underline{0 \ 1 \ 0}})_2$$

$$(\ 2 \quad 7 \ . \quad 2 \)_8$$

$$(\underline{\underline{0 \ 0 \ 0 \ 1}} \quad \underline{\underline{0 \ 1 \ 1 \ 1.}} \quad \underline{\underline{0 \ 1 \ 0 \ 0}})_2$$

$$(\ 1 \quad 7 \ . \quad 4 \)_{16}$$

$$\text{即: } (10111.01)_2 = (23.25)_{10} = (27.2)_8 = (17.4)_{16}$$

7. 将下列十进制数转换成二进制数、八进制数和十六进制数(精确到小数点后4位)。

(1) 29

(2) 0.27

(3) 33.33

解答

$$(1) (29)_{10} = 2^4 + 2^3 + 2^2 + 2^0 = (11101)_2$$

$$= (\underline{\underline{0 \ 1 \ 1}} \ \underline{\underline{1 \ 0 \ 1}})_2 = (35)_8$$

$$= (\underline{\underline{0 \ 0 \ 0 \ 1}} \ \underline{\underline{1 \ 1 \ 0 \ 1}})_2 = (1D)_{16}$$

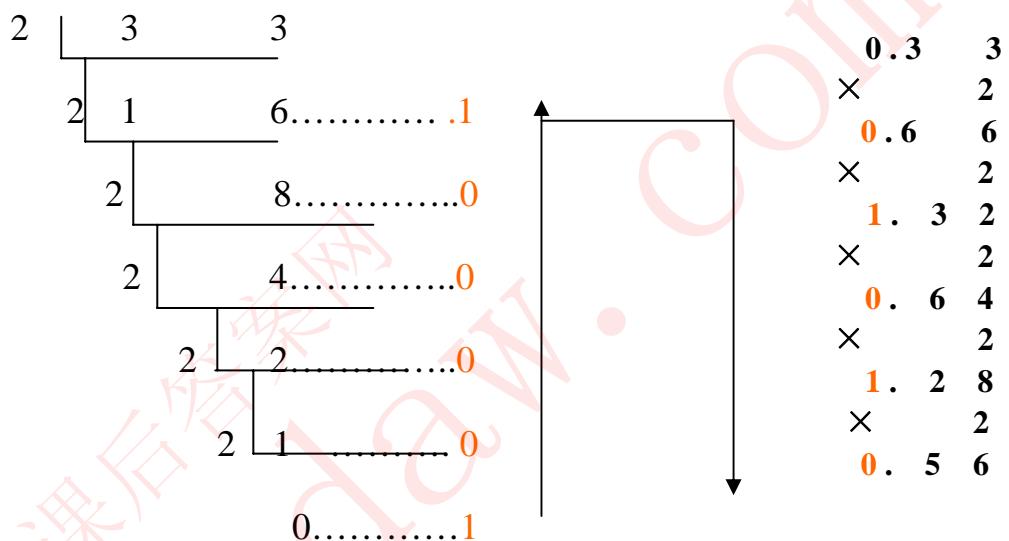
$$(2) (0.27)_{10} \approx 2^{-2} + 2^{-6} = (0.010001)_2$$



$$= (0.010\ 001)_2 = (0.21)_8$$

$$= (0.0100\ 0100)_2 = (0.44)_{16}$$

$$(3) (33.33)_{10} = (?)_2 = (?)_8 = (?)_{16}$$



$$\text{即: } (33.33)_{10} = (100001.0101)_2 = (41.24)_8 = (21.5)_{16}$$

8. 如何判断一个二进制正整数 $B=b_6b_5b_4b_3b_2b_1b_0$ 能否被 $(4)_{10}$ 整除?

解答

$$B = b_6 b_5 b_4 b_3 b_2 b_1 b_0$$

$$= b_6 \times 2^6 + b_5 \times 2^5 + b_4 \times 2^4 + b_3 \times 2^3 + b_2 \times 2^2 + b_1 \times 2^1 + b_0 \times 2^0$$

$$= (b_6 \times 2^4 + b_5 \times 2^3 + b_4 \times 2^2 + b_3 \times 2^1 + b_2) \times 2^2 + b_1 \times 2^1 + b_0$$

$$\times 2^0$$

可见, 只需 $b_1=b_0=0$ 即可。

9. 写出下列各数的原码、反码和补码。

(1) 0.1011

(2) -10110

解答

(1) 由于 0.1011 为正数，所以有

$$\text{原码} = \text{补码} = \text{反码} = 0.1011$$

(2) 由于真值 = -10110 为负数，所以有

原码 = 1 1 0 1 1 0 (符号位为 1，数值位与真值相同)

反码 = 1 0 1 0 0 1 (符号位为 1，数值位为真值的数值位按位变反)

补码 = 1 0 1 0 1 0 (符号位为 1，数值位为真值的数值位按位变反，末位加 1)

10. 已知 $[N]_{\text{补}} = 1.0110$ ，求 $[N]_{\text{原}}$ ， $[N]_{\text{反}}$ 和 N。

解答

$[N]_{\text{反码}} = 1.0101$ (补码的数值位末位减 1)

$[N]_{\text{原码}} = 1.1010$ (反码的数值位按位变反)

$N = -0.1010$ (原码的符号位 1 用 “-” 表示)

11. 将下列余 3 码转换成十进制数和 2421 码。



(1) 011010000011

(2) 01000101.1001

解答

(1) $(0110\ 1000\ 0011)_{\text{余3码}} = 350_{10} = (0011\ 1011\ 0000)_{2421}$

2421

(2) $(0100\ 0101.1001)_{\text{余3码}} = (12.6)_{10} = (0001\ 0010.1100)_{2421}$

12. 试用 8421 码和格雷码分别表示下列各数。

(1) $(111110)_2$

(2) $(1100110)_2$

解答

(1) $(111110)_2 = (62)_{10}$

$$\begin{aligned} &= (0110\ 0010)_{8421} \\ &= (100001)_{\text{Gray}} \end{aligned}$$

(2) $(1100110)_2 = (102)_{10}$

$$\begin{aligned} &= (0001\ 0000\ 0010)_{8421} \\ &= (1010101)_{\text{Gray}} \end{aligned}$$

第二章

1 假定一个电路中，指示灯 F 和开关 A、B、C 的关系为

$$F = (A+B)C$$

试画出相应电路图。

解答

电路图如图 1 所示。

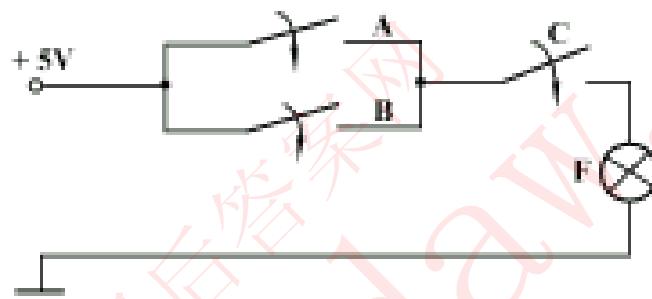


图 1

2 用逻辑代数的公理、定理和规则证明下列表达式：

$$(1) \overline{AB + AC} = \overline{AB} + \overline{AC}$$

$$(2) AB + A\bar{B} + \bar{A}B + \bar{A}\bar{B} = 1$$

$$(3) A\overline{ABC} = \overline{ABC} + \overline{ABC} + \overline{ABC}$$

$$(4) ABC + \overline{ABC} = \overline{\overline{AB} + \overline{BC} + \overline{AC}}$$

解答

(1) 证明如下



$$\begin{aligned}\overline{AB + AC} &= \overline{AB} \cdot \overline{AC} \\ &= (\overline{A} + \overline{B})(\overline{A} + \overline{C}) \\ &= \overline{A}\overline{B} + \overline{A}\overline{C} + \overline{B}\overline{C} \\ &= \overline{A}\overline{B} + \overline{A}\overline{C}\end{aligned}$$

(2) 证明如下

$$\begin{aligned}AB + A\overline{B} + \overline{A}B + \overline{AB} &= A(B + \overline{B}) + \overline{A}(B + \overline{B}) \\ &= A + \overline{A} \\ &= 1\end{aligned}$$

(3) 证明如下

$$\begin{aligned}A\overline{ABC} &= A(\overline{A} + \overline{B} + \overline{C}) \\ &= A\overline{B} + A\overline{C} \\ &= A\overline{B}(\overline{C} + C) + A\overline{C}(\overline{B} + B) \\ &= A\overline{B}\overline{C} + A\overline{B}C + A\overline{B}\overline{C} + ABC \\ &= A\overline{B}\overline{C} + A\overline{B}C + ABC\end{aligned}$$

(4) 证明如下

$$\begin{aligned}\overline{\overline{AB} + BC + \overline{AC}} &= \overline{\overline{AB}} \cdot \overline{\overline{BC}} \cdot \overline{\overline{AC}} \\ &= (\overline{A} + B) \cdot (\overline{B} + C) \cdot (A + \overline{C}) \\ &= (\overline{A} \cdot \overline{B} + \overline{AC} + BC) \cdot (A + \overline{C}) \\ &= ABC + \overline{A} \cdot \overline{B} \cdot \overline{C}\end{aligned}$$

3 用真值表验证下列表达式：

$$(1) A\overline{B} + \overline{AB} = (\overline{A} + \overline{B}) \cdot (A + B)$$

$$(2) (\overline{A} + \overline{B}) \cdot (A + B) = \overline{AB + \overline{AB}}$$

解答

(1) 真值表证明如表 1 所示。



表 1

A	B	AB	$\bar{A}B$	$\bar{A}+\bar{B}$	$A+B$	$A\bar{B}+\bar{A}B$	$(\bar{A}+\bar{B})(A+B)$
0	0	0	0	1	0	0	0
0	1	0	1	1	1	1	1
1	0	1	0	1	1	1	1
1	1	1	0	0	1	0	0

(2) 真值表证明如表 2 所示。

表 2

A	B	$\bar{A}\bar{B}$	AB	$\bar{A}+\bar{B}$	$A+B$	$\bar{A}\bar{B}+AB$	$(\bar{A}+\bar{B})(A+B)$
0	0	1	0	1	0	0	0
0	1	0	0	1	1	1	1
1	0	0	0	1	1	1	1
1	1	0	1	0	1	0	0

4 求下列函数的反函数和对偶函数：

(1) $F = AB + \bar{A}\bar{B}$

(2) $F = (A+B) \cdot (\bar{A}+C) \cdot (C+DE) + \bar{E}$

(3) $F = (\bar{A}+B)(C+D\bar{A}C)$

(4) $F = A[\bar{B} + (C\bar{D} + \bar{E}) \cdot G]$

解答

(1) $\bar{F} = (\bar{A} + \bar{B})(A + B)$



$$F' = (A + B)(\bar{A} + \bar{B})$$

$$(2) \quad \bar{F} = [\bar{A} \cdot \bar{B} + A\bar{C} + \bar{C}(\bar{D} + \bar{E})] \cdot E$$

$$F' = [AB + \bar{A}\bar{C} + C(D + E)] \cdot \bar{E}$$

$$(3) \quad \bar{F} = A\bar{B} + \bar{C}(\bar{D} + \bar{\bar{A}} + \bar{\bar{C}})$$

$$F' = \bar{A}\bar{B} + C(D + \bar{A} + \bar{C})$$

$$(4) \quad \bar{F} = \bar{A} + B[(\bar{C} + D)E + \bar{G}]$$

$$F' = A + \bar{B}[(C + \bar{D})\bar{E} + G]$$

5 回答下列问题：

(1) 如果已知 $X + Y$ 和 $X + Z$ 的逻辑值相同, 那么 Y 和 Z 的逻辑值一定相同。正确吗?为什么?

(2) 如果已知 XY 和 XZ 的逻辑值相同, 那么那么 Y 和 Z 的逻辑值一定相同。正确吗?为什么?

(3)如果已知 $X + Y$ 和 $X + Z$ 的逻辑值相同, 且 XY 和 XZ 的逻辑值相同, 那么 $Y = Z$ 。正确吗?为什么?

(4) 如果已知 $X+Y$ 和 $X \cdot Y$ 的逻辑值相同, 那么 X 和 Y 的逻辑值一定相同。正确吗?为什么?

解答

(1) **错误。**因为当 $X=1$ 时, $Y \neq Z$ 同样可以使等式 $X + Y = X + Z$ 成立。



(2) 错误。因为当 $X=0$ 时, $Y \neq Z$ 同样可以使等式 $XY = XZ$ 成立。

(3) 正确。因为若 $Y \neq Z$, 则当 $X=0$ 时, 等式 $X + Y = X + Z$ 不可能成立; 当 $X=1$ 时, 等式 $XY = XZ$ 不可能成立; 仅当 $Y=Z$ 时, 才能使 $X+Y = X+Z$ 和 $XY = XZ$ 同时成立。

(4) 正确。因为若 $Y \neq Z$, 则 $X+Y=1$, 而 $X \cdot Y=0$, 等式 $X+Y = X \cdot Y$ 不成立。

6 用代数法求出下列逻辑函数的最简“与-或”表达式。

$$(1) F = AB + \overline{A}\overline{B}C + BC$$

$$(2) F = A\overline{B} + B + BCD$$

$$(3) F = (A + B + C) \cdot (\overline{A} + B) \cdot (A + B + \overline{C})$$

$$(4) F = BC + D + \overline{D} \cdot (\overline{B} + \overline{C}) \cdot (AC + B)$$

解答

(1)

$$\begin{aligned} F &= AB + \overline{A}\overline{B}C + BC \\ &= AB + (\overline{A}\overline{B} + B)C \\ &= AB + (\overline{A} + B)C \\ &= AB + \overline{A}C + BC \\ &= AB + \overline{A}C \end{aligned}$$

(2)

$$\begin{aligned} F &= A\overline{B} + B + BCD \\ &= A\overline{B} + B \\ &= A + B \end{aligned}$$

(3)

$$\begin{aligned} F &= (A + B + C) \cdot (\overline{A} + B) \cdot (A + B + \overline{C}) \\ &= (A + B) \cdot (\overline{A} + B) \\ &= B \end{aligned}$$

(4)



$$\begin{aligned} F &= BC + D + \bar{D} \cdot (\bar{B} + \bar{C}) \cdot (AC + B) \\ &= BC + D + (\bar{B} + \bar{C})(AC + B) \\ &= BC + D + \bar{B}\bar{C}(AC + B) \\ &= BC + D + AC + B \\ &= B + D + AC \end{aligned}$$

7. 将下列逻辑函数表示成“最小项之和”形式及“最大项之积”的简写形式。

$$(1) \quad F(A, B, C, D) = \bar{B}\bar{C}\bar{D} + \bar{A}\bar{B} + A\bar{B}\bar{C}\bar{D} + BC$$

$$(2) \quad F(A, B, C, D) = \overline{\bar{A}\bar{B} + ABD} + (B + CD)$$

解答

(1)

$$\begin{aligned} F(A, B, C, D) &= \bar{B}\bar{C}\bar{D} + \bar{A}\bar{B} + A\bar{B}\bar{C}\bar{D} + BC \\ &= (\bar{A} + A)\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}(\bar{C}\bar{D} + \bar{C}\bar{D} + \bar{C}\bar{D} + \bar{C}\bar{D}) + A\bar{B}\bar{C}\bar{D} \\ &\quad + (\bar{A}\bar{D} + \bar{A}\bar{D} + \bar{A}\bar{D} + \bar{A}\bar{D})BC \\ &= \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}\bar{D} \\ &\quad + \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}\bar{D} + ABCD \\ &= m_4 + m_{12} + m_4 + m_5 + m_6 + m_7 + m_{13} + m_6 + m_7 + m_{14} + m_{15} \\ &= \sum m(4, 5, 6, 7, 12, 13, 14, 15) \end{aligned}$$

$$F(A, B, C, D) = \prod M(0, 1, 2, 3, 8, 9, 10, 11)$$

(2)



$$\begin{aligned} F(A, B, C, D) &= \overline{\overline{AB}} + ABD + (B + CD) \\ &= \overline{\overline{A}} \cdot \overline{\overline{B}} \cdot \overline{ABD} + B + CD \\ &= (A + B)(\overline{A} + \overline{B} + \overline{D}) + B + CD \\ &= \overline{AB} + \overline{AB} + \overline{AD} + \overline{BD} + B + CD \\ &= AB + AD + B + CD \\ &= AB(CD + \overline{CD} + \overline{CD} + CD) + AD(BC + \overline{BC} + \overline{BC} + BC) + B(\overline{ACD} + \overline{ACD} \\ &\quad + \overline{ACD} + \overline{ACD} + \overline{ACD} + ACD) + CD(\overline{AB} + \overline{AB} + \overline{AB} + AB) \\ &= ABCD + \overline{ABCD} \\ &\quad + \overline{ABCD} \\ &= m_8 + m_9 + m_{10} + m_{11} + m_8 + m_{10} + m_{12} + m_{14} + m_4 + m_5 \\ &\quad + m_6 + m_7 + m_{12} + m_{13} + m_{14} + m_{15} + m_3 + m_7 + m_{11} + m_{15} \\ &= \sum m(3 \sim 15) \\ &= \prod M(0,1,2) \end{aligned}$$

8 用卡诺图化简法求出下列逻辑函数的最简“与-或”表达式和最简“或-与”表达式。

$$(1) F(A, B, C, D) = \overline{AB} + \overline{ACD} + AC + B\overline{C}$$

$$(2) F(A, B, C, D) = BC + D + \overline{D} \cdot (\overline{B} + \overline{C}) \cdot (AD + B)$$

$$(3) F(A, B, C, D) = \prod M(2,4,6,10,11,12,13,14,15)$$

解答

(1) 函数 $F(A, B, C, D) = \overline{AB} + \overline{ACD} + AC + B\overline{C}$ 的卡诺图如图 2 所示。

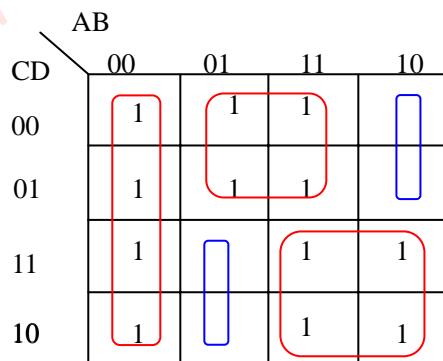


图 2

$$F(A, B, C, D) = \overline{AB} + AC + B\overline{C} \quad (\text{最简与-或式})$$



$$\bar{F}(A, B, C, D) = \bar{A}\bar{B}C + A\bar{B}\bar{C}$$

$$F(A, B, C, D) = (A + \bar{B} + \bar{C})(\bar{A} + B + C) \quad (\text{最简或-与式})$$

(2) 函数 $F(A, B, C, D) = BC + D + \bar{D} \cdot (\bar{B} + \bar{C}) \cdot (AD + B)$ 的卡诺图如图 3 所示。

$$\begin{aligned} F(A, B, C, D) &= BC + D + \bar{D} \cdot (\bar{B} + \bar{C}) \cdot (AD + B) \\ &= BC + D + (\bar{B} \cdot \bar{D} + \bar{C} \cdot \bar{D})(AD + B) \\ &= BC + D + \bar{B}\bar{C}D \end{aligned}$$

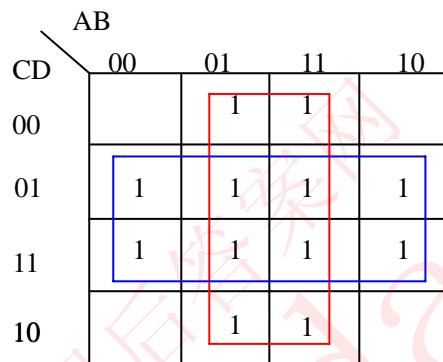


图 3

$$F(A, B, C, D) = B + D \quad (\text{既是最简与-或式，也是最简或-与式})$$

(3) 函数 $F(A, B, C, D) = \prod M(2, 4, 6, 10, 11, 12, 13, 14, 15) = \sum m(0, 1, 3, 5, 7, 8, 9)$

的卡诺图如图 4 所示。

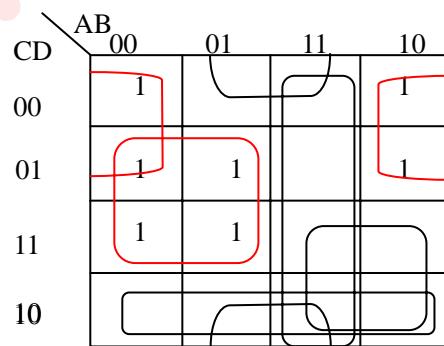


图 4

$$F(A, B, C, D) = \bar{A}D + \bar{B} \cdot \bar{C} \quad (\text{最简与-或式})$$



$$\bar{F}(A, B, C, D) = AB + AC + \bar{BD} + \bar{CD}$$
$$F(A, B, C, D) = (\bar{A} + \bar{B})(\bar{A} + \bar{C})(\bar{B} + D)(\bar{C} + D)$$

(最简或-与式)

9 用卡诺图判断函数 $F(A, B, C, D)$ 和 $G(A, B, C, D)$ 有何关系?

(1) $F(A, B, C, D) = \bar{BD} + \bar{AD} + \bar{CD} + ACD$

$$G(A, B, C, D) = \bar{BD} + CD + \bar{ACD} + ABD$$

(2) $F(A, B, C, D) = (\bar{AB} + \bar{AB}) \cdot \bar{C} + (\bar{AB} + \bar{AB}) \cdot C$

$$G(A, B, C, D) = \overline{\bar{AB} + BC + AC} \cdot (A + B + C) + ABC$$

解答

(1) 作出函数 F 和 G 的卡诺图分别如图 5、图 6 所示。

		AB	00	01	11	10
CD	00	1	1	1	1	
	01					
11	10					
	10	1	1	1	1	

图 5

		AB	00	01	11	10
CD	00					
	01	1	1	1	1	
11	10	1	1	1	1	
	10					

图 6

由卡诺图可知， F 和 G 互为反函数，即： $F = \bar{G}$, $\bar{F} = G$

(2) 作出函数 F 和 G 的卡诺图分别如图 7、图 8 所示。

AB		00	01	11	10
CD	00		1		1
	01		1		1
11	1		1		
10	1		1		

图 7

AB		00	01	11	10
CD	00		1		1
	01		1		1
11	1		1		
10	1		1		

图 8

由卡诺图可知，F 和 G 相等，即： $F = G$

10 某函数的卡诺图如图 9 所示。

AB		00	01	11	10
CD	00	1	0	b	1
	01	1	0	1	1
11	0	0	0	0	
10	1	1	1	a	

图 9

- (1) 若 $b = \bar{a}$ ，当 a 取何值时能得到最简的“与-或”表达式？
- (2) a 和 b 各取何值时能得到最简的“与-或”表达式？

解答

- (1) 当 $b = \bar{a}$ 时，令 $a=1, b=0$ 能得到最简“与-或”表达式：

$$F = \overline{BC} + \overline{CD} + A\overline{CD} \quad (3 \text{ 项})$$

- (2) 当 $a=1, b=1$ 时，能得到最简的“与-或”表达式：

$$F = \overline{BC} + \overline{CD} + A\overline{C} \quad (3 \text{ 项})$$



11 用列表法化简逻辑函数

$$F(A, B, C, D) = \sum m(0, 2, 3, 5, 7, 8, 10, 11, 13, 15)$$

解答

$$F(A, B, C, D) = BD + \overline{BD} + CD \quad \text{或者} \quad F(A, B, C, D) = BD + \overline{BD} + \overline{BC}$$



第三章

1. 根据所采用的半导体器件不同，集成电路可分为哪两大类？各自的主要优缺点是什么？

解答

双极型集成电路：采用双极型半导体器件作为元件。主要特点是**速度快、负载能力强，但功耗较大、集成度较低。**

单极型集成电路：指MOS集成电路，采用金属-氧化物半导体场效应管（Metal Oxide Semiconductor Field Effect Transistor，简写为MOSFET）作为元件。MOS型集成电路的特点是**结构简单、制造方便、集成度高、功耗低，但速度较慢。**

2. 简述晶体二极管的静态特性？

解答

“**正向导通**（相当于开关闭合），**反向截止**（相当于开关断开）”，硅管正向压降约0.7伏，锗管正向压降约0.3伏。

3. 晶体二极管的开关速度主要取决于什么？

解答

晶体二极管的开关速度主要取决于**反向恢复时间**（二极管从正向导通到反向截止所需要的时间）和

开通时间（二极管从反向截止到正向导通所需要的时间）。相比之下，开通时间很短，一般可以忽略不计。因此，影响二极管开关速度的主要因素是**反向恢复时间**。

4. 数字电路中，晶体三极管一般工作在什么状态？

解答

数字电路中，晶体三极管一般工作在**“截止状态”**（相当于开关断开）



和“饱和导通状态”（相当于开关闭合）。

5. 晶体三极管的开关速度取决于哪些因素？

解答

晶体三极管的开关速度主要取决于开通时间 t_{on} （三极管从截止状态到饱和状态所需要的时间）和关闭时间 t_{off} （三极管从饱和状态到截止状态所需要的时间），它们是影响电路工作速度的主要因素。

6. TTL与非门有哪些主要性能参数？

解答

TTL与非门的主要外部特性参数有输出逻辑电平、开门电平、关门电平、扇入系数、扇出系数、平均传输时延、输入短路电流和空载功耗等8项。

7. OC门和TS门的结构与一般TTL与非门有何不同？各有何主要应用？

解答

OC门：该电路在结构上把一般TTL与非门电路中的 T_3 、 D_4 去掉，令 T_4 的集电极悬空，从而把一般TTL与非门电路的推拉式输出级改为三极管集电极开路输出。OC门可以用来实现“线与”逻辑、电平转换以及直接驱动发光二极管、干簧继电器等。

TS门：该电路是在一般与非门的基础上，附加使能控制端 EN 和控制电路构成的。在 EN 有效时为正常

工作状态，在 EN 无效时输出端被悬空，即处于高阻状态。TS门主要应用于数据与总线的连接，以实现总线传送控制，它既可用于单向数据传送，也可用于双向数据传送。

8. 有两个相同型号的TTL与非门，对它们进行测试的结果如下：

(1) 甲的开门电平为1.4V，乙的开门电平为1.5V；

(2) 甲的关门电平为1.0V，乙的关门电平为0.9V。

试问在输入相同高电平时，哪个抗干扰能力强？在输入相同低电平时，哪个抗干扰能力强？

解答

在输入相同高电平时，**甲的抗干扰能力强**。因为开门电平愈小，在输入高电平时的抗干扰能力愈强。

在输入相同低电平时，**甲的抗干扰能力强**。因为关门电平越大，在输入低电平时的抗干扰能力越强。

9. 图1(a)所示为三态门组成的总线换向开关电路，其中，A、B为信号输入端，分别送两个频率不同的信号；EN为换向控制端，控制电平波形如图(b)所示。试画出Y₁、Y₂的波形。

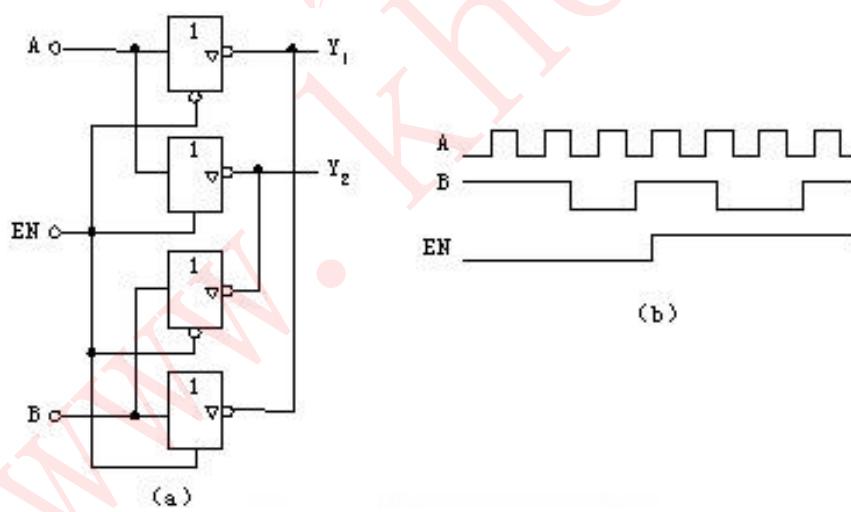


图1 电路图及有关信号波形

解答

图中，EN=0： $Y_1 = \overline{A}$ ， $Y_2 = \overline{B}$ ； EN=1： $Y_1 = \overline{B}$ ， $Y_2 = \overline{A}$ 。据此，可做出Y₁、Y₂的波形图如图2所示。

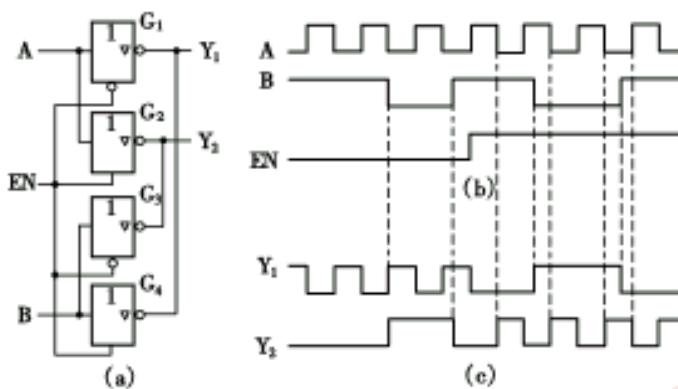


图 2

10. 试画出实现如下功能的CMOS电路图。

- (1) $F = \overline{A \cdot B \cdot C}$
- (2) $F = A + B$
- (3) $F = \overline{A \cdot B + C \cdot D}$

解答

(1) 实现 $F = \overline{A \cdot B \cdot C}$ 的CMOS电路图如图3所示。

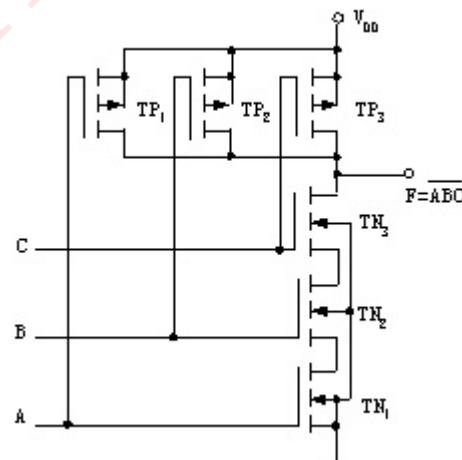


图3

(2) 实现 $F = A + B$ 的CMOS电路图如图4所示。

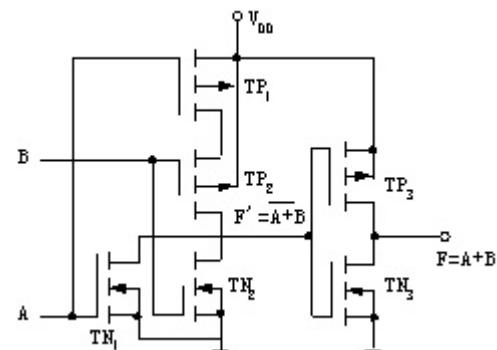


图4

(3) 实现 $F = \overline{A \cdot B + C \cdot D}$ 的CMOS电路图如图5所示。

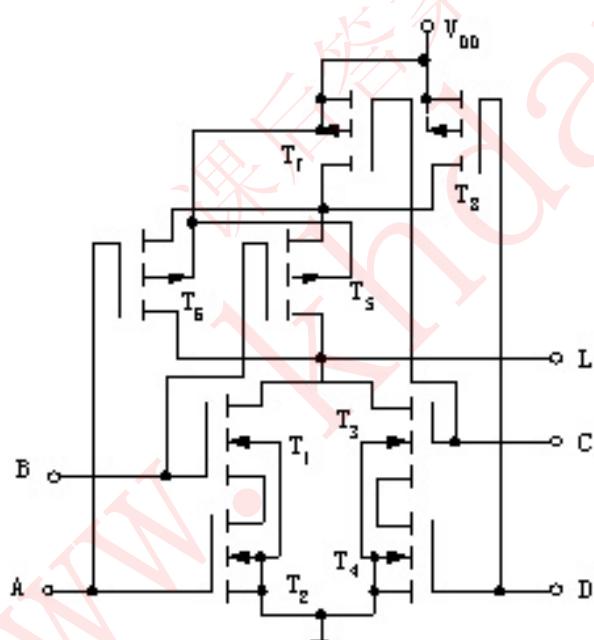


图5

11. 出下列五种逻辑门中哪几种的输出可以并联使用。

- (1) TTL集电极开路门；
- (2) 普通具有推拉式输出的TTL与非门；



- (3) TTL三态输出门;
- (4) 普通CMOS门;
- (5) CMOS三态输出门。

解答

上述五种逻辑门中，**TTL集电极开路门**、**TTL三态输出门**和**CMOS三态输出门**的输出可以并联使用。

12. 用与非门组成的基本R-S触发器和用或非门组成的基本R-S触发器在逻辑功能上有什么区别?

解答

与非门组成的基本R-S触发器功能为：

$R=0, S=0$, 状态不定（不允许出现）;
 $R=0, S=1$, 置为0状态；
 $R=1, S=0$, 置为1状态；
 $R=1, S=1$, 状态不变。

或非门组成的基本R-S触发器功能为：

$R=0, S=0$, 状态不变；
 $R=0, S=1$, 置为1状态；
 $R=1, S=0$, 置为0状态；
 $R=1, S=1$, 状态不定（不允许出现）。

13. 在图6(a)所示的D触发器电路中，若输入端D的波形如图6(b)所示，试画出输出端Q的波形(设触发器初态为0)。

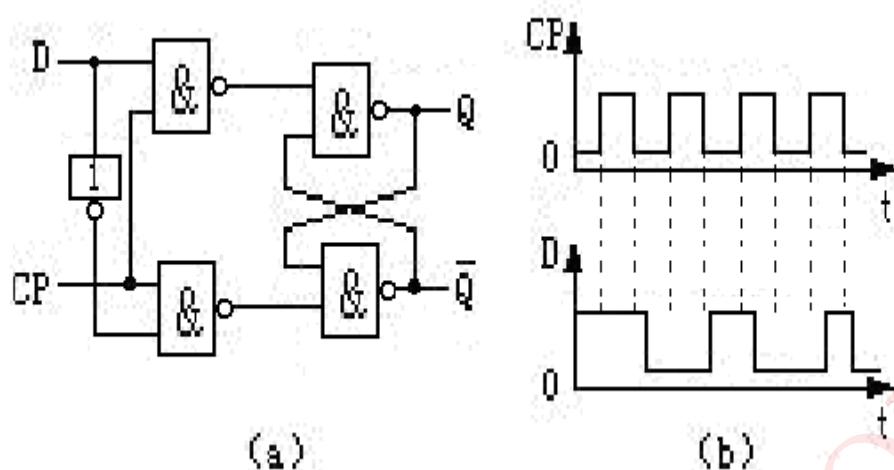


图6 电路图及有关波形

解答

根据D触发器功能和给定输入波形，可画出输出端Q的波形如图7所示。

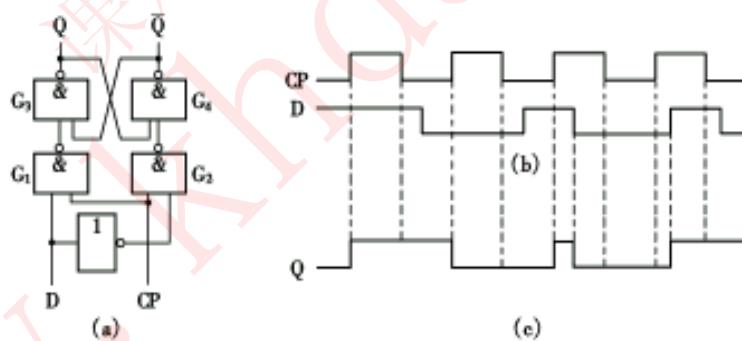


图7

14. 已知输入信号A和B的波形如图8(a)所示，试画出图8(b)、(c)中两个触发器Q端的输出波形，设触发器初态为0。

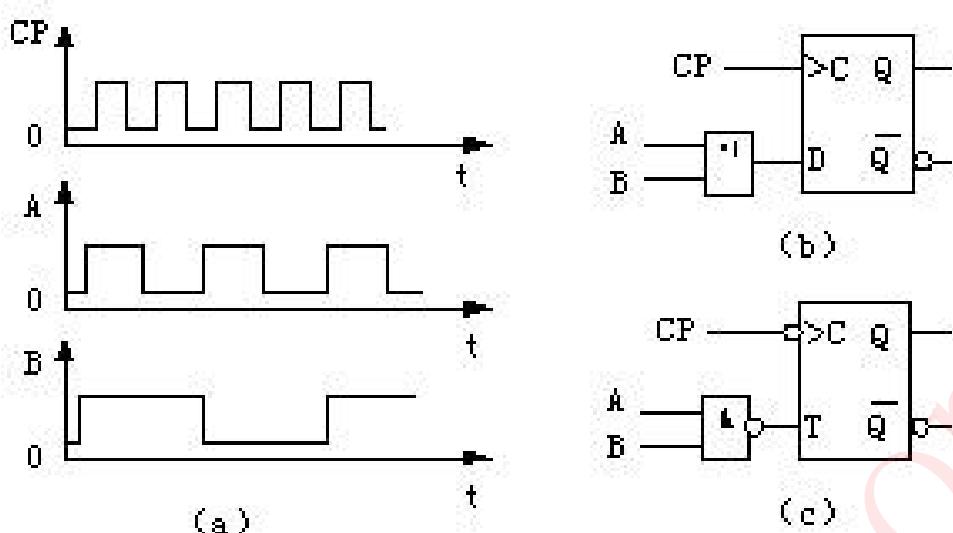


图8 信号波形及电路

解答

根据给定输入波形和电路图，可画出两个触发器Q端的输出波形 Q_D 、 Q_T 如图9所示。

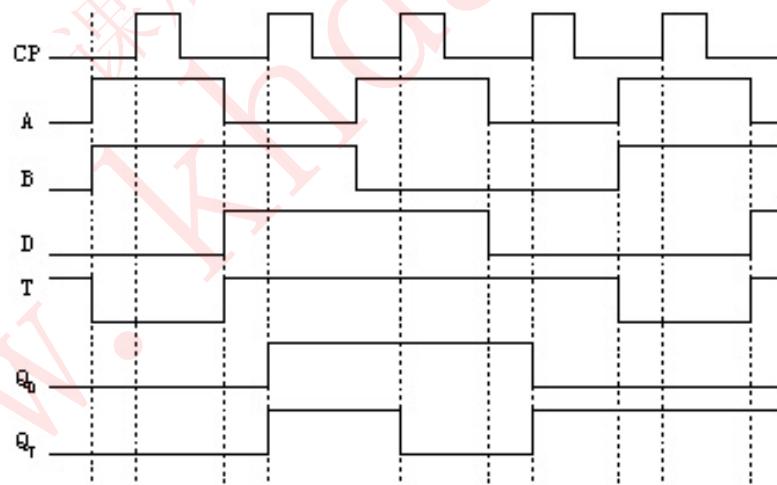


图9 输出波形图

15. 设图10 (a) 所示电路的初始状态 $Q_1 = Q_2 = 0$ ，输入信号及CP端的波形如图10(b)所示，试画出 Q_1 、 Q_2 的波形图。

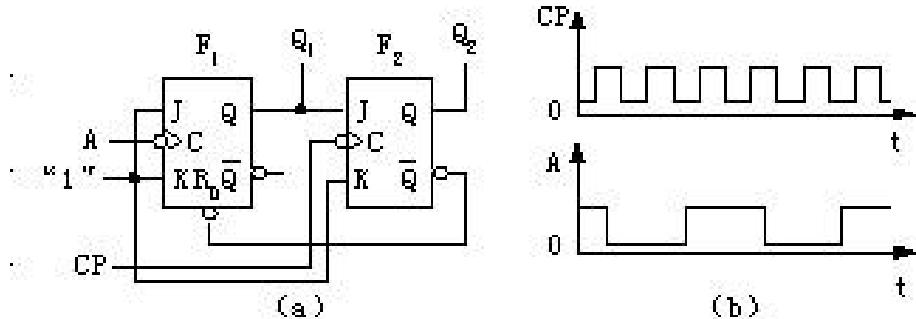


图10 电路及有关波形

解答

根据给定输入波形和电路图，可画出两个触发器输出端 Q_1 、 Q_2 的波形如图11所示。

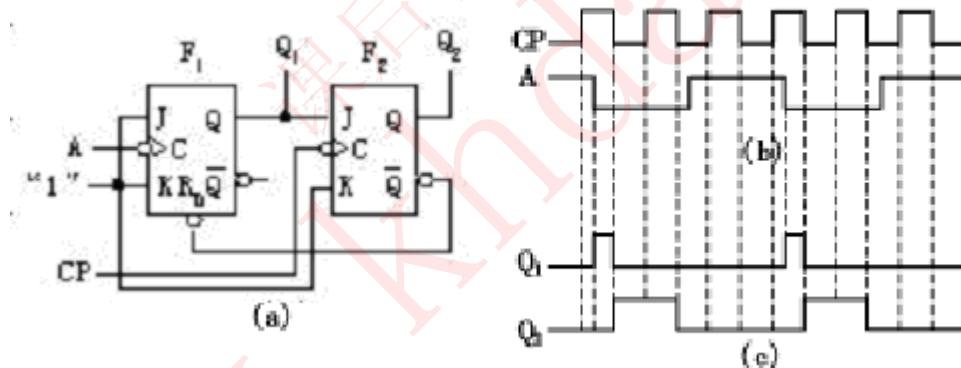


图11

16 试用T触发器和门电路分别构成D触发器和J-K触发器。

解答

(1) 采用次态方程立法，分别写出T触发器和D触发器的次态方程如下：

$$\text{T触发器的次态方程: } Q^{(n+1)} = T\bar{Q} + \bar{T}Q$$

$$\text{D触发器的次态方程: }$$



$$\begin{aligned} Q^{(n+1)} &= D \\ &= D(\bar{Q} + Q) \\ &= D\bar{Q} + \bar{D}\bar{Q}Q + DQ + \bar{D}Q\bar{Q} \\ &= (D\bar{Q} + \bar{D}Q)\bar{Q} + (DQ + \bar{D}\bar{Q})Q \\ &= (D \oplus Q)\bar{Q} + \overline{D \oplus Q} \cdot Q \end{aligned}$$

比较上述两个方程可得 $T = D \oplus Q$ ，据此可画出用T触发器和一个异或门构成D触发器的电路图如图12 (a) 所示。

(2) 采用次态方程联立法，分别写出T触发器和JK触发器的次态方程如下：

T触发器的次态方程： $Q^{(n+1)} = T\bar{Q} + \bar{T}Q$

JK触发器的次态方程：

$$\begin{aligned} Q^{(n+1)} &= J\bar{Q} + \bar{K}Q \\ &= J\bar{Q} + \bar{J}\bar{K}Q + \bar{K}Q \\ &= J\bar{Q} + (\bar{J}\bar{K} + \bar{J}\bar{Q} + \bar{K}Q + Q\bar{Q})Q \\ &= J\bar{Q} + (\bar{J} + Q)(\bar{K} + \bar{Q})Q \\ &= (J\bar{Q} + KQ)\bar{Q} + \overline{J\bar{Q} + KQ} \cdot Q \end{aligned}$$

比较上述两个方程可得 $T = J\bar{Q} + KQ$ ，据此可画出用T触发器和三个逻辑门构成JK触发器的电路图如图12 (b) 所示。

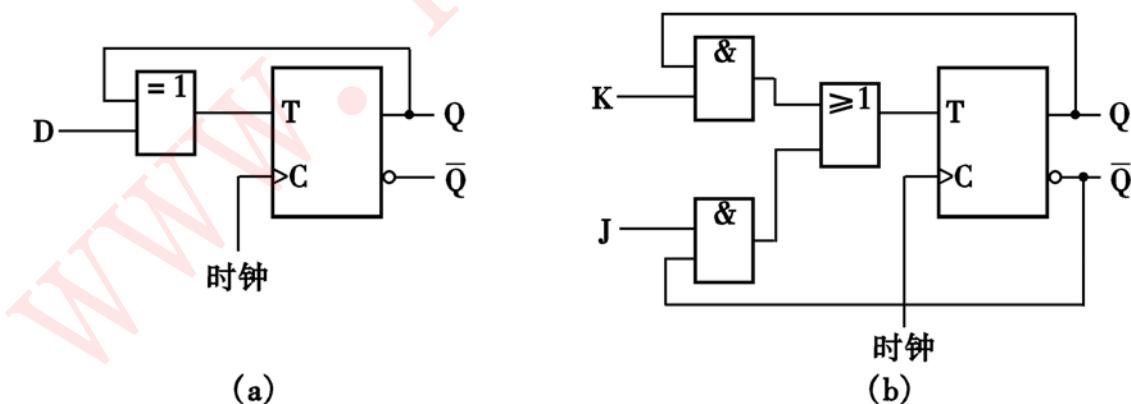


图 12



第三章

1. 根据所采用的半导体器件不同，集成电路可分为哪两大类？各自的主要优缺点是什么？

解答 双极型集成电路：采用双极型半导体器件作为元件。主要特点是**速度快、负载能力强，但功耗较大、集成度较低**。**单极型集成电路**：指MOS集成电路，采用金属-氧化物半导体场效应管(Metal Oxide Semiconductor Field Effect Transistor，简写为MOSFET)作为元件。MOS型集成电路的特点是**结构简单、制造方便、集成度高、功耗低，但速度较慢**。

6. TTL与非门有哪些主要性能参数？**解答**

TTL与非门的主要外部特性参数有**输出逻辑电平、开门电平、关门电平、扇入系数、扇出系数、平均传输时延、输入短路电流和空载功耗等8项**。

8. 有两个相同型号的TTL与非门，对它们进行测试的结果如下：

- (1) 甲的开门电平为1.4V，乙的开门电平为1.5V；
- (2) 甲的关门电平为1.0V，乙的关门电平为0.9V。

试问在输入相同高电平时，哪个抗干扰能力强？在输入相同低电平时，哪个抗干扰能力强？

解答 在输入相同高电平时，**甲的抗干扰能力强**。因为开门电平愈小，在输入高电平时的抗干扰能力愈强。

在输入相同低电平时，**甲的抗干扰能力强**。因为关门电平越大，在输入低电平时的抗干扰能力越强。

11. 出下列五种逻辑门中哪几种的输出可以并联使用。

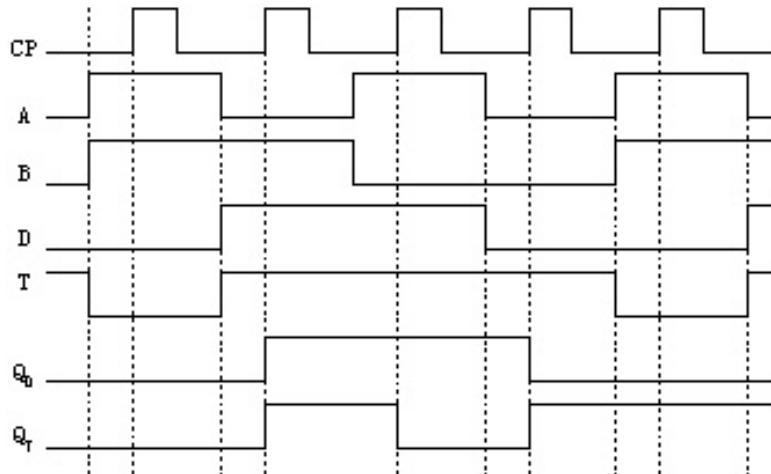
- (1) TTL集电极开路门；
- (2) 普通具有推拉式输出的TTL与非门；
- (3) TTL三态输出门；
- (4) 普通CMOS门；
- (5) CMOS三态输出门。

解答 上述五种逻辑门中，**TTL集电极开路门、TTL三态输出门和CMOS三态输出门**的输出可以并联使用。

14. 已知输入信号A和B的波形如图8(a)所示，试画出图8(b)、(c)中两个触发器Q端的输出波形，设触发器初态为0。

图8 信号波形及电路

解答 根据给定输入波形和电路图，可画出两个触发器Q端的输出波形Q_b、Q_t如图9所示。





课后习题答案网

思路岛下载

www.Khdaw.com
课后答案网

第四章

1. 分析图1所示的组合逻辑电路，说明电路功能，并画出其简化逻辑电路图。

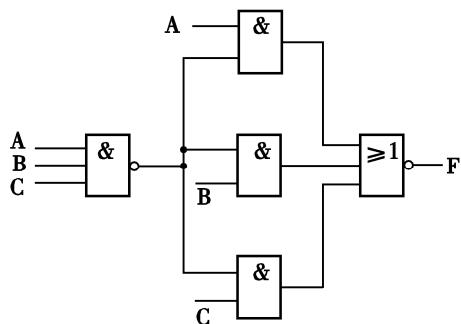


图1 组合逻辑电路

解答

① 根据给定逻辑电路图写出输出函数表达式

$$F = \overline{\overline{ABC} \cdot A + \overline{ABC} \cdot B + \overline{ABC} \cdot C}$$

② 用代数法简化输出函数表达式

$$\begin{aligned} F &= \overline{\overline{ABC} \cdot A + \overline{ABC} \cdot B + \overline{ABC} \cdot C} \\ &= \overline{\overline{ABC}(A + B + C)} \\ &= ABC + \overline{A + B + C} \\ &= ABC + \overline{ABC} \end{aligned}$$

③ 由简化后的输出函数表达式可知，当ABC取值相同时，即为000或111时，输出函数F的值为1，否则F的值为0。故该电路为“一致性电路”。

④ 实现该电路功能的简化电路如图2所示。

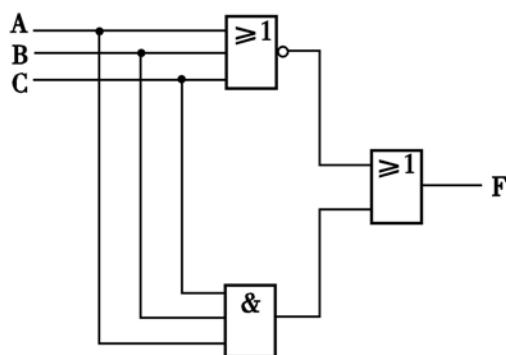


图2



2. 分析图3所示的逻辑电路，要求：

- (1) 指出在哪些输入取值下，输出F的值为1。
- (2) 改用异或门实现该电路的功能。

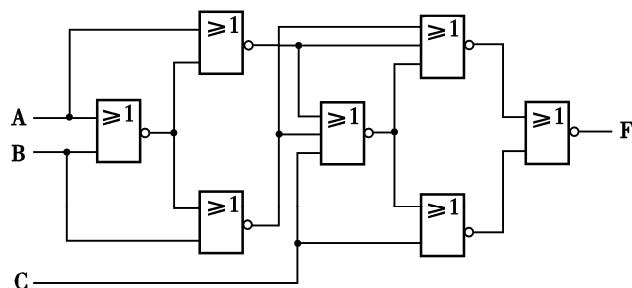


图3 组合逻辑电路

解答

分析给定逻辑电路，可求出输出函数最简表达式为

$$F = \overline{A \oplus B \oplus C} = A \oplus B \oplus \bar{C}$$

- ① 当ABC取值000、011、101、110时，输出函数F的值为1；
- ② 用异或门实现该电路功能的逻辑电路图如图4所示。

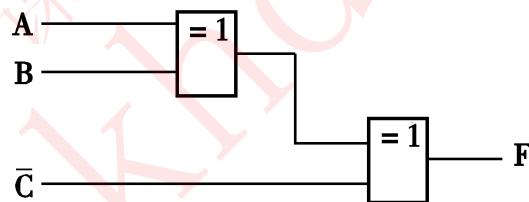


图4

3. 析图5所示组合逻辑电路，列出真值表，并说明该电路的逻辑功能。

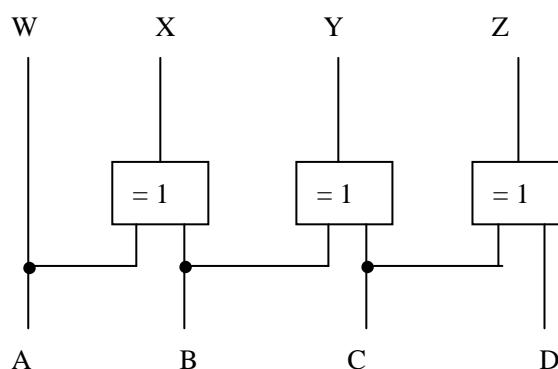


图5 组合逻辑电路



解答

- ① 写出电路输出函数表达式如下：

$$W = A, \quad X = A \oplus B, \quad Y = B \oplus C, \quad Z = C \oplus D$$

- ② 列出真值表如表1所示。

表1

ABCD	WXYZ	ABCD	WXYZ
0000	0000	1000	1100
0001	0001	1001	1101
0010	0011	1010	1111
0011	0010	1011	1110
0100	0110	1100	1010
0101	0111	1101	1011
0110	0101	1110	1001
0111	0100	1111	1000

- ③ 由真值表可知，该电路的功能是将四位二进制码转换成Gray码。

4. 设计一个组合电路，该电路输入端接收两个2位二进制数 $A=A_2A_1$, $B=B_2B_1$ 。

当 $A > B$ 时，输出 $Z=1$ ，否则 $Z=0$ 。

解答

- ① 根据比较两数大小的法则，可写出输出函数表达式为

$$\begin{aligned}Z &= A_2 \bar{B}_2 + (A_2 \odot B_2) A_1 \bar{B}_1 \\&= A_2 \bar{B}_2 + A_1 \bar{B}_2 \bar{B}_1 + A_2 A_1 \bar{B}_1\end{aligned}$$

- ② 根据所得输出函数表达式，可画出逻辑电路图如图6所示。

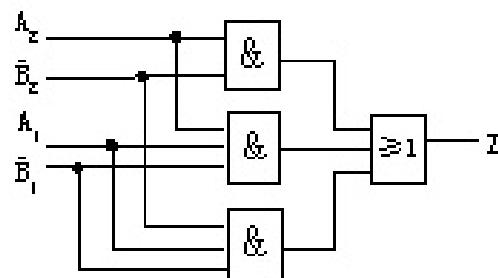




图6

5. 设计一个代码转换电路，将1位十进制数的余3码转换成2421码。

解答

- ① 设1位十进制数的余3码为ABCD，相应2421码为WXYZ，根据余3码和2421码的编码法则，可作出真值表如表2所示。

表 2

ABCD	WXYZ	ABCD	WXYZ
0000	dddd	1000	1011
0001	dddd	1001	1100
0010	dddd	1010	1101
0011	0000	1011	1110
0100	0001	1100	1111
0101	0010	1101	dddd
0110	0011	1110	dddd
0111	0100	1111	dddd

- ② 由真值表可写出输出函数表达式为

$$W(A,B,C,D) = \sum m(8,9,10,11,12) + \sum d(0,1,2,13,14,15)$$

$$X(A,B,C,D) = \sum m(7,9,10,11,12) + \sum d(0,1,2,13,14,15)$$

$$Y(A,B,C,D) = \sum m(5,6,8,11,12) + \sum d(0,1,2,13,14,15)$$

$$Z(A,B,C,D) = \sum m(4,6,8,10,12) + \sum d(0,1,2,13,14,15)$$

化简后可得：

$$\begin{aligned} W &= A \\ X &= AB + AC + AD + BCD \\ &= A(B + C + D) + BCD \\ Y &= \overline{ACD} + ACD + \overline{AC}\overline{D} + \overline{A}\overline{C}\overline{D} \\ &= A \oplus C \oplus D \\ Z &= \overline{D} \end{aligned}$$

- ③ 逻辑电路图如图7所示。

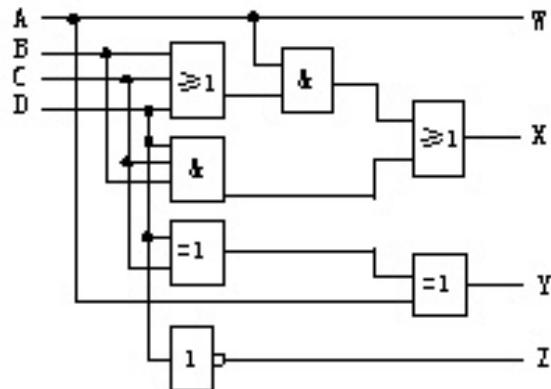


图7

6. 假定 $X=AB$ 代表一个2位二进制数，试设计满足如下要求的逻辑电路：

$$(1) \quad Y=X^2 \quad (2) \quad Y=X^3$$

(Y也用二进制数表示。)

解答

① 假定 AB 表示一个两位二进制数，设计一个两位二进制数平方器。

由题意可知，电路输入、输出均为二进制数，输出二进制数的值是输入二进制数 AB 的平方。由于两位二进制数能表示的最大十进制数为 3，3 的平方等于 9，表示十进制数 9 需要 4 位二进制数，所以该电路应有 4 个输出。假定用 WXYZ 表示输出的 4 位二进制数，根据电路输入、输出取值关系可列出真值表如表 3 所示。

表 3

A B	W X Y Z
0 0	0 0 0 0
0 1	0 0 0 1
1 0	0 1 0 0
1 1	1 0 0 1

由真值表可写出电路的输出函数表达式为

$$W = AB, \quad X = \bar{A}\bar{B}, \quad Y = 0, \quad Z = B$$

根据所得输出函数表达式，可画出用与非门实现给定功能的逻辑电路图如图 8 所示。

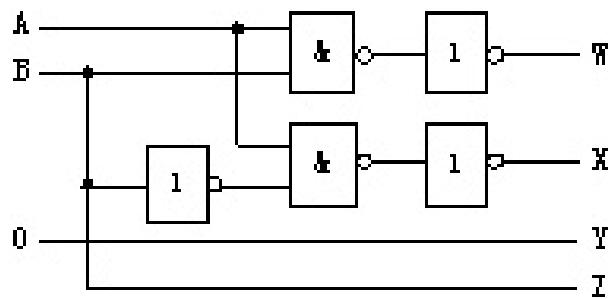


图8

- ① 假定 AB 表示一个两位二进制数，设计一个两位二进制数立方器。

由题意可知，电路输入、输出均为二进制数，输出二进制数的值是输入二进制数 AB 的立方。由于两位二进制数能表示的最大十进制数为 3，3 的立方等于 27，表示十进制数 27 需要 5 位二进制数，所以该电路应有 5 个输出。假定用 TWXYZ 表示输出的 5 位二进制数，根据电路输入、输出取值关系可列出真值表如表 4 所示。

表 4

A	B	T	W	X	Y	Z
0	0	0	0	0	0	0
0	1	0	0	0	0	1
1	0	0	1	0	0	0
1	1	1	1	0	1	1

由真值表可写出电路的输出函数表达式为

$$T = AB, \quad W = A, \quad X = 0, \quad Y = AB, \quad Z = B$$

根据所得输出函数表达式，可画出用与非门实现给定功能的逻辑电路图如图 9 所示。

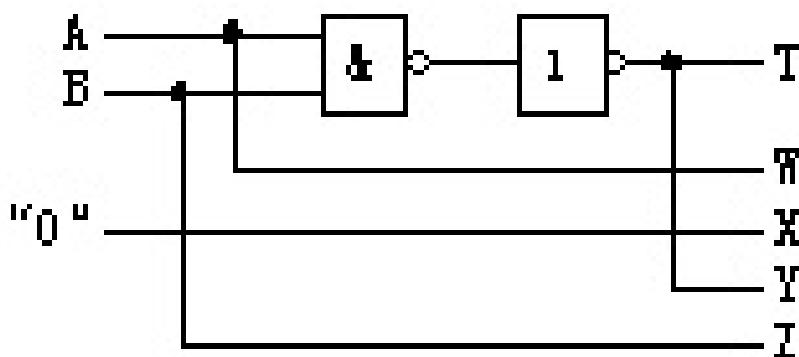


图9

7. 用与非门设计一个组合电路，该电路输入为1位十进制数的2421码，当输入的数字为素数时，输出F为1，否则F为0。

解答

① 设一位十进制数的 2421 码用 ABCD 表示，由题意可知，当 ABCD 表示的十进制数字为 2、3、5、7 时，输出 F 为 1，否则为 0。据此，可写出输出函数表达式为

$$F(A, B, C, D) = \sum m(2, 3, 11, 13) + \sum d(5 \sim 10)$$

经化简变换后，可得到最简与非表达式为

$$F(A, B, C, D) = \overline{B}\overline{C} + \overline{A}\overline{\overline{C}}\overline{\overline{D}} = \overline{\overline{B}\overline{C}} \cdot \overline{\overline{A}\overline{C}\overline{D}}$$

- ② 逻辑电路图如图 10 所示。

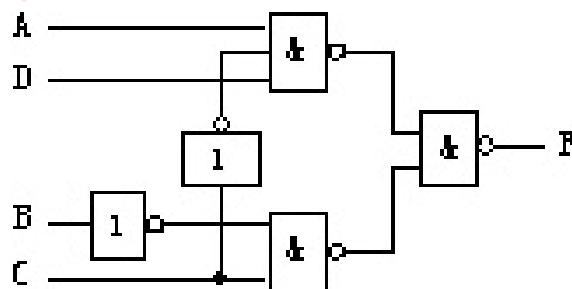


图10



8. 设计一个“四舍五入”电路。该电路输入为1位十进制数的8421码，当其值大于或等于5时，输出F的值为1，否则F的值为0。

解答

- ① 根据题意，可列出真值表如表5所示。

表5

A B C D	F
0 0 0 0	0
0 0 0 1	0
0 0 1 0	0
0 0 1 1	0
0 1 0 0	0
0 1 0 1	1
0 1 1 0	1
0 1 1 1	1
1 0 0 0	1
1 0 0 1	1
1 0 1 0	d
1 1 1 1	d

- ② 由真值表可写出输出函数表达式为

$$F(A,B,C,D) = \sum m(5 \sim 9) + \sum d(10 \sim 15)$$

经化简变换后，可得到最简与非表达式为

$$F(A,B,C,D) = A + BC + BD = \overline{A} \cdot \overline{BC} \cdot \overline{BD}$$

- ③ 逻辑电路图如图 11 所示。

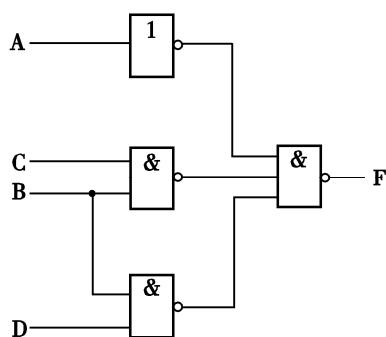


图11



9. 设计一个检测电路，检测4位二进制码中1的个数是否为偶数。若为偶数个1，则输出为1，否则输出为0。

解答

- ① 假定采用异或门实现给定功能，设输入的四位代码用 $B_4B_3B_2B_1$ 表示，输出函数用F表示，根据题意和异或运算的规则，可直接写出输出函数表达式为

$$F = \overline{B_4 \oplus B_3 \oplus B_2 \oplus B_1}$$

- ② 逻辑电路图如图 12 所示。

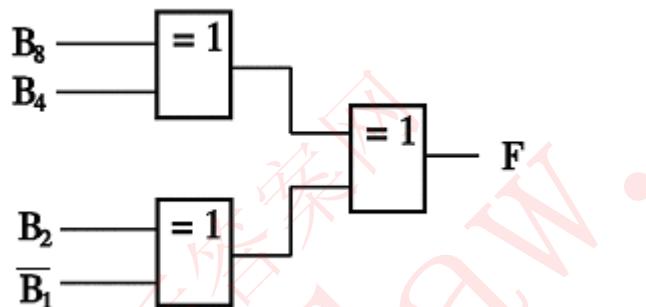


图12

10. 设计一个加/减法器，该电路在M控制下进行加、减运算。当M=0时，实现全加器功能；当M=1时，实现全减器功能。

解答① 设： A——被加数/被减数

B——加数/减数

C——来自低位的进位输入 / 来自低位的借位输入

F——本位“和” / 本位“差”

G——向高位的“进位” / 向高位的“借位”

根据题意，可列出真值表如表6所示。

M ABC	F G	M ABC	F G
0 000	0 0	1 000	0 0
0 001	1 0	1 001	1 1
0 010	1 0	1 010	1 1
0 011	0 1	1 011	0 1
0 100	1 0	1 100	1 0
0 101	0 1	1 101	0 0
0 110	0 1	1 110	0 0
0 111	1 1	1 111	1 1



② 由真值表可写出输出函数表达式:

$$M=0: F(A, B, C) = \sum m(1, 2, 4, 7)$$

$$G(A, B, C) = \sum m(3, 5, 6, 7)$$

$$M=1: F(A, B, C) = \sum m(1, 2, 4, 7)$$

$$G(A, B, C) = \sum m(1, 2, 3, 7)$$

经化简变换后, 可得函数表达式如下:

$$M=0: F = A \oplus B \oplus C;$$

$$G = AB + AC + BC = \overline{AB} \cdot \overline{AC} \cdot \overline{BC}$$

$$M=1: F = A \oplus B \oplus C;$$

$$G = \overline{A}B + \overline{A}C + BC = \overline{\overline{A}B} \cdot \overline{\overline{A}C} \cdot \overline{BC}$$

③ 根据逻辑表达式, 可作出逻辑电路图如图13所示。

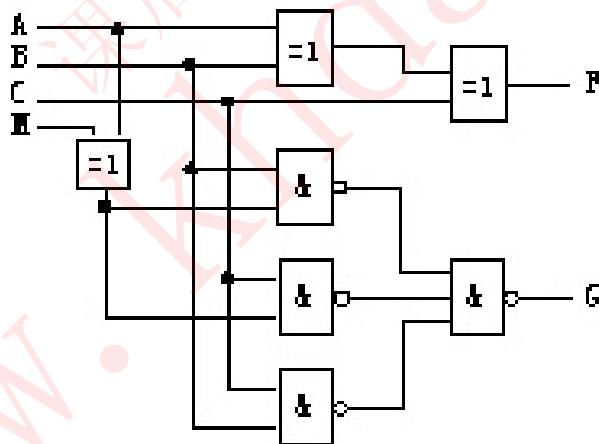


图 13

11. 在输入不提供反变量的情况下, 用与非门组成电路实现下列函数:

$$(1) F = A\overline{B} + \overline{A}C + B\overline{C}$$

$$(2) F = A\overline{B}\overline{C} + B\overline{C}\overline{D} + A\overline{C}\overline{D} + \overline{B}CD$$

解答

① 变换如下:



$$\begin{aligned} F &= \bar{A}\bar{B} + \bar{A}\bar{C} + \bar{B}\bar{C} \\ &= \bar{A}\bar{B} + \bar{A}\bar{C} + \bar{B}\bar{C} + \bar{B}\bar{C} + \bar{A}\bar{C} + \bar{A}\bar{B} \\ &= A(\bar{B} + \bar{C}) + (\bar{A} + \bar{B})C + (\bar{A} + \bar{C})B \\ &= A \cdot \overline{BC} + \overline{AB} \cdot C + \overline{AC} \cdot B \\ &= A \cdot \overline{ABC} + C \cdot \overline{ABC} + B \cdot \overline{ABC} \\ &= \overline{\overline{ABC}} \cdot \overline{\overline{ABC}} \cdot \overline{\overline{ABC}} \end{aligned}$$

逻辑电路图如图14所示。

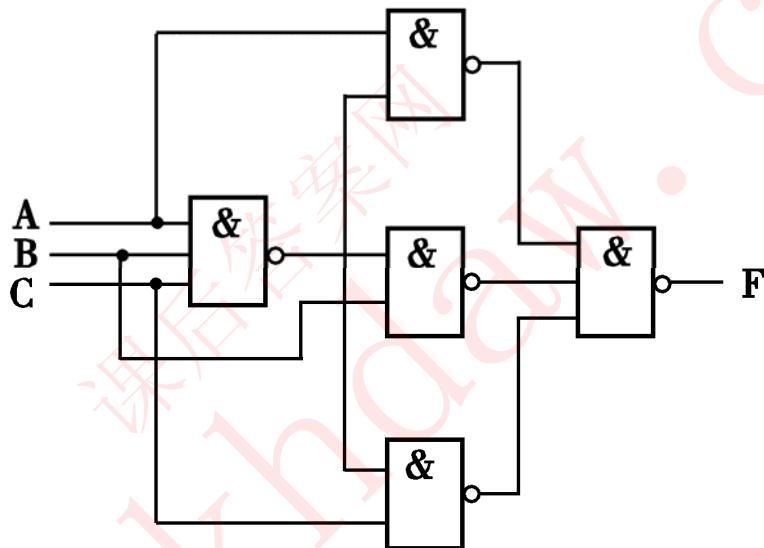


图14

② 变换如下：

$$\begin{aligned} F &= A\bar{B}\bar{C} + B\bar{C}\bar{D} + A\bar{C}\bar{D} + \bar{B}\bar{C}\bar{D} \\ &= (\bar{B} + \bar{D})A\bar{C} + B\bar{D}\bar{C} + \bar{B}\bar{D}\bar{C} \\ &= \overline{BD} \cdot \overline{AC} + \overline{BD} \cdot BC + \overline{BD} \cdot CD \\ &= \overline{\overline{BD}} \cdot \overline{\overline{AC}} \cdot \overline{\overline{BD}} \cdot BC \cdot \overline{\overline{BD}} \cdot CD \end{aligned}$$

逻辑电路图如图15所示。

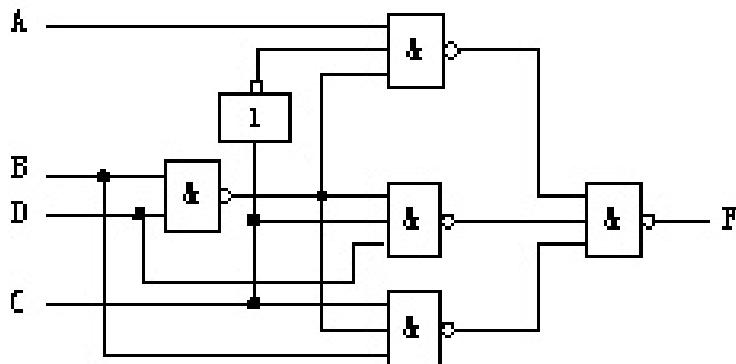


图15

12. 下列函数描述的电路是否可能发生竞争? 竞争结果是否会产生险象? 在什么情况下产生险象? 若产生险象, 试用增加冗余项的方法消除。

$$(1) \quad F_1 = AB + A\bar{C} + \bar{C}D$$

$$(2) \quad F_2 = AB + \bar{A}\bar{C}D + BC$$

$$(3) \quad F_3 = (A + \bar{B}) \cdot (\bar{A} + \bar{C})$$

解答

① 因为逻辑表达式 $F_1 = AB + A\bar{C} + \bar{C}D$ 中没有以互补形式出现的逻辑变量, 故不会发生竞争。

② 因为逻辑表达式 $F_2 = AB + \bar{A}\bar{C}D + BC$ 中有逻辑变量 A 以互补形式出现, 故会发生竞争。但由于不论 BCD 取何值, 表达式都不会变成 $A + \bar{A}$ 或者 $A \cdot \bar{A}$ 的形式, 所以不会产生险象。

③ 因为逻辑表达式 $F_3 = (A + \bar{B}) \cdot (\bar{A} + \bar{C})$ 中有逻辑变量 A 以互补形式出现, 故会发生竞争。由于 $BC=11$ 时, 表达式会变成 $A \cdot \bar{A}$ 的形式, 所以 $BC=11$ 时会产生险象。增加冗余项后的表达式为

$$F = (A + \bar{B})(\bar{A} + \bar{C})(\bar{B} + \bar{C})$$



第四章

1. 分析图1所示的组合逻辑电路，说明电路功能，并画出其简化逻辑电路图。

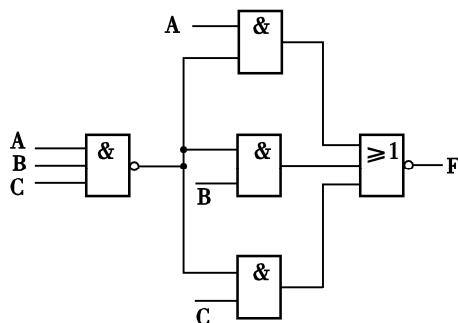


图1 组合逻辑电路

解答

- ① 根据给定逻辑电路图写出输出函数表达式

$$F = \overline{ABC} \cdot A + \overline{ABC} \cdot B + \overline{ABC} \cdot C$$

- ② 用代数法简化输出函数表达式

$$\begin{aligned} F &= \overline{ABC} \cdot A + \overline{ABC} \cdot B + \overline{ABC} \cdot C \\ &= \overline{ABC}(A + B + C) \\ &= ABC + \overline{A + B + C} \\ &= ABC + \overline{ABC} \end{aligned}$$

- ③ 由简化后的输出函数表达式可知，当ABC取值相同时，即为000或111时，输出函数F的值为1，否则F的值为0。故该电路为“一致性电路”。

- ④ 实现该电路功能的简化电路如图2所示。

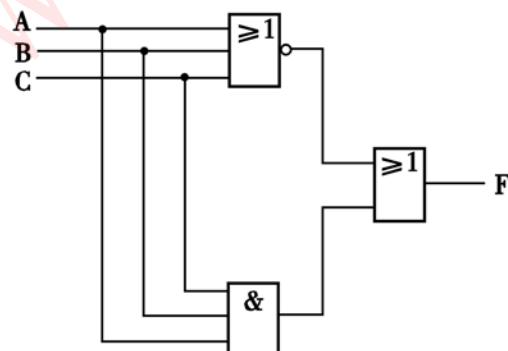


图2

4. 设计一个组合电路，该电路输入端接收两个2位二进制数A=A₂A₁，B=B₂B₁。当A>B时，输出Z=1，否则Z=0。



解答

① 根据比较两数大小的法则，可写出输出函数表达式为

$$\begin{aligned} Z &= A_2 \bar{B}_2 + (A_2 \odot B_2) A_1 \bar{B}_1 \\ &= A_2 \bar{B}_2 + A_1 \bar{B}_2 \bar{B}_1 + A_2 A_1 \bar{B}_1 \end{aligned}$$

② 根据所得输出函数表达式，可画出逻辑电路图如图6所示。

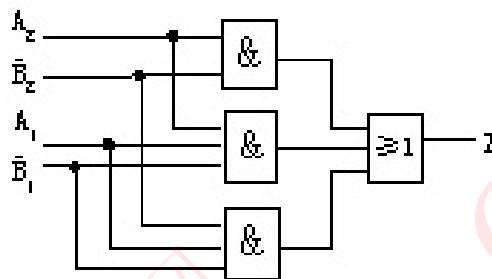


图6

6. 假定 $X=AB$ 代表一个 2 位二进制数，试设计满足如下要求 (2) $Y=X^3$ (Y 也用二进制数表示。)

① 假定 AB 表示一个两位二进制数，设计一个两位二进制数立方器。

由题意可知，电路输入、输出均为二进制数，输出二进制数的值是输入二进制数 AB 的立方。由于两位二进制数能表示的最大十进制数为 3，3 的立方等于 27，表示十进制数 27 需要 5 位二进制数，所以该电路应有 5 个输出。假定用 $TWXYZ$ 表示输出的 5 位二进制数，根据电路输入、输出取值关系可列出真值表如表 4 所示。

表 4

A B	T W X Y Z
0 0	0 0 0 0 0
0 1	0 0 0 0 1
1 0	0 1 0 0 0
1 1	1 1 0 1 1

由真值表可写出电路的输出函数表达式为

$$T = AB, \quad W = A, \quad X = 0, \quad Y = AB, \quad Z = B$$

根据所得输出函数表达式，可画出用与非门实现给定功能的逻辑电路图如图9所示。

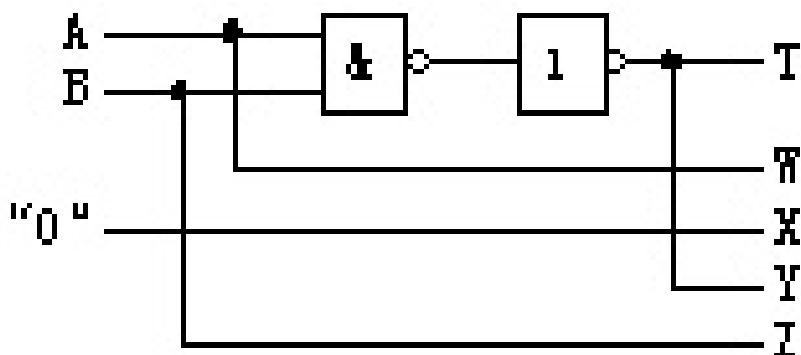


图9

8. 设计一个“四舍五入”电路。该电路输入为1位十进制数的8421码，当其值大于或等于5时，输出F的值为1，否则F的值为0。

解答

① 根据题意，可列出真值表如表5所示。

表5

A B C D	F
0 0 0 0	0
0 0 0 1	0
0 0 1 0	0
0 0 1 1	0
0 1 0 0	0
0 1 0 1	1
0 1 1 0	1
0 1 1 1	1
1 0 0 0	1
1 0 0 1	1
1 0 1 0	d
1 1 1 1	d

② 由真值表可写出输出函数表达式为

$$F(A,B,C,D) = \sum m(5 \sim 9) + \sum d(10 \sim 15)$$

经化简变换后，可得到最简与非表达式为

$$F(A, B, C, D) = A + BC + BD = \overline{A} \cdot \overline{BC} \cdot \overline{BD}$$

③ 逻辑电路图如图 11 所示。

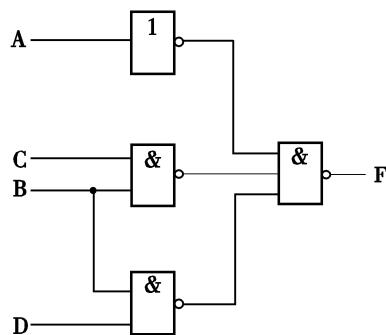


图11

10. 设计一个加/减法器，该电路在M控制下进行加、减运算。当M=0时，实现全加器功能；当M=1时，实现全减器功能。

解答① 设： A——被加数/被减数

B——加数/减数

C——来自低位的进位输入 / 来自低位的借位输入

F——本位“和” / 本位“差”

G——向高位的“进位” / 向高位的“借位”

根据题意，可列出真值表如表6所示。

M ABC	F G	M ABC	F G
0 000	0 0	1 000	0 0
0 001	1 0	1 001	1 1
0 010	1 0	1 010	1 1
0 011	0 1	1 011	0 1
0 100	1 0	1 100	1 0
0 101	0 1	1 101	0 0
0 110	0 1	1 110	0 0
0 111	1 1	1 111	1 1

④ 由真值表可写出输出函数表达式：

$$M=0: F(A, B, C) = \sum m(1, 2, 4, 7)$$

$$G(A, B, C) = \sum m(3, 5, 6, 7)$$

$$M=1: F(A, B, C) = \sum m(1, 2, 4, 7)$$

$$G(A, B, C) = \sum m(1, 2, 3, 7)$$

经化简变换后，可得函数表达式如下：

$$M=0: F = A \oplus B \oplus C;$$

$$G = AB + AC + BC = \overline{\overline{AB}} \cdot \overline{\overline{AC}} \cdot \overline{\overline{BC}}$$

$$M=1: F = A \oplus B \oplus C;$$

$$G = \overline{AB} + \overline{AC} + BC = \overline{\overline{AB}} \cdot \overline{\overline{AC}} \cdot \overline{\overline{BC}}$$

③ 根据逻辑表达式，可作出逻辑电路图如图13所示。

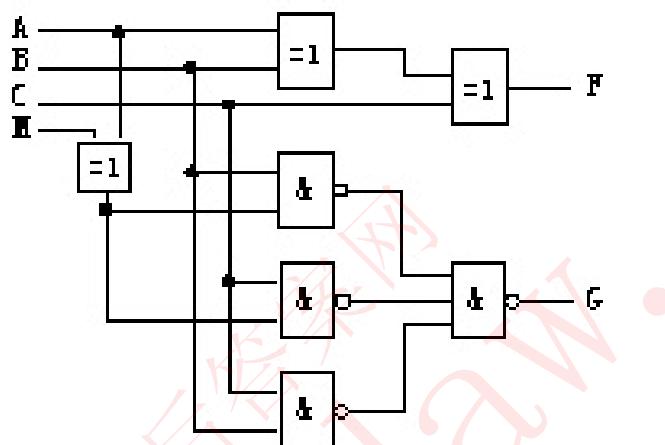


图 13

12. 下列函数描述的电路是否可能发生竞争? 竞争结果是否会产生险象? 在什么情况下产生险象? 若产生险象, 试用增加冗余项的方法消除。

(2) $F_2 = AB + \overline{ACD} + BC$ 因为逻辑表达式 $F_2 = AB + \overline{ACD} + BC$ 中有逻辑变量A以互补形式出现, 故会发生竞争。但由于不论BCD取何值, 表达式都不会变成 $A + \overline{A}$ 或者 $A \cdot \overline{A}$ 的形式, 所以不会产生险象。



习 题 五

1. 简述时序逻辑电路与组合逻辑电路的主要区别。

解答

组合逻辑电路:若逻辑电路在任何时刻产生的稳定输出值仅仅取决于该时刻各输入值的组合,而与过去的输入值无关,则称为组合逻辑电路。组合电路具有如下特征:

- ① 由逻辑门电路组成,不包含任何记忆元件;
- ② 信号是单向传输的,不存在任何反馈回路。

时序逻辑电路:若逻辑电路在任何时刻产生的稳定输出信号不仅与电路该时刻的输入信号有关,还与电路过去的输入信号有关,则称为时序逻辑电路。时序逻辑电路具有如下特征:

- ① 电路由组合电路和存储电路组成,具有对过去输入进行记忆的功能;
- ② 电路中包含反馈回路,通过反馈使电路功能与“时序”相关;
- ③ 电路的输出由电路当时的输入和状态(过去的输入)共同决定。

2. 作出与表1所示状态表对应的状态图。

表1 状态表

现态 $y_2\ y_1$	次态 $y_2^{(n+1)}\ y_1^{(n+1)}$ / 输出Z				
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$	
A	B/0	B/0	A/1	B/0	
B	B/0	C/1	A/0	D/1	
C	C/0	B/0	D/0	A/0	
D	A/0	A/1	C/0	C/0	



解答

根据表1所示状态表可作出对应的状态图如图1所示。

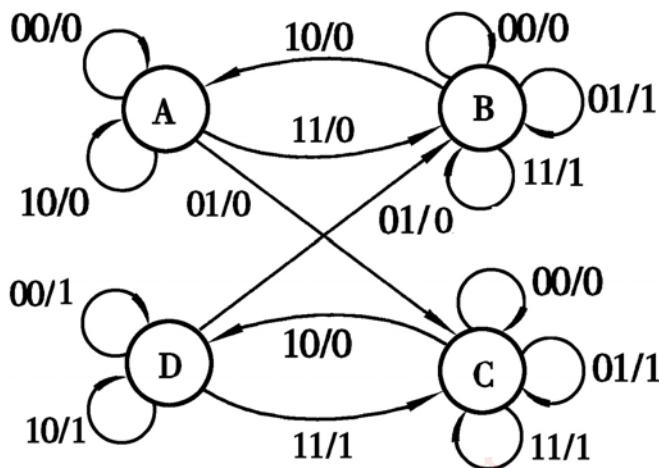


图1

3. 已知状态图如图2所示，输入序列为 $x=11010010$ ，设初始状态为A，求状态和输出

响应序列。

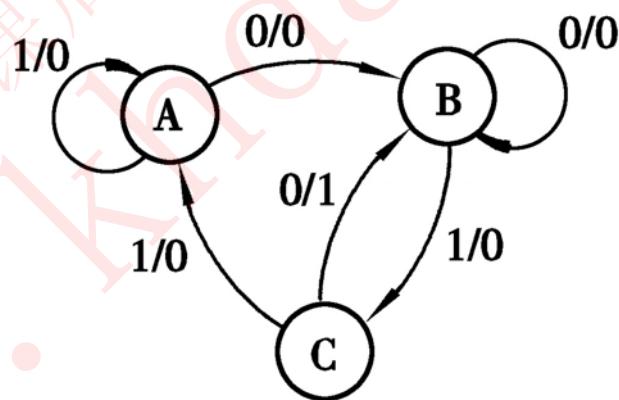


图 2

解答

状态响应序列: A A B C B B C B

输出响应序列: 0 0 0 0 1 0 0 1



4. 分析图3所示逻辑电路。假定电路初始状态为“00”，说明该电路逻辑功能。

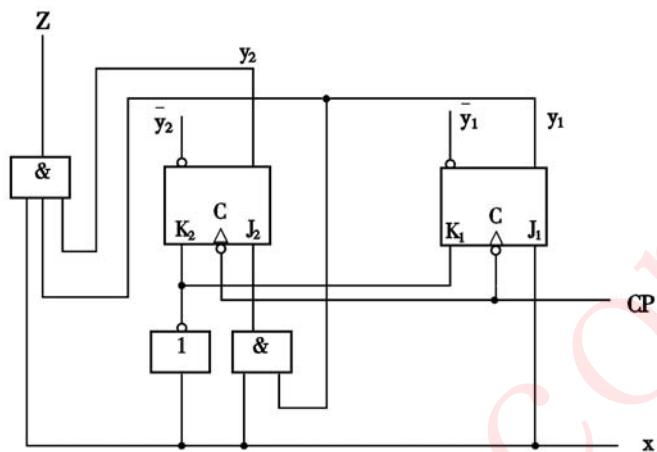


图 3

解答

① 根据电路图可写出输出函数和激励函数表达式为

$$Z = xy_2 y_1$$

$$J_2 = xy_1, K_2 = \bar{x}, J_1 = x, K_1 = \bar{x}$$

② 根据输出函数、激励函数表达式和JK触发器功能表可作出状态表如表2所示，状态图如图4所示。

表2

现态 $y_2\ y_1$	次态 $y_2^{(n+1)}\ y_1^{(n+1)}$ / 输出 Z	
	$x=0$	$x=1$
00	00/0	01/1
01	00/0	11/0
10	00/0	11/0
11	00/0	11/1

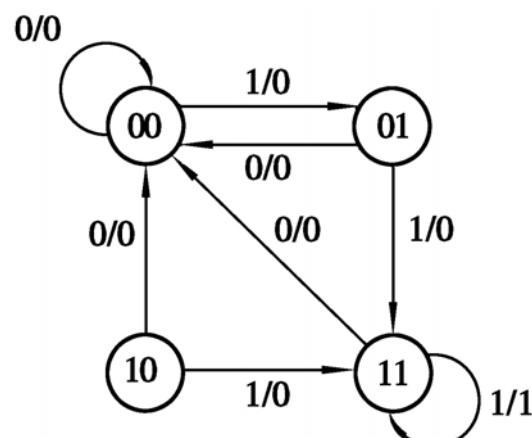


图4

③ 由状态图可知，该电路为“111...”序列检测器。

5. 分析图5所示同步时序逻辑电路，说明该电路功能。

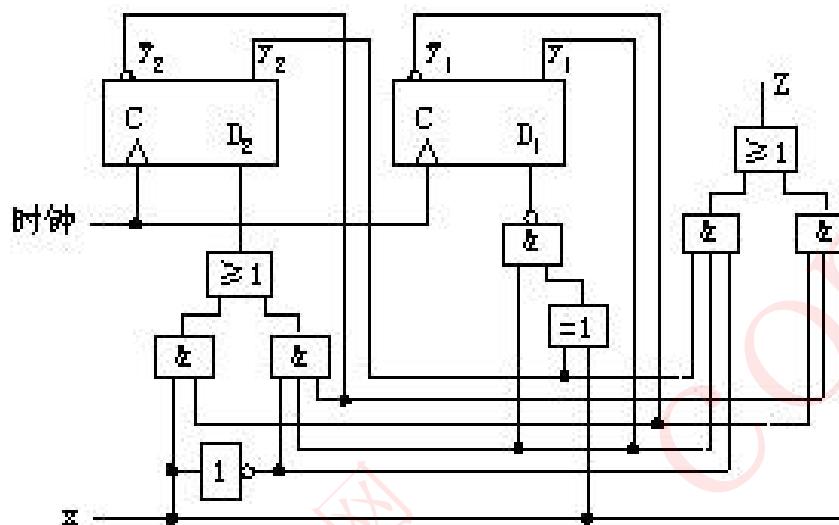


图5 逻辑电路图

解答

① 根据电路图可写出输出函数和激励函数表达式为

$$Z = x\bar{y}_2\bar{y}_1 + \bar{x}y_2y_1$$

$$D_2 = xy_1 + \bar{x}y_2y_1, \quad D_1 = \overline{y_1(x \oplus y_2)}$$

② 根据输出函数、激励函数表达式和D触发器功能表可作出状态表如表3所示，

状态图如图6所示。

表3

现态 $y_2 y_1$	次态 $y_2^{(n+1)} y_1^{(n+1)}$ / 输出 Z	
	$x=0$	$x=1$
00	01/0	11/1
01	11/0	00/0
10	01/0	11/0
11	00/1	01/0

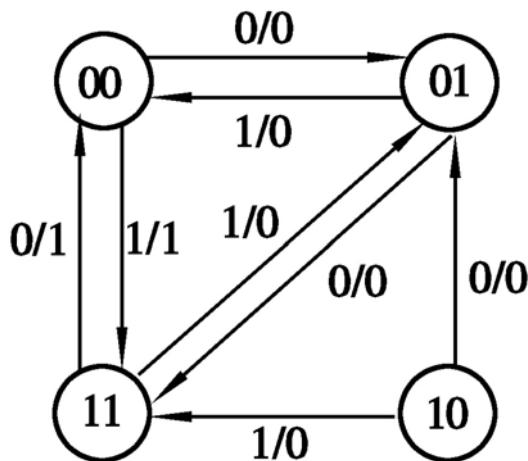


图6

- ③ 由状态图可知，该电路是一个三进制可逆计数器(又称模3可逆计数器)，当 $x=0$ 时实现加1计数，当 $x=1$ 时实现减1计数。

6. 分析图7所示逻辑电路，说明该电路功能。

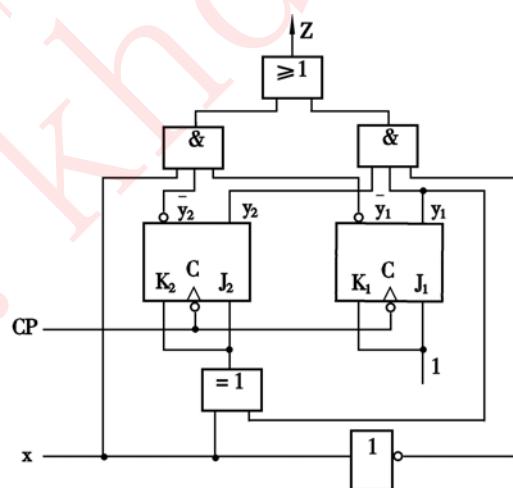


图7 逻辑电路图

解答

- ① 根据电路图可写出输出函数和激励函数表达式为

$$\begin{aligned}
 Z &= x\bar{y}_2\bar{y}_1 + \bar{x}y_2y_1 \\
 J_2 = K_2 &= x \oplus y_1, \quad J_1 = K_1 = 1
 \end{aligned}$$

- ② 根据输出函数、激励函数表达式和JK触发器功能表可作出状态表如表4所示，状态图如图8所示。

表4

现态 y_2 y_1	次态 $y_2^{(n+1)}y_1^{(n+1)}$ / 输出Z	
	$x=0$	$x=1$
00	01/0	11/1
01	10/0	00/0
10	11/0	01/0
11	00/1	10/1

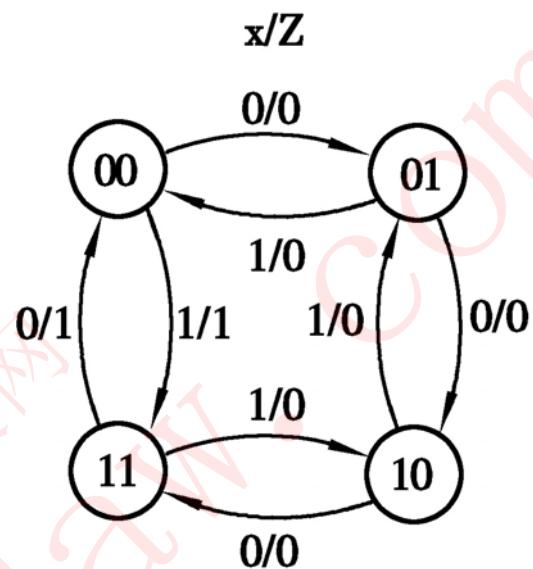


图8

- ③ 由状态图可知，该电路是一个模四可逆计数器。当x=0时实现加1计数，输出Z为进位信号；当x=1时实现减1计数，输出Z为借位信号。

7. 作出“0101”序列检测器的Mealy型状态图和Moore型状态图。典型输入、输出 序列如下。

输入x: 1 1 0 1 0 1 0 1 0 0 1 1

输出Z: 0 0 0 0 0 1 0 1 0 0 0 0

解答

根据典型输入、输出序列，可作出“0101”序列检测器的Mealy型状态图和Moore型状态图分别如图9、图10所示。

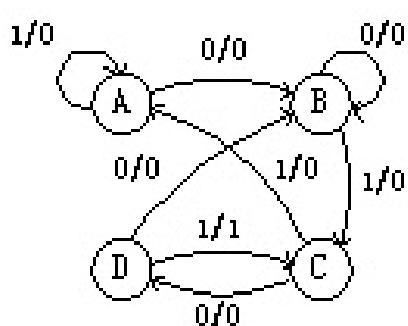


图9 Mealy型状态图

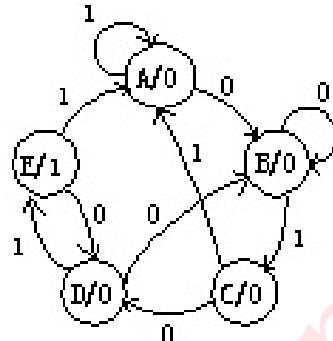


图10 Moore型状态图

8. 设计一个代码检测器，该电路从输入端x串行输入余3码(先低位后高位)，当出现非法数字时，电路输出Z为1，否则输出为0。试作出Mealy型状态图。

解答

根据题意，可作出Mealy型状态图如图11所示。

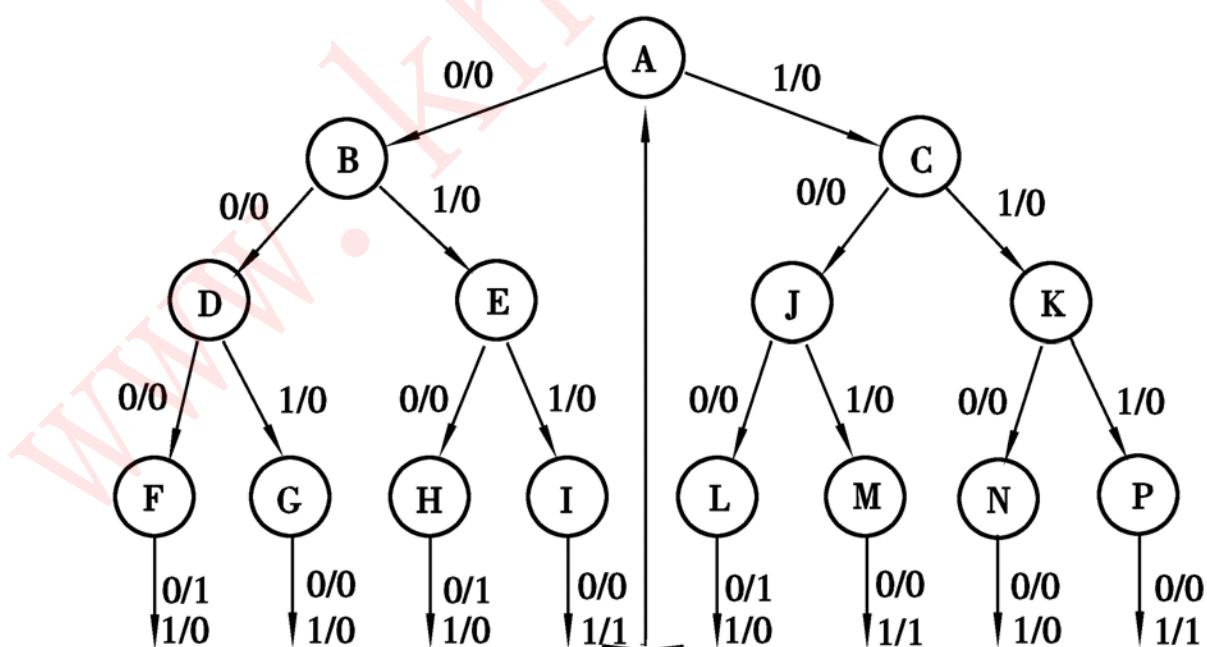


图11



9. 化简表5所示原始状态表。

表5 原始状态表

现态	次态/输出Z	
	x=0	x=1
A	B/0	C/0
B	A/0	F/0
C	F/0	G/0
D	A/0	C/0
E	A/0	A/1
F	C/0	E/0
G	A/0	B/1

解答

- ① 根据状态等效判断法则，可利用隐含表示出状态等效对 (A, B) (A, D) (B, D) (C, F) (E, G) ；
- ② 最大等效类为 $\{A, B, D\}$ 、 $\{C, F\}$ 、 $\{E, G\}$ ；
- ③ 令 $\{A, B, D\} \rightarrow a$ 、 $\{C, F\} \rightarrow b$ 、 $\{E, G\} \rightarrow c$ ，可得最简状态表如表6所示。

表6 最简状态表

现态	次态/输出Z	
	x=0	x=1
a	a/0	b/0
b	b/0	c/0
c	a/0	a/1



10. 化简表7所示不完全确定原始状态表。

表7 原始状态表

现态	次态/输出Z	
	x=0	x=1
A	D/d	C/0
B	A/1	E/d
C	d/d	E/1
D	A/0	C/0
E	B/1	C/d

解答

- ① 根据状态相容判断法则, 可利用隐含表示出状态相容对(A, B)、(A, D)、(C, E)、(B, C)、(B, E);
- ② 利用覆盖闭合表可求出最小闭覆盖为{A, B}、{A, D}、{B, C, E};
- ③ 令 $\{A, B\} \rightarrow a$ 、 $\{A, D\} \rightarrow b$ 、 $\{B, C, E\} \rightarrow c$, 可得最简状态表如表8所示。

表 8

现态	次态/输出Z	
	x=0	x=1
a	b/1	c/0
b	b/0	c/0
c	a/1	c/1



11. 按照相邻法编码原则对表9进行状态编码。

表9 状态表

现态	次态/输出Z	
	x=0	x=1
A	A/0	B/0
B	C/0	B/0
C	D/1	C/0
D	B/1	A/0

解答

给定状态表中有4个状态，状态编码时需要两位二进制代码。根据相邻编码法，应满足AB相邻、BC相邻、CD相邻。设状态变量为 y_2y_1 ，令 y_2y_1 取值00表示A，01表示B，10表示D，11表示C，可得二进制状态表如表10所示。

表10

y_2y_1	次态 $y_2^{(n+1)}y_1^{(n+1)}$ /输出Z	
	x=0	x=1
00	00/0	01/0
01	11/0	01/0
11	10/1	11/0
10	01/1	00/0

12. 分别用D、T、JK触发器作为同步时序电路的存储元件，实现表11 所示二进制状态表的功能。试写出激励函数和输出函数表达式，比较采用哪种触发器可使电



路最简。

表11 状态表

现 态 y_2y_1	次态 $y_2^{(n+1)}y_1^{(n+1)}$ / 输出Z	
	x=0	x=1
00	01/0	10/0
01	11/0	10/0
11	10/1	01/0
10	00/1	11/1

解答

- ① 根据二进制状态表和D触发器激励表, 可求出激励函数和输出函数最简表达式为

$$D_2 = \bar{x}y_1 + x\bar{y}_1 + xy_2 = x \oplus y_1 + x\bar{y}_2$$

$$D_1 = xy_2 + \bar{x}\bar{y}_2 = x \oplus \bar{y}_2$$

$$Z = \bar{x}y_2 + y_2\bar{y}_1$$

- ② 根据二进制状态表和T触发器激励表, 可求出激励函数和输出函数最简表达式为

$$T_2 = \bar{x}y_2 + xy_1 + \bar{y}_2y_1 + \bar{x}y_2\bar{y}_1 = x \oplus y_2 \oplus y_1 + xy_1$$

$$T_1 = x \oplus y_2 \oplus \bar{y}_1$$

$$Z = \bar{x}y_2 + y_2\bar{y}_1$$

- ③ 根据二进制状态表和JK触发器激励表, 可求出激励函数和输出函数最简表达式为

$$J_2 = x + y_1; \quad K_2 = x \oplus \bar{y}_1$$



$$J_1 = x \oplus \bar{y}_2; \quad K_1 = x \oplus y_2 = \bar{J}_1$$

$$Z = \bar{x}y_2 + y_2\bar{y}_1$$

比较所得结果可知，采用JK触发器电路最简单。

13. 已知某同步时序电路的激励函数和输出函数表达式为

$$D_2 = \bar{x}y_2 + xy_2\bar{y}_1$$

$$D_1 = \bar{x}y_2 + y_2\bar{y}_1 + x\bar{y}_2y_1$$

$$Z = y_2$$

试求出改用JK触发器作为存储元件的最简电路。

解答

① 根据激励函数和输出函数表达式，可作出状态表如表12所示。

表12 状态表

现态 y_2y_1	次态 $y_2^{(n+1)}y_1^{(n+1)}$		输出 Z
	x=0	x=1	
00	00	00	0
01	00	01	0
11	11	00	1
10	11	11	1

② 根据二进制状态表和JK触发器激励表，可求出激励函数和输出函数最简表达式为



$$J_2 = 0, K_2 = xy_1$$

$$J_1 = y_2, K_1 = \overline{x \oplus y_2} = x \oplus \bar{y}_2$$

$$Z = y_2$$

③ 根据激励函数和输出函数最简表达式, 可作出逻辑电路图如图12所示。

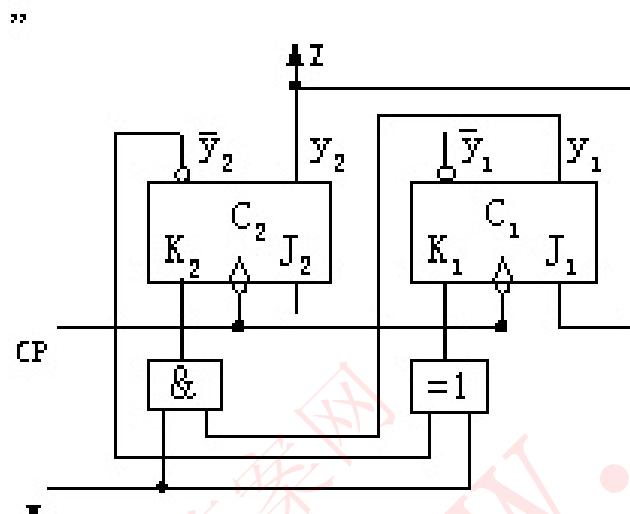


图12

14 设计一个能对两个二进制数 $X_2 = x_{21}, x_{22}, \dots, x_{2n}$ 和 $X_1 = x_{11}, x_{12}, \dots, x_{1n}$ 进行比较的同步时序电路, 其中, X_2 、 X_1 串行地输入到电路的 x_2 、 x_1 输入端。比较从 x_{21} 、 x_{11} 开始, 依次进行到 x_{2n} 、 x_{1n} 。电路有两个输出 Z_2 和 Z_1 , 若比较结果 $X_2 > X_1$, 则 Z_2 为 1, Z_1 为 0; 若 $X_2 < X_1$, 则 Z_2 为 0, Z_1 为 1; 若 $X_2 = X_1$, 则 Z_2 和 Z_1 都为 1。要求数用尽可能少的状态数作出状态图和状态表, 并用尽可能少的逻辑门和触发器(采用JK触发器)实现其功能。

解答

① 假定采用Moore型电路实现给定功能, 并设电路初始状态为 A, 状态 B 表示 $X_2 < X_1$, 状态 C 表示 $X_2 > X_1$, 根据题意, 可作出最简状态图如图13所示, 相应状态表如表13所示。

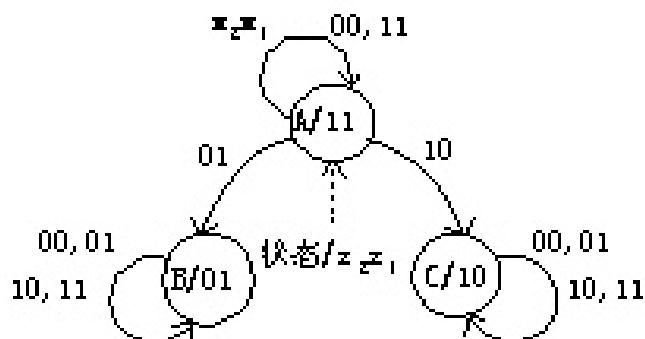


图13

表 13

现 态	次 态				输出 $Z_2 \ Z_1$
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=10$	$x_2x_1=11$	
A	A	B	C	A	11
B	B	B	B	B	01
C	C	C	C	C	10

- ② 给定状态表中有3个状态，状态编码时需要两位二进制代码。设状态变量为 y_2y_1 ，令 y_2y_1 取值00表示A，01表示B，10表示C. 11为多余状态，令多余状态下输入 x_2x_1 为01进入B，为10进入C，为00或11进入A，可得二进制状态表如表14所示。

表14

现态 y_2y_1	次态 $y_2^{(n+1)}$ $y_1^{(n+1)}$				输出 $Z_2 Z_1$
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=10$	$x_2x_1=11$	
00	00	01	10	00	11
01	01	01	01	01	01
10	10	10	10	10	10
11	00	01	10	00	00

- ③ 根据二进制状态表和JK触发器激励表，可求出激励函数和输出函数最简表达式为

$$\begin{aligned}
 J_2 &= x_2 \bar{x}_1 \bar{y}_1, & K_2 &= (\bar{x}_2 + x_1)y_1 \\
 J_1 &= \bar{x}_2 x_1 \bar{y}_2, & K_1 &= (x_2 + \bar{x}_1)y_2 \\
 Z_2 &= \bar{y}_2, & Z_1 &= \bar{y}_1
 \end{aligned}$$

- ④ 根据激励函数和输出函数最简表达式，可画出逻辑电路图如图14所示。

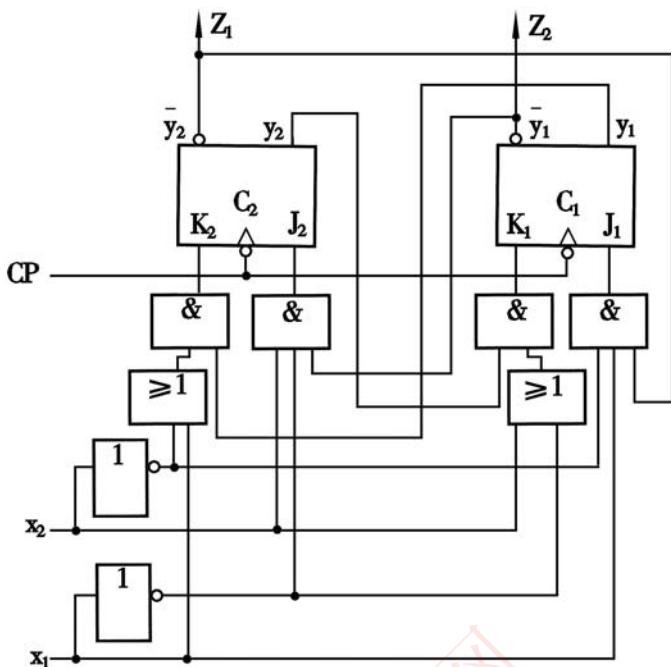


图 14

15. 用T触发器作为存储元件，设计一个采用8421码的十进制加1计数器。

解答

① 根据题意，设状态变量用 $y_3y_2y_1y_0$ 表示，可直接作出二进制状态图如图15所示，相应状态表如表15所示。

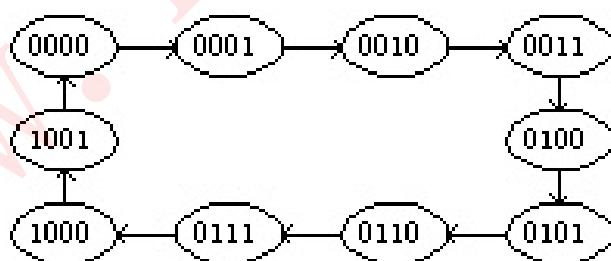


图15



表 15

$y_3y_2y_1y_0$	$y_3^{(n+1)}y_2^{(n+1)}y_1^{(n+1)}y_0^{(n+1)}$
0000	0001
0001	0010
0010	0011
0011	0100
0100	0101
0101	0110
0110	0111
0111	1000
1000	1001
1001	0000
1010	dddd
⋮	⋮
1111	dddd

② 根据二进制状态表和T触发器激励表，可求出激励函数最简表达式为

$$\begin{aligned} T_3 &= y_3y_0 + y_2y_1y_0, & T_2 &= y_1y_0 \\ T_1 &= \bar{y}_3y_0, & T_0 &= 1, \end{aligned}$$

③ 根据激励函数最简表达式，可画出逻辑电路图如图16所示。

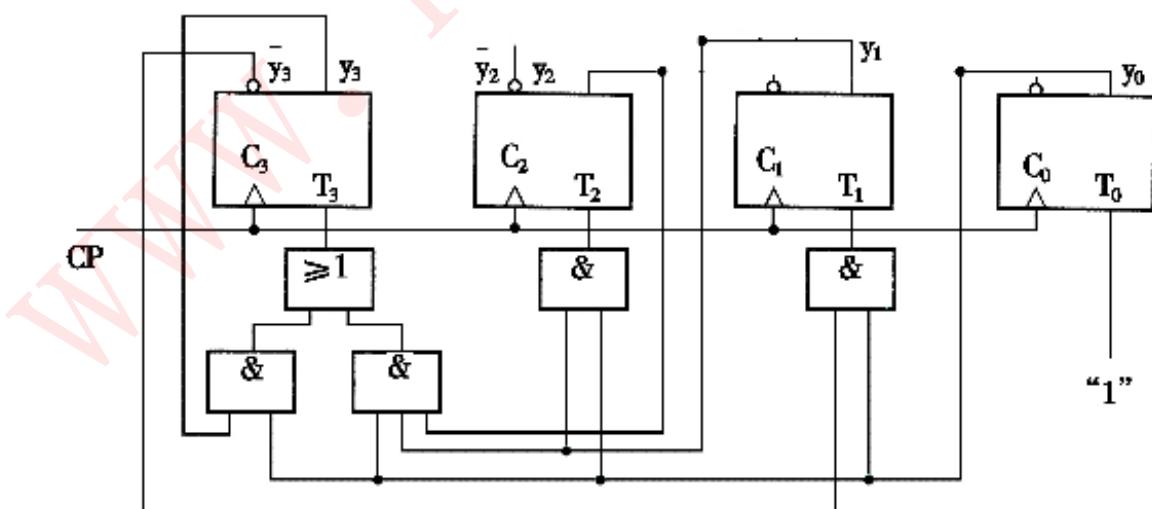


图16

习 题 六

1 分析图1所示脉冲异步时序逻辑电路。

- (1) 作出状态表和状态图;
- (2) 说明电路功能。

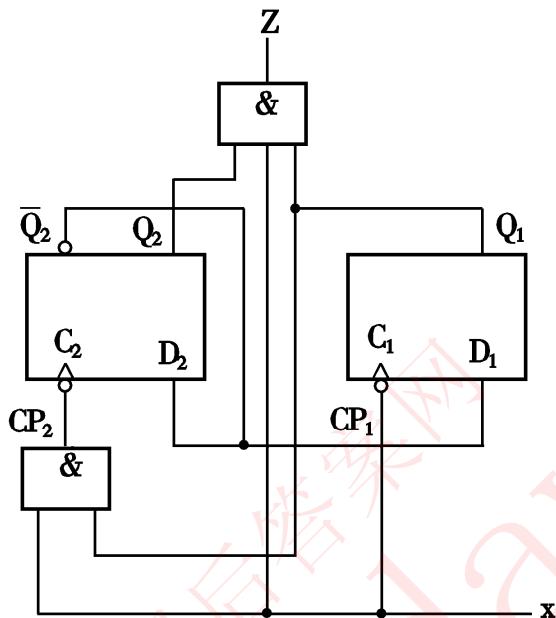


图1

解答

- (1) 该电路是一个 Mealy 型脉冲异步时序逻辑电路。其输出函数和激励函数表达式为

$Z = xQ_2Q_1$
$C_2 = xQ_1 \quad D_2 = \bar{Q}_2$
$C_1 = x \quad D_1 = \bar{Q}_2$

- (2) 电路的状态表如表 1 所示，状态图如图 2 所示。

表 1

现 状 $Q_2 Q_1$	次态/输出 Z	
	$X=1$	
0 0	01/0	
0 1	11/0	
1 0	10/0	
1 1	00/1	

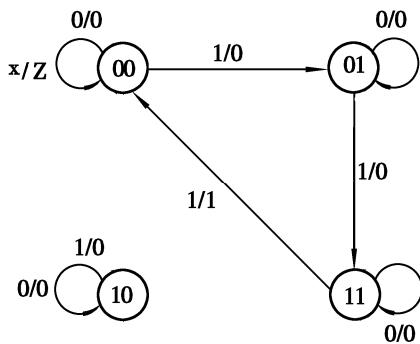


图 2

- (3) 由状态图可知, 该电路是一个三进制计数器。电路中有一个多余状态 10, 且存在“挂起”现象。

2 分析图3所示脉冲异步时序逻辑电路。

- (1) 作出状态表和时间图;
- (2) 说明电路逻辑功能。

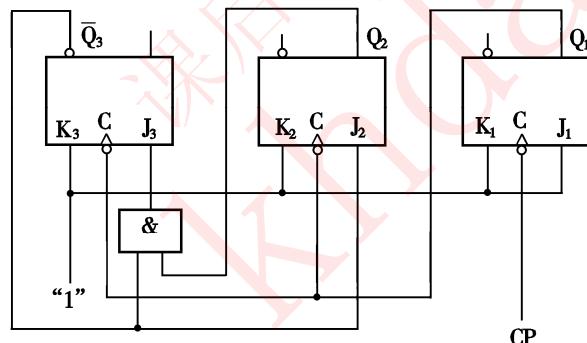


图3

解答

- ① 该电路是一个 Moore 型脉冲异步时序逻辑电路, 其输出即电路状态。激励函数表达式为

$$\begin{aligned} J_3 &= \bar{Q}_3 Q_2 \quad ; \quad J_2 = \bar{Q}_3 \quad ; \quad J_1 = 1 \\ K_3 &= K_2 = K_1 = 1; C_1 = CP; C_2 = C_3 = Q_1 \end{aligned}$$

- ② 电路状态表如表 2 所示, 时间图如图 4 所示。



表 2

时 钟 CP	现 状 态 $Q_3 \ Q_2 \ Q_1$	次 状 态		
		$Q_3^{(n+1)}$	$Q_2^{(n+1)}$	$Q_1^{(n+1)}$
1	000	0	0	1
1	001	0	1	0
1	010	0	1	1
1	011	1	0	0
1	100	1	0	1
1	101	0	0	0
1	110	1	1	1
1	111	0	0	0

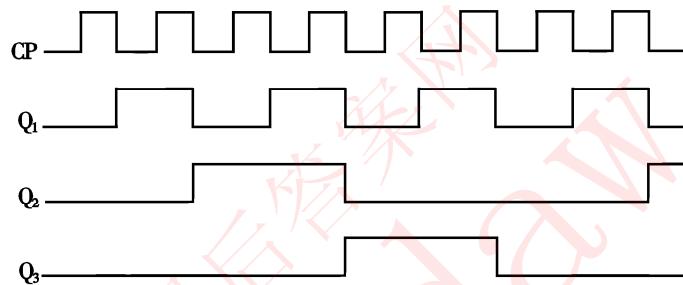


图 4

③ 由状态表和时间图可知，该电路是一个**模 6 计数器**。

3 分析图5所示脉冲异步时序逻辑电路。

- (1) 作出状态表和状态图；
- (2) 说明电路逻辑功能。

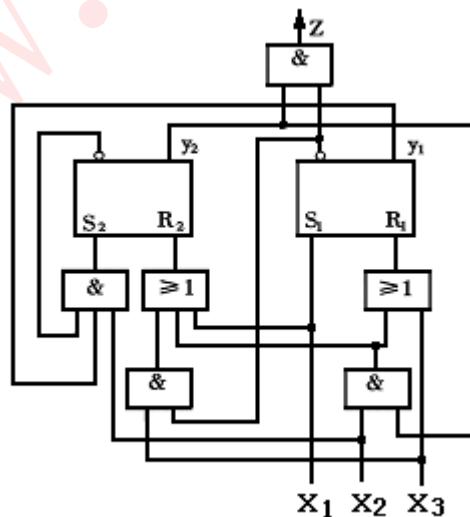


图5

解答

- ① 该电路是一个 Moore 型脉冲异步时序逻辑电路, 其输出函数和激励函数表达式为

$$Z = y_2 \bar{y}_1$$

$$S_2 = x_2 \bar{y}_2 y_1; \quad R_2 = x_1 + x_2 y_2 + x_3 \bar{y}_1$$

$$S_1 = x_1; \quad R_1 = x_2 y_2 + x_3$$

- ② 该电路的状态表如表 3 所示, 状态图如图 6 所示。

表 3

现态 $y_2 y_1$	次态 $y_2^{(n+1)} y_1^{(n+1)}$			输出 Z
	x_1	x_2	x_3	
00	01	00	00	0
01	01	11	00	0
11	01	00	10	0
10	01	00	00	1

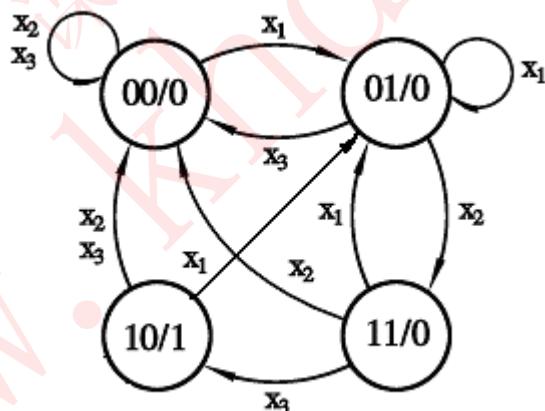


图 6

- ③ 该电路是一个 “ $x_1 \rightarrow x_2 \rightarrow x_3$ ” 序列检测器。

4 分析图7所示脉冲异步时序电路, 作出时间图并说明该电路逻辑功能。

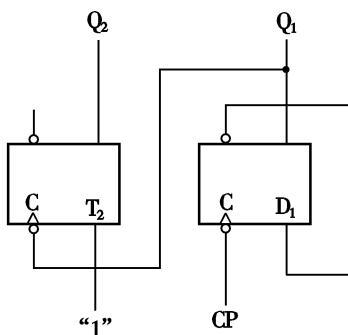


图7

解答

- ① 该电路是一个 Moore 型脉冲异步时序逻辑电路, 其输出即电路状态。激励函数表达式为

$$\begin{aligned} C_2 &= Q_1; \quad T_2 = 1 \\ C_1 &= CP; \quad D_1 = \overline{Q}_1 \end{aligned}$$

- ② 电路次态真值表如表 4 所示, 时间图如图 8 所示。

表 4

CP	Q_2Q_1	$C_2T_2C_1D_1$	$Q_2^{(n+1)}Q_1^{(n+1)}$
1	00	0 1 1 1	0 1
1	01	1 1 1 0	1 0
1	10	0 1 1 1	1 1
1	11	1 1 1 0	0 0

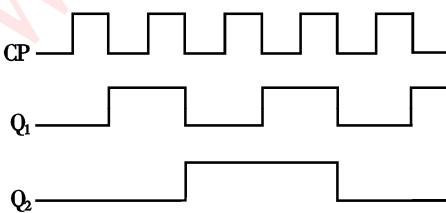


图8

- ③ 该电路是一个模4计数器。

- 5 用D触发器作为存储元件, 设计一个脉冲异步时序电路。该电路在输入端x的脉冲作用下, 实现3位二进制减1计数的功能, 当电路状态为“000”时, 在输入



脉冲作用下输出端Z产生一个借位脉冲，平时Z输出0。

解答

① 设状态变量用 $y_2y_1y_0$ 表示根据题意，可作出三位二进制减1计数器的状态转移表如表5所示。

表5

输入 x	现 状			次 状		
	y_2	y_1	y_0	$y_2^{(n+1)}$	$y_1^{(n+1)}$	$y_0^{(n+1)}$
1	0	0	0	1	1	1
1	0	0	1	0	0	0
1	0	1	0	0	0	1
1	0	1	1	0	1	0
1	1	0	0	0	1	1
1	1	0	1	1	0	0
1	1	1	0	1	0	1
1	1	1	1	1	1	0

② 分析表5所示状态转移关系，可发现如下规律：

- 最低位触发器的状态 y_0 只要输入端x有脉冲出现便发生变化，即每来一个输入脉冲，触发器产生一次翻转。因此，可令该触发器时钟端信号 $C_0=x$ ，输入端信号 $D_0=\bar{y}_0$ 。
- 次低位触发器的状态 y_1 在 y_0 由0变为1时发生变化，即 y_0 发生一次 $0 \rightarrow 1$ 的跳变，触发器产生一次翻转。因此，可令该触发器的时钟端信号 $C_1=y_0$ ，输入端信号 $D_1=\bar{y}_1$ 。
- 最高位触发器的状态 y_2 在 y_1 由0变为1时发生变化，即 y_1 发生一次 $0 \rightarrow 1$ 的跳变，触发器产生一次翻转。因此，可令该触发器的时钟端信号 $C_2=y_1$ ，输入端信号 $D_2=\bar{y}_2$ 。

综合上述分析结果，可得到三位二进制减1计数器的激励函数表



达式为

$$\begin{aligned}C_0 &= x ; \quad D_0 = \bar{y}_0 \\C_1 &= y_0 ; \quad D_1 = \bar{y}_1 \\C_2 &= y_1 ; \quad D_2 = \bar{y}_2\end{aligned}$$

(3) 根据所得激励函数表达式，可画出三位二进制减 1 计数器的逻辑电路图如图 9 所示。

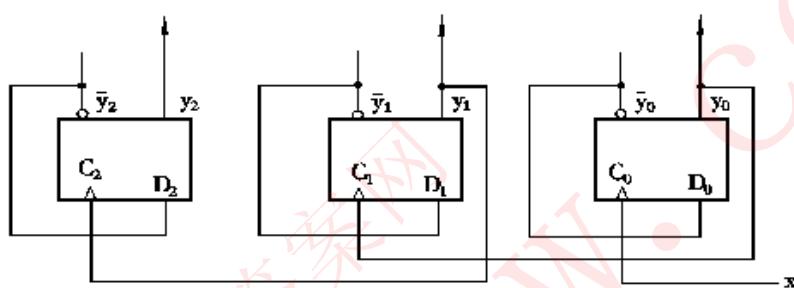


图 9

6 用T触发器作为存储元件，设计一个脉冲异步时序电路，该电路有两个输入 x_1 和 x_2 ，一个输出Z，当输入序列为“ $x_1—x_1—x_2$ ”时，在输出端Z产生一个脉冲，平时Z输出为0。

解答

(1) 建立原始状态图和原始状态表

由题意可知，该电路有两个输入，一个输出。由于要求输出为脉冲信号，所以，应将电路设计成 Mealy 模型。设电路初始状态为 A，根据题意可作出原始状态图如图 10 所示，原始状态表如表 6 所示。

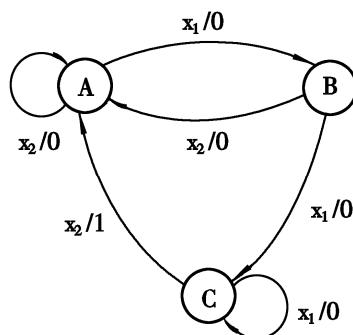


图 10

表 6

现态	次态/输出 Z	
	x_2	x_1
A	A/0	B/0
B	A/0	C/0
C	A/1	C/0

(2) 状态化简

表 6 所示状态表已达最简。

(3) 状态编码

由于最简状态表中有三个状态，故需用两位二进制代码表示。设状态变量为 y_2 、 y_1 ，根据相邻编码法原则，可令 $y_2y_1=00$ 表示状态A， $y_2y_1=01$ 表示状态B， $y_2y_1=11$ 表示状态C，由此得到二进制状态表如表 7 所示。

表 7

现态	次态 $y_2^{(n+1)} y_1^{(n+1)}$ / 输出 Z	
	x_2	x_1
00	00/0	01/0
01	00/0	11/0
11	00/1	11/0

(4) 确定激励函数和输出函数

确定激励函数和输出函数时注意：

- 对于多余状态 $y_2y_1=10$ 和不允许输入 $x_2x_1=11$ ，可作为无关条件处理；
- 当输入 $x_2x_1=00$ 时，电路状态保持不变；
- 由于触发器时钟信号作为激励函数处理，所以，可假定次态与现态相同时，触发器时钟信号为 0，T 端为 d。



据此，可列出激励函数和输出函数真值表如表 8 所示。

表 8

输入	现 状	激 励 函 数	输出
$x_2 \ x_1$	$y_2 \ y_1$	$C_2 \ T_2 \ C_1 \ T_1$	Z
0 1	0 0	0 d 1 1	0
0 1	0 1	1 1 0 d	0
0 1	1 0	d d d d	d
0 1	1 1	0 d 0 d	0
1 0	0 0	0 d 0 d	0
1 0	0 1	0 d 1 1	0
1 0	1 0	d d d d	d
1 0	1 1	1 1 1 1	1
1 1	0 0	d d d d	d
1 1	0 1	d d d d	d
1 1	1 0	d d d d	d
1 1	1 1	d d d d	d

根据真值表画出激励函数和输出函数卡诺图(略)，化简后可得：

$$\begin{aligned}C_2 &= x_2 y_2 + x_1 \bar{y}_2 y_1 ; \quad T_1 = 1 \\C_1 &= x_2 y_1 + x_1 \bar{y}_1 ; \quad T_1 = 1 \\Z &= x_2 y_2 y_1\end{aligned}$$

(5) 画出逻辑电路图

根据激励函数和输出函数表达式，可画出实现给定功能的逻辑电路如图11所示。该电路存在无效状态10，但不会产生挂起现象，即具有自启动功能。

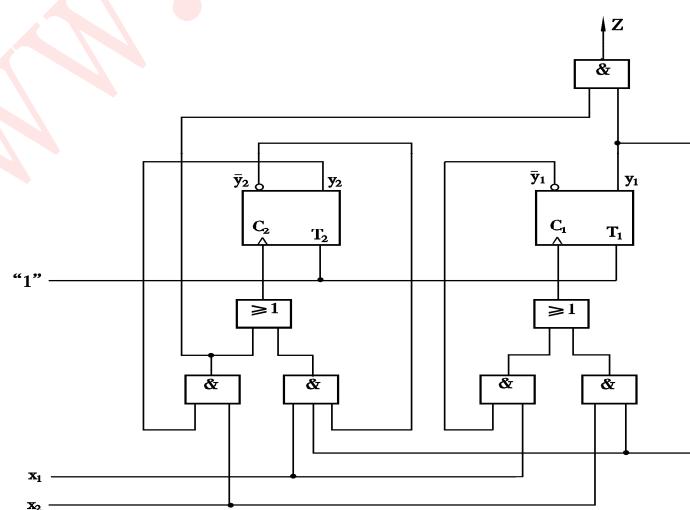


图11



7 试用与非门构成的基本R-S触发器设计一个脉冲异步模4加1计数器。

解答

① 设电路输入脉冲为x，状态变量为 y_1y_0 ，其状态表如表9所示。

表9

x	y_1y_0	$y_1^{(n+1)}y_0^{(n+1)}$
1	00	0 1
1	01	1 0
1	10	1 1
1	11	0 0

② 根据状态表和RS触发器的功能表，可列出激励函数真值表如表10所示。

表10

x	y_1y_0	$R_1 S_1 R_0 S_0$
0	00	d 1 d 1
0	01	d 1 1 d
0	10	1 d d 1
0	11	1 d 1 d
1	00	d 1 1 0
1	01	1 0 0 1
1	10	1 d 1 0
1	11	0 1 0 1

化简后，可得激励函数最简表达式为：

$$\begin{aligned} R_1 &= \overline{x} + \overline{y}_1 + \overline{y}_0 = \overline{xy_1y_0} ; \\ S_1 &= \overline{x} + y_1 + \overline{y}_0 = \overline{\overline{x}\overline{y}_1\overline{y}_0} ; \\ R_0 &= \overline{x} + \overline{y}_0 = \overline{xy}_0 ; \\ S_0 &= \overline{x} + y_0 = \overline{\overline{x}y_0} \end{aligned}$$

③ 根据激励函数表达式，可画出逻辑电路图如图12所示。

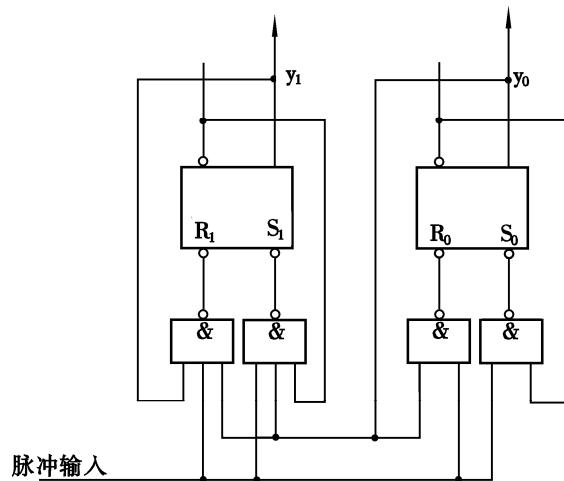


图12

8 分析图13所示电平异步时序逻辑电路，作出流程表。

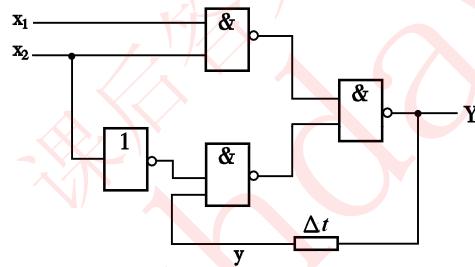


图13

解答

① 根据逻辑电路图可写出激励函数表达式为

$$Y = \overline{x_2} \overline{x_1} \cdot \overline{x_2} y = x_2 x_1 + \overline{x_2} y$$

② 流程表如表11所示。

表11

二次状态 y	激励状态Y			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
0	①	①	1	①
1	①	①	①	0

③ 总态图如图14所示。

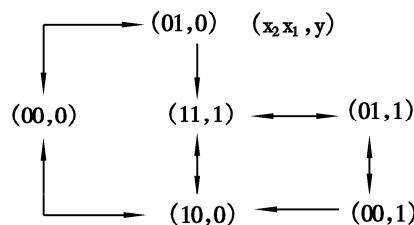


图14

- 9 分析图15所示电平异步时序电路，作出流程表和总态图，说明该电路的逻辑功能。

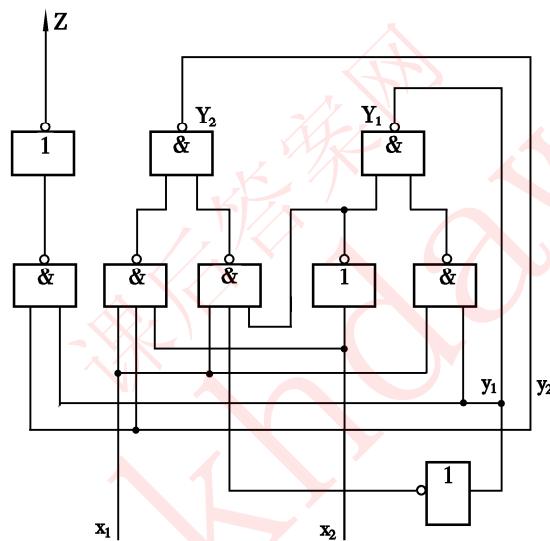


图15

解答

- ① 根据逻辑电路图，可写出激励函数和输出函数表达式为

$$\begin{aligned}
 Y_2 &= x_1 x_2 y_2 + \bar{x}_1 \bar{x}_2 \bar{y}_1 \\
 Y_1 &= x_2 + x_1 y_1 \\
 Z &= y_2 y_1
 \end{aligned}$$

- ② 流程表如表12所示。



表 12

二次状态 y_2y_1	激励状态 Y_2Y_1 /输出Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
00	00/0	10/0	01/0	01/0
01	00/0	00/0	00/0	00/0
11	00/1	01/1	01/1	01/1
10	00/0	00/0	11/0	01/0

- ③ 设初始总态为 $(x_2x_1, y_2y_1) = (00, 00)$, 输入信号 x_2x_1 的变化序列为
 $00 \rightarrow 01 \rightarrow 11 \rightarrow 10 \rightarrow 00 \rightarrow 10 \rightarrow 11 \rightarrow 01$, 可作出时间图如图16所示。

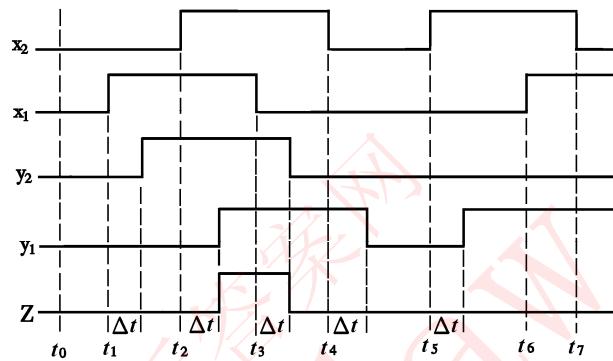


图16

由时间图可知, 该电路是一个“00-01-11”序列检测器。

- 10 某电平异步时序电路的流程表如表13所示。作出输入 x_2x_1 变化序列为 $00 \rightarrow 01 \rightarrow 11 \rightarrow 10 \rightarrow 11 \rightarrow 01 \rightarrow 00$ 时的总态 (x_2x_1, y_2y_1) 响应序列。

表13 流程表

二次状态 $y_2 y_1$	激励状态 Y_2Y_1 / 输出Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
0 0	00/0	01/0	01/0	10/0
0 1	00/0	00/0	00/0	11/0
1 1	00/0	01/0	10/0	00/0
1 0	00/d	00/1	00/1	00/1

解答

根据表13所示电平异步时序电路的流程表和给定输入序列，可作出**总态响应序列**如下：

时刻 t :	t_0	t_1	t_2	t_3	t_4	t_5	t_6
输入 x_2x_1 :	00	01	11	10	11	01	00
总 状态: (x_2x_1, y_2y_1)	(00, 00) (01, 01)	(01, 00) (11, 01)		(10, 01) (10, 11)	(11, 11) (11, 10)	(01, 10) (01, 00)	(00, 01) (01, 01)

- 11 某电平异步时序电路有一个输入x和一个输出Z，每当输入x出现一次 $0 \rightarrow 1 \rightarrow 0$ 的跳变后，当x为1时输出Z为1，典型输入、输出时间图如图17所示。建立该电路的原始流程表。

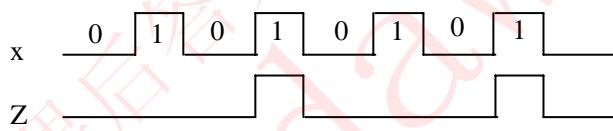
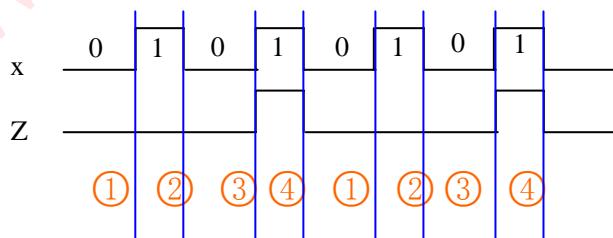


图17

解答

(1) 设立稳定状态

根据典型输入、输出时间图，可设立状态如下：



(2) 建立原始流程表

根据所设立的状态，可构造出原始流程表如表14所示。



表14

二次状态 y	激励状态Y / 输出Z	
	X=0	X=1
1	①/0	2/0
2	3/0	②/0
3	③/0	4/d
4	1/d	④/1

12 简化表15所示的原始流程表。

表15 原始流程表

二次状态 y	激励状态/输出状态(Y/Z)			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
1	①/0	5/d	d/d	2/d
2	1/d	d/d	3/d	②/0
3	d/d	5/d	③/1	4/d
4	1/d	d/d	3/d	④/1
5	1/d	⑤/0	6/d	d/d
6	d/d	5/d	⑥/0	4/d

解答

(1) 利用隐含表求出相容行对

根据原始流程表，可作出隐含表如表16所示。



2	\vee			
3	2-4	2-4		
4	2-4	\times	\vee	
5	\vee	3-6	3-6	3-6
6	2-4	3-6	\times	3-6

表16

相容行对为: (1, 2), (1, 5), (3, 4), (5, 6)

(2) 求出最小闭覆盖

最小闭覆盖为: { (1, 2), (3, 4), (5, 6) }

(3) 求出最简流程表

令: (1, 2) \rightarrow A, (3, 4) \rightarrow B, (5, 6) \rightarrow C

可得最简流程表如表17所示。

表 17

二次状态 y	激励状态/输出状态 (Y/Z)			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
A	$\textcircled{A}/0$	C/0	B/d	$\textcircled{A}/0$
B	A/d	C/d	$\textcircled{B}/1$	$\textcircled{B}/1$
C	A/0	$\textcircled{C}/0$	$\textcircled{C}/0$	B/d

13 图18为某电平异步时序电路的结构框图。

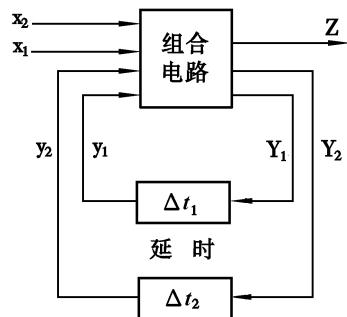


图 18

图中，

$$Y_2 = x_2 y_2 + \overline{x_1} y_2 + x_2 \overline{x_1} y_1$$

$$Y_1 = x_2 x_1 + \overline{x_2} \cdot \overline{x_1} y_2 + x_1 y_2 \overline{y_1}$$

$$Z = y_2 y_1$$

试问该电路中是否存在竞争?若存在,请说明竞争类型?

解答

(1) 作出流程表

根据激励函数和输出函数表达式可作出流程表如表18所示。

表 18

二次状态 $y_2 y_1$	激励状态 $Y_2 Y_1$				输出 Z
	$x_2 x_1 = 00$	$x_2 x_1 = 01$	$x_2 x_1 = 11$	$x_2 x_1 = 10$	
00	①①	①①	01	①①	0
01	00	00	①①	10	0
11	①①	00	①①	10	1
10	11	01	11	①①	0

(2) 判断说明



由流程表可知，该电路中存在竞争。例如，当处在总态（00，11）输入由00变为01和处在总态（11，11）输入由11变为01时，存在非临界竞争；当处在总态（11，01）输入由11变为10时，存在临界竞争。

14 对表19所示最简流程表进行无临界竞争的状态编码，并确定激励状态和输出函数表达式。

表19 最简流程表

二次状态 y	激励状态Y/输出Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
A	A/0	A/0	A/0	C/0
B	B/0	A/0	C/d	B/0
C	B/0	A/d	C/1	C/0

解答

该问题要求首先通过状态编码得到无临界竞争的二进制流程表，然后确定激励状态和输出函数的表达式。

(1) 状态编码

由于给定的最简流程表中有三个状态，所以，状态编码时需要两位二进制代码。根据流程表可作出状态相邻图如图19所示。

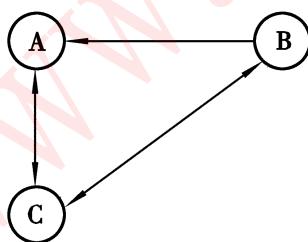


图19

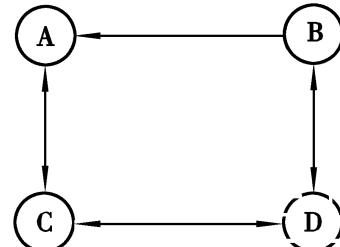


图20

由状态相邻图可知，三个状态的相邻关系构成了一个闭环，所以，用两位二进制代码无法满足图 19 所示的相邻关系。为此，可通过增加过渡状态，实现相邻分配。假定在状态 B 和状态 C 之间增加一个过渡状态 D，即令 $B \rightarrow C$ 变为 $B \rightarrow D \rightarrow C$ ， $C \rightarrow B$ 变为 $C \rightarrow D \rightarrow B$ ，则可得到状态相邻图如图 20 所示。



显然，用两位二进制代码可以很方便地满足图 20 所示相邻关系。增加过渡状态后，应将给定流程表修改成如表 20 所示。

表 20

二次状态 y	激励状态Y/输出Z			
	x ₂ x ₁ =00	x ₂ x ₁ =01	x ₂ x ₁ =11	x ₂ x ₁ =10
A	Ⓐ/0	Ⓐ/0	Ⓐ/0	C/0
B	Ⓑ/0	A/0	D/d	Ⓑ/0
C	D/0	A/d	Ⓒ/1	Ⓒ/0
D	B/0	d/d	C/d	d/d

假定状态变量用 y₂、y₁ 表示，并令 y₂y₁ 取值 00 表示 A，01 表示 B，10 表示 C，11 表示 D，可得到与表 20 对应的二进制流程表如表 21 所示，该流程表描述的电路中不存在竞争。

表 21

二次状态 y ₂ y ₁	激励状态Y ₂ Y ₁ /输出Z			
	x ₂ x ₁ =00	x ₂ x ₁ =01	x ₂ x ₁ =11	x ₂ x ₁ =10
00	⓪/0	⓪/0	⓪/0	10/0
01	①/0	00/0	11/d	①/0
11	01/0	dd/d	10/d	dd/d
10	11/0	00/d	②/1	②/0

除了增加过渡，实现相邻分配外，对表 19 进行无临界竞争分配的另一种方案是允许非临界竞争，消除临界竞争。由于状态B和A之间的转换仅发生在稳定总态(00, B)输入x₂x₁，由 00→01 时，而x₂x₁=01 这一列只有一个稳定状态，这就意味着即使发生竞争也属于非临界竞争，所以，分配给A和B的代码可以不相邻。排除A和B的相邻关系后，状态编码只需满足A和C相邻，B和C相邻。显然，用两位二进制代码可以很方便地满足该相邻关系，具体编码略。

(2) 确定激励状态和输出函数表达式

根据表 21 所示二进制流程表，可作出激励状态、输出函数的卡诺图如图 21



所示。

x_2	x_1	00	01	11	10
y_2	y_1	00	0	0	0
		01	0	0	d
		11	0	d	d
		10	0	d	1

Z

x_2	x_1	00	01	11	10
y_2	y_1	00	0	0	1
		01	0	0	1
		11	0	1	d
		10	1	0	1

Y₂

x_2	x_1	00	01	11	10
y_2	y_1	00	0	0	0
		01	1	0	1
		11	1	d	0
		10	1	0	0

Y₁

图21

化简后可得到激励状态和输出函数表达式为

$$\begin{aligned} Y_2 &= \bar{x}_2 \bar{y}_2 + \bar{x}_2 \bar{x}_1 \bar{y}_1 + \bar{x}_2 x_1 y_1 + \bar{x}_1 y_2 \bar{y}_1 \\ Y_1 &= \bar{x}_1 y_1 + x_2 x_1 y_2 + x_2 y_2 y_1 \\ Z &= x_1 y_2 \end{aligned}$$

- 15 某电平异步时序电路有两个输入 x_1 、 x_2 和一个输出Z。当 $x_2=1$ 时，Z总为0；当 $x_2=0$ 时， x_1 的第一次从0→1的跳变使Z变为1，该1输出信号一直保持到 x_2 由0→1，才使Z为0。试用与非门实现该电路功能。

解答

(1) 建立原始流程表

根据题意可画出典型输入输出波形并设立相应状态如图22所示。其原始流程表如表22所示。

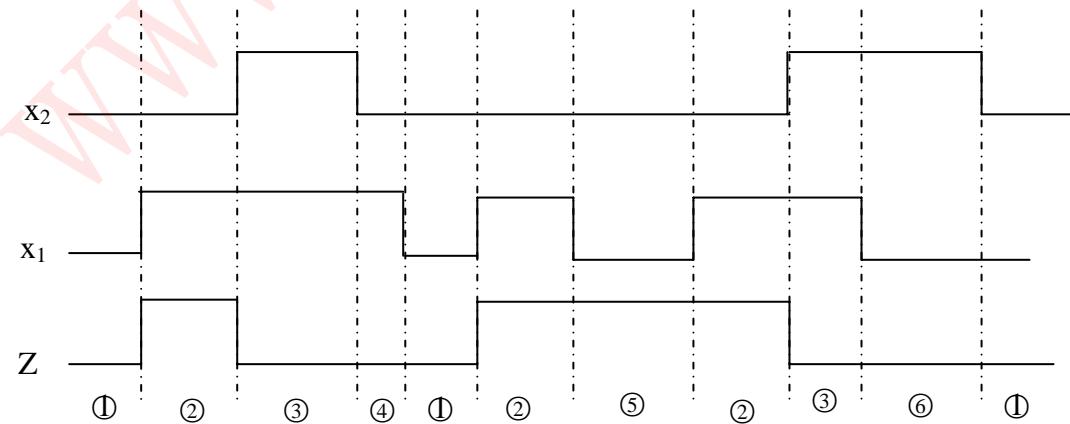


图22

表 22

二次状态 y	激励状态Y/输出Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
1	①/0	2/d	d/d	6/0
2	5/d	②/1	3/d	d/d
3	d/d	4/0	③/0	6/0
4	1/0	④/0	3/0	d/d
5	⑤/1	2/1	d/d	6/d
6	1/0	d/d	3/0	⑥/0

(2) 状态化简

根据原始流程表可作出隐含表如表 23 所示。状态合并图如图 23 所示。

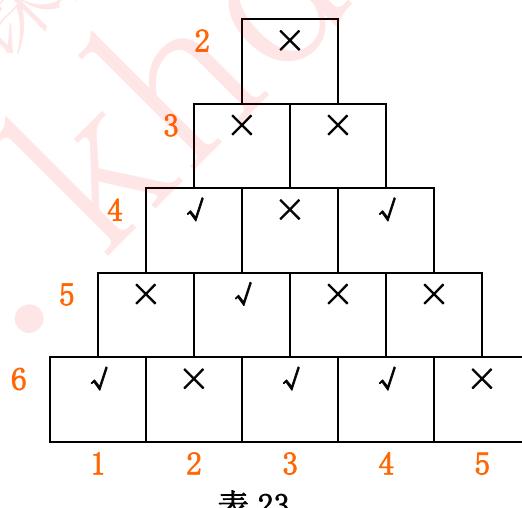


表 23

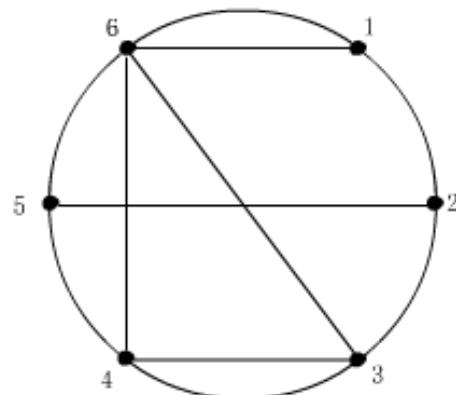


图 23 状态合并图

选择最小闭覆盖为 $\{1\}$, $\{2, 5\}$, $\{3, 4, 6\}$; 并令:

$$\{1\} \rightarrow A, \{2, 5\} \rightarrow B, \{3, 4, 6\} \rightarrow C$$

最简流程表如表 24 所示。

表 24

二次状态 y	激励状态Y/输出Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
A	A/0	B/0	d/d	C/0
B	B/1	B/1	C/d	C/d
C	A/0	C/0	C/0	C/0

(3) 状态编码

表 24 的状态相邻图如图 24 所示, 为了用两位二进制代码满足相邻分配, 可在状态 A 和 C 之间增加过渡状态 D, 增加过渡状态后的状态相邻图如图 25 所示。

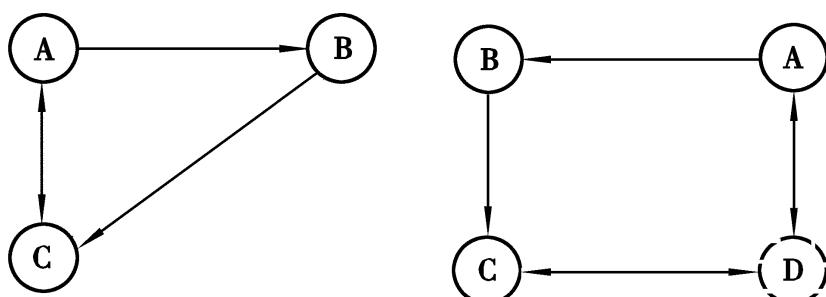




图 24

图 25

增加过渡状态后的状态表如表 25 所示。设状态变量用 y_2y_1 表示。

表 25

二次状态 y	激励状态Y/输出Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
A	A/0	B/0	d/d	D/0
B	B/1	B/1	C/d	C/d
C	D/0	C/0	C/0	C/0
D	A/0	d/d	d/d	C/0

令：

$$y_2y_1 = 00 \rightarrow A \quad y_2y_1 = 01 \rightarrow B$$

$$y_2y_1 = 10 \rightarrow D \quad y_2y_1 = 11 \rightarrow C$$

得二进制状态表如表 26 所示。

表 26

二次状态 y_2y_1	激励状态Y ₂ Y ₁ /输出Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
00	⑩/0	01/0	dd/d	10/0
01	⑪/1	⑪/1	11/d	11/d
11	10/0	⑫/d	⑫/0	⑫/0
10	00/0	dd/d	dd/d	11/0

(4) 确定激励函数和输出函数



利用卡诺图可求出激励函数和输出函数最简表达式

$$Y_2 = x_2 + y_2 y_1$$

$$Y_1 = x_1 + \bar{y}_2 y_1 + x_2 y_2$$

$$Z = \bar{y}_2 y_1$$

(5) 画出逻辑电路图

逻辑电路图如图 26 所示。

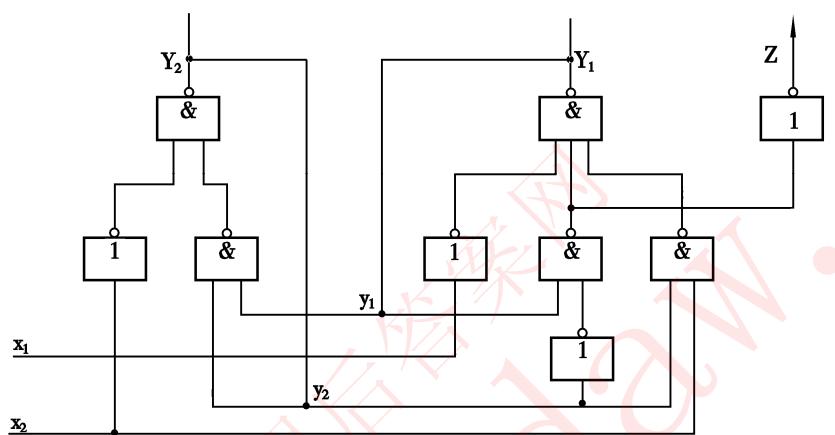


图 26



习 题 六

1

解答

- (1) 该电路是一个 Mealy 型脉冲异步时序逻辑电路。其输出函数和激励函数表达式为

$$Z = xQ_2Q_1$$

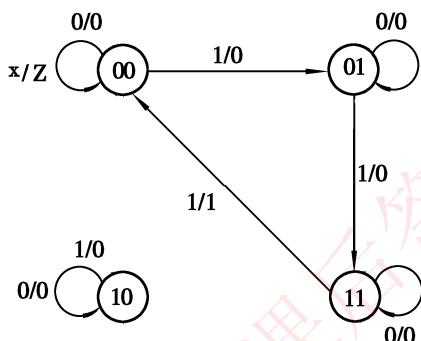
$$C_2 = xQ_1 \quad D_2 = \bar{Q}_2$$

$$C_1 = x \quad D_1 = \bar{Q}_2$$

电路的状态表如表 1 所示，状态图如图 2 所示。

表 1

现 状 Q ₂ Q ₁	次态/输出 Z	
	X=1	
0 0	01	/0
0 1	11	/0
1 0	10	/0
1 1	00	/1



图

- (3) 由状态图可知，该电路是一个**三进制计数器**。电路中有一个多余状态 10，且存在“挂起”现象。

2

解 该电路是一个 Moore 型脉冲异步时序逻辑电路,其输出即电路状态。激励函数表达式

$$J_3 = \bar{Q}_3Q_2 ; \quad J_2 = \bar{Q}_3 ; \quad J_1 = 1$$

$$K_3 = K_2 = K_1 = 1; C_1 = CP; C_2 = C_3 = Q_1$$

- ② 电路状态表如表 2 所示，时间图如图 4 所示。

时 钟 CP	现 状 Q ₃ Q ₂ Q ₁	次 状 态		
		Q ₃ ⁽ⁿ⁺¹⁾	Q ₂ ⁽ⁿ⁺¹⁾	Q ₁ ⁽ⁿ⁺¹⁾
1	000			001
1	001			010
1	010			011
1	011			100
1	100			101
1	101			000
1	110			111
1	111			000

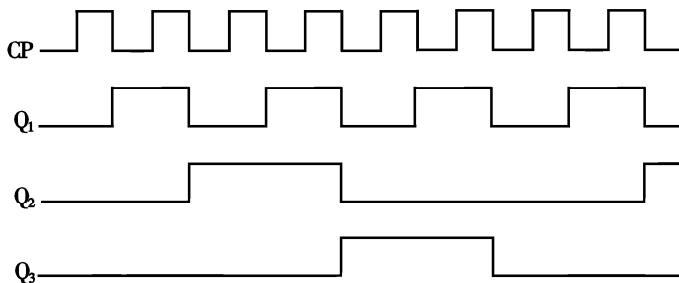


图 4

③ 由状态表和时间图可知，该电路是一个模 6 计数器。

3解答

① 该电路是一个 Moore 型脉冲异步时序逻辑电路，其输出函数和激励函数表达式为

$$\begin{aligned} Z &= \bar{y_2} \\ S_2 &= x_2 \bar{y}_2 y_1; \quad R_2 = x_1 + x_2 y_2 + x_3 \bar{y}_1 \\ S_1 &= x_1; \quad R_1 = x_2 y_2 + x_3 \end{aligned}$$

现态 $y_2 y_1$	次态 $y_2^{(n+1)} y_1^{(n+1)}$			输出 Z
	x_1	x_2	x_3	
00	01	00	00	0
01	01	11	00	0
11	01	00	10	0
10	01	00	00	1

② 该电路的状态表如表 3 所示，状态图如图 6 所示。

表 3

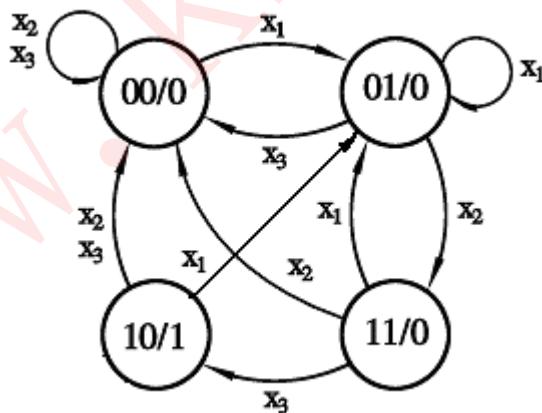


图 6

③ 该电路是一个“ $x_1-x_2-x_3$ ”序列检测器

4解答

① 该电路是一个 Moore 型脉冲异步时序逻辑电路，其输出即电路状



态。激励函数表达式为

$$\begin{aligned} C_2 &= Q_1; \quad T_2 = 1 \\ C_1 &= CP; \quad D_1 = \bar{Q}_1 \end{aligned}$$

CP	$Q_2 Q_1$	$C_2 T_2 C_1 D_1$	$Q_2^{(n+1)} Q_1^{(n+1)}$
1	00	0 1 1 1	0 1
1	01	1 1 1 0	1 0
1	10	0 1 1 1	1 1
1	11	1 1 1 0	0 0

② 电路次态真值表如表 4 所示，

时间图如图 8 所示。

表 4

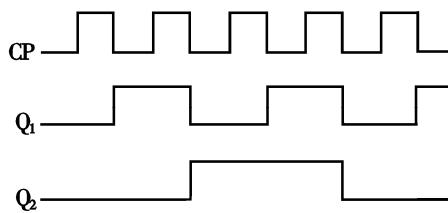


图 8

③ 该电路是一个模4计数器。

6

解答

(1) 建立原始状态图和原始状态表

由题意可知，该电路有两个输入，一个输出。由于要求输出为脉冲信号，所以，应将电路设计成 Mealy 模型。设电路初始状态为 A，根据题意可作出原始状态图如图 10 所示，原始状态表如表 6 所示。

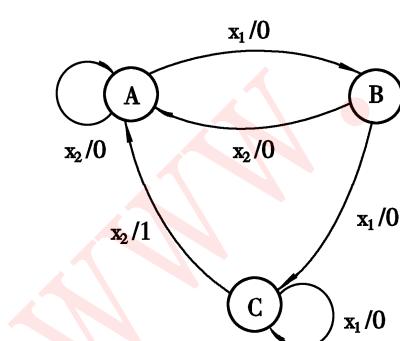


图 10(2) 状态化简 表 6 所示达最简。

现态	次态/输出 Z	
	x_2	x_1
A	A/0	B/0
B	A/0	C/0
C	A/1	C/0

现态 $y_2 y_1$	次态 $y_2^{(n+1)} y_1^{(n+1)}$ /输出 Z	
	x_2	x_1
00	00/0	01/0
01	00/0	11/0
11	00/1	11/0

状态表已

(3) 状态编码

由于最简状态表中有三个状态，故需用两位二进制代码表示。设状态变量为 y_2 、 y_1 ，根据相邻编码法原则，可令 $y_2 y_1=00$ 表示状态 A， $y_2 y_1=01$ 表示状态 B， $y_2 y_1=11$ 表示状态 C，由此得到二进制状态表如表 7 所示。

表 7



(4) 确定激励函数和输出函数

确定激励函数和输出函数时**注意**:

- 对于多余状态 $y_2y_1=10$ 和不允许输入 $x_2x_1=11$, 可作为无关条件处理;
- 当输入 $x_2x_1=00$ 时, 电路状态保持不变;
- 由于触发器时钟信号作为激励函数处理, 所以, 可假定次态与现态相同时, 触发器时钟信号为 0, T 端为 d。

据此, 可列出激励函数和输出函数真值表如表 8 所示。

表 8

输入	现态	激励函数	输出
$x_2\ x_1$	$y_2\ y_1$	$C_2\ T_2\ C_1\ T_1$	Z
0 1	0 0	0 d 1 1	0
0 1	0 1	1 1 0 d	0
0 1	1 0	d d d d	d
0 1	1 1	0 d 0 d	0
1 0	0 0	0 d 0 d	0
1 0	0 1	0 d 1 1	0
1 0	1 0	d d d d	d
1 0	1 1	1 1 1 1	1
1 1	0 0	d d d d	d
1 1	0 1	d d d d	d
1 1	1 0	d d d d	d
1 1	1 1	d d d d	d

根据真值表画出激励函数和输出函数卡诺图(略), 化简后可得:

$$C_2 = x_2y_2 + x_1\bar{y}_2y_1; \quad T_1 = 1$$

$$C_1 = x_2y_1 + x_1\bar{y}_1; \quad T_1 = 1$$

$$Z = x_2y_2y_1$$

(5) 画出逻辑电路图

根据激励函数和输出函数表达式, 可画出实现给定功能的逻辑电路如图11所示。该电路存在无效状态10, 但不会产生挂起现象, 即具有自启动功能。

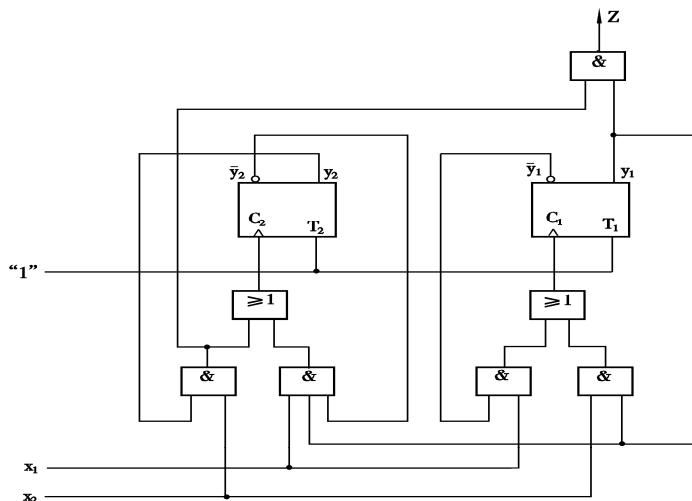


图11

8 分析图13所示电平异步时序逻辑电路，作出流程表。

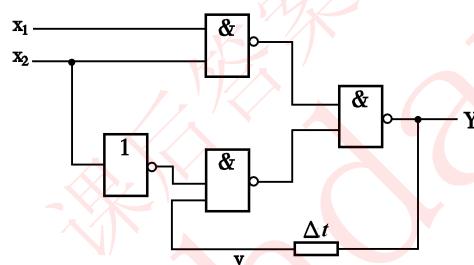


图13

解答

① 根据逻辑电路图可写出激励函数表达式为

$$Y = \overline{x_2}x_1 \cdot x_2y = x_2x_1 + \overline{x_2}y$$

② 流程表如表11所示。

表11

二次状态 y	激励状态Y			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
0	0	0	1	0
1	1	1	0	0

③ 总态图如图14所示。

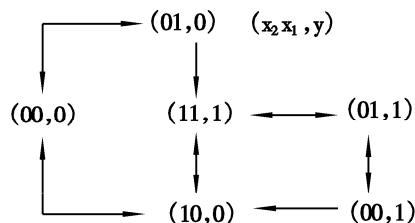


图14

13 图18为某电平异步时序电路的结构框图。

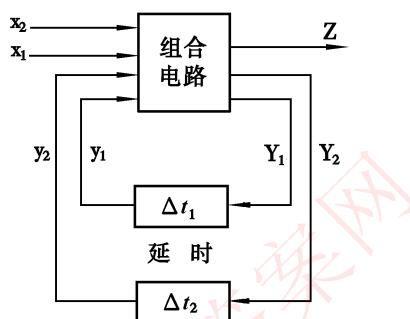


图 18

图中,

$$Y_2 = x_2 y_2 + \bar{x}_1 y_2 + x_2 \bar{x}_1 y_1$$

$$Y_1 = x_2 x_1 + \bar{x}_2 \cdot \bar{x}_1 y_2 + x_1 y_2 \bar{y}_1$$

$$Z = y_2 y_1$$

试问该电路中是否存在竞争?若存在, 请说明竞争类型?

解答

(1) 作出流程表

根据激励函数和输出函数表达式可作出流程表如表18所示。

表 18

二次状态 $y_2 y_1$	激励状态 $Y_2 Y_1$				输出 Z
	$x_2 x_1 = 00$	$x_2 x_1 = 01$	$x_2 x_1 = 11$	$x_2 x_1 = 10$	
00	00	00	01	00	0
01	00	00	01	10	0
11	00	00	01	10	1
10	11	01	11	00	0

(2) 判断说明

由流程表可知, 该电路中存在竞争。例如, 当处在总态(00, 11)输入由00变为01和



处在总态 $(11, 11)$ 输入由 11 变为 01 时，存在非临界竞争；当处在总态 $(11, 01)$ 输入由 11 变为 10 时，存在临界竞争。

www.Khdaw.com
课后答案网

习 题 七

- 用4位二进制并行加法器设计一个实现8421码对9求补的逻辑电路。

解答

设8421码为 $B_8B_4B_2B_1$ ，其对9的补数为 $C_8C_4C_2C_1$ ，关系如下：

$$\begin{aligned} C_8C_4C_2C_1 &= 1001 - B_8B_4B_2B_1 \\ &= 1001 - \overline{B}_8\overline{B}_4\overline{B}_2\overline{B}_1 + 1 \end{aligned}$$

相应逻辑电路图如图1所示。

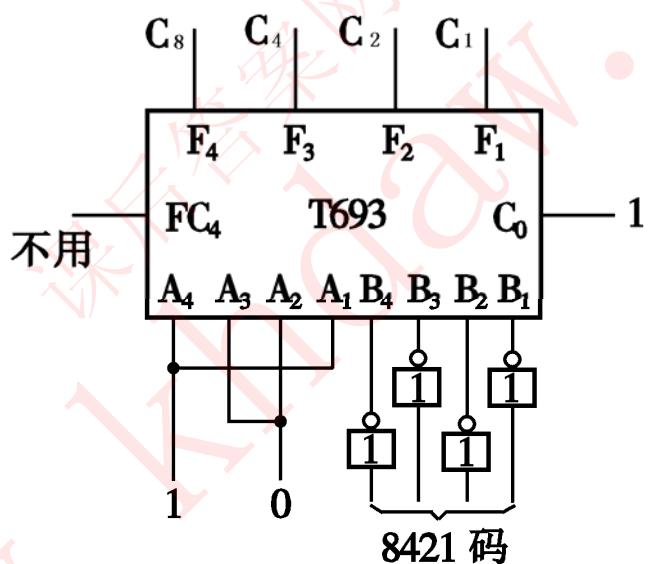


图 1

- 用两个4位二进制并行加法器实现2位十进制数8421码到二进制码的转换。

解答

设两位十进制数的8421码为 $D_{80}D_{40}D_{20}D_{10}D_8D_4D_2D_1$ ，相应二进制数为 $B_6B_5B_4B_3B_2B_1B_0$ ，则应有 $B_6B_5B_4B_3B_2B_1B_0 = D_{80}D_{40}D_{20}D_{10} \times 1010 + D_8D_4D_2D_1$ ，运算如下：

$$\begin{array}{r}
 & & D_{80} & D_{40} & D_{20} & D_{10} \\
 \times & & 1 & 0 & 1 & 0 \\
 & & D_{80} & D_{40} & D_{20} & D_{10} \\
 D_{80} & D_{40} & D_{20} & D_{10} \\
 + & & D_8 & D_4 & D_2 & D_1 \\
 B_6 & B_5 & B_4 & B_3 & B_2 & B_1 & B_0
 \end{array}$$

据此，可得到实现预定功能的逻辑电路如图2所示。

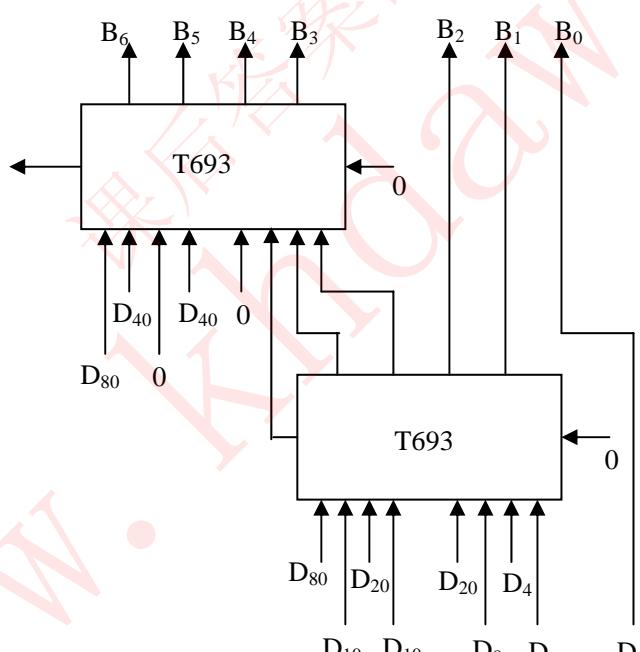


图 2

3. 用4位二进制并行加法器设计一个用8421码表示的1位十进制加法器。

解答

分析：由于十进制数采用8421码，因此，二进制并行加法器输入被加数和加数的取值范围为0000~1001 (0~9)，输出端输出的和是一个二进制数，数的范围为0000~10011 (0~19, 19=9+9+最低位的进位)。因为题目要求运算的结果也



是8421码，因此需要将二进制并行加法器输出的二进制数修正为8421码。设输出的二进制数为 $FC_4 F_4 F_3 F_2 F_1$ ，修正后的结果为 $FC'_4 F'_4 F'_3 F'_2 F'_1$ ，可列出修正函数真值表如表1所示。

表 1

十进制数 N	输入					输出					修正控制 C
	FC_4	F_4	F_3	F_2	F_1	FC	F'_4	F'_3	F'_2	F'_1	
0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	1	0
2	0	0	0	1	0	0	0	0	1	0	0
3	0	0	0	1	1	0	0	0	1	1	0
4	0	0	1	0	0	0	0	1	0	0	0
5	0	0	1	0	1	0	0	1	0	1	0
6	0	0	1	1	0	0	0	1	1	0	0
7	0	0	1	1	1	0	0	1	1	1	0
8	0	1	0	0	0	0	1	0	0	0	0
9	0	1	0	0	1	0	1	0	0	1	0
10	0	1	0	1	0	1	0	0	0	0	1
11	0	1	0	1	1	1	0	0	0	1	1
12	0	1	1	0	0	1	0	0	1	0	1
13	0	1	1	0	1	1	0	0	1	1	1
14	0	1	1	1	0	1	0	1	0	0	1
15	0	1	1	1	1	1	0	1	0	1	1
16	1	0	0	0	0	1	0	1	1	0	1
17	1	0	0	0	1	1	0	1	1	1	1
18	1	0	0	1	0	1	1	0	0	0	1
19	1	0	0	1	1	1	1	0	0	1	1

根据表1写出控制函数表达式，经简化后可得：

$$\begin{aligned} C &= FC_4 + F_4F_3 + F_4F_2 \\ &= \overline{\overline{FC_4} \cdot \overline{F_4F_3} \cdot \overline{F_4F_2}} \end{aligned}$$

据此，可画出逻辑电路图如图3所示。

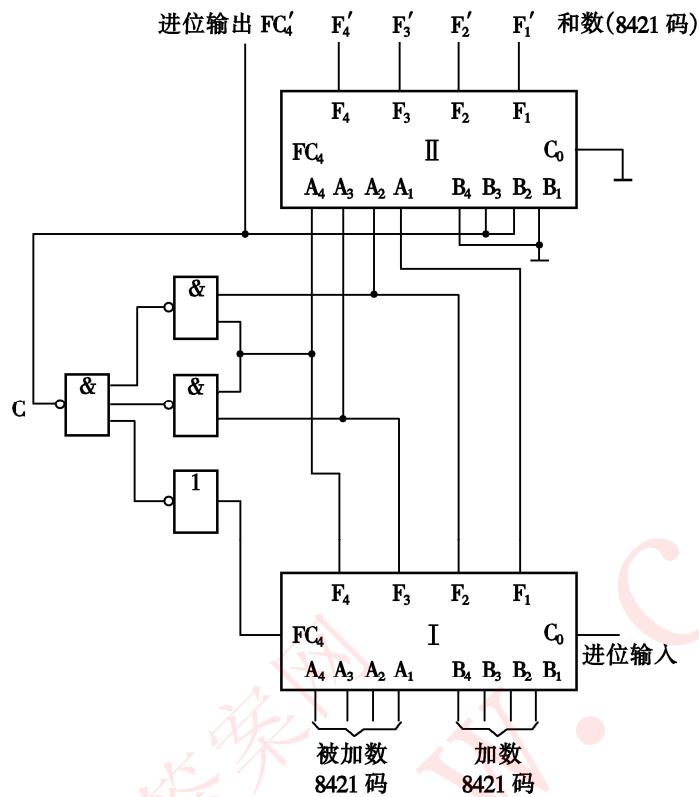


图3

4. 用一片3-8线译码器和必要的逻辑门实现下列逻辑函数表达式。

$$F_1 = \overline{AC} + ABC\bar{C}$$

$$F_2 = \overline{A} + B$$

$$F_3 = AB + \overline{AB}$$

解答

假定采用T4138和与非门实现给定函数功能，可将逻辑表达式变换如下：

$$F_1 = \overline{AC} + ABC\bar{C} = \sum m(0,2,6) = \overline{\overline{m}_0 \cdot \overline{m}_2 \cdot \overline{m}_6}$$

$$F_2 = \overline{A} + B = \sum m(0,1,2,3,6,7) = \overline{\overline{m}_0 \cdot \overline{m}_1 \cdot \overline{m}_2 \cdot \overline{m}_3 \cdot \overline{m}_6 \cdot \overline{m}_7}$$

$$F_3 = AB + \overline{AB} = \sum m(0,1,6,7) = \overline{\overline{m}_0 \cdot \overline{m}_1 \cdot \overline{m}_6 \cdot \overline{m}_7}$$

逻辑电路图如图4所示。

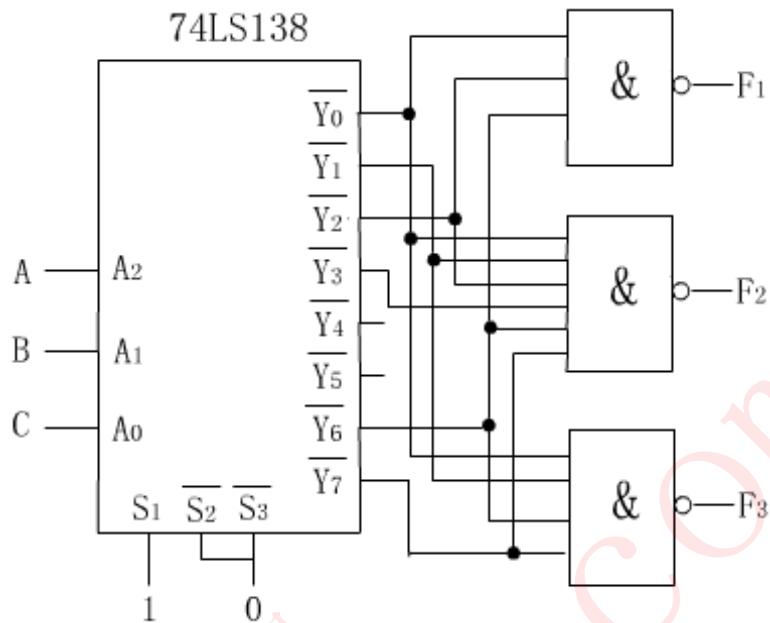


图4

5. 用一片4-16线译码器和适当的逻辑门设计一个1位十进制数2421码的奇偶位产生电路(假定采用奇检验)。

解答

设2421码为ABCD，奇偶检验位为P，根据题意可列出真值表如表2所示。

表2

ABCD	P	ABCD	P
0000	1	1011	0
0001	0	1100	1
0010	0	1101	0
0011	1	1110	0
0100	0	1111	1

由真值表可得：

$$P(A,B,C,D) = \sum m(0,3,12,15)$$

假定采用74LS154和与非门实现给定函数功能，可画出逻辑电路图如图5

所示。

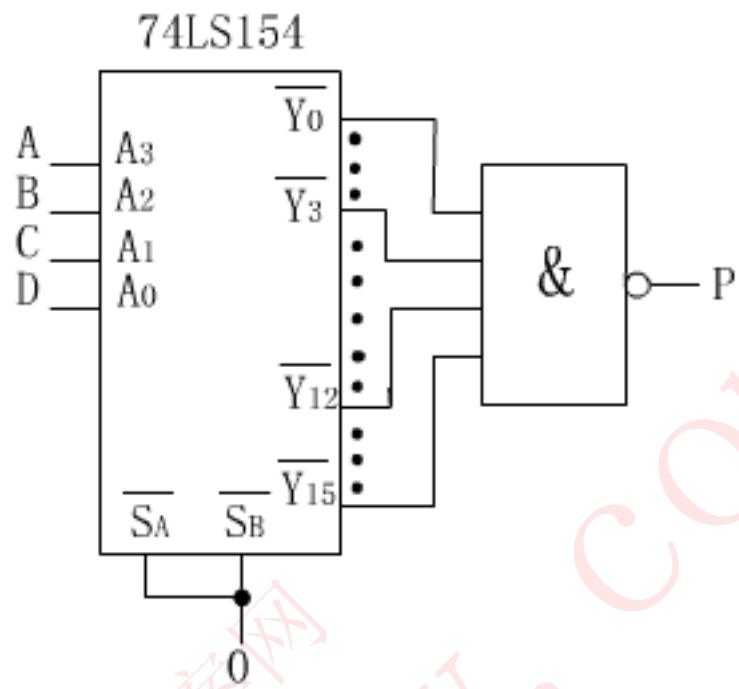


图5

6. 当优先编码器74LS148的 I_S 接0，输入 $I_7I_6I_5I_4I_3I_2I_1I_0 = 11010001$ 时，输出为什么状态？

解答

$Q_CQ_BQ_A=010$ (编码 I_5)， $Q_{EX}=0$ (编码群输出端，允许编码且有信号输入时为0)， $Q_S=1$ (允许输出端，允许编码且有信号输入时为1)。

7. 试用4路数据选择器实现余3码到8421码的转换。

解答

假定用ABCD表示余3码，WXYZ表示8421码，并选择A、B作为选择变量，可求出各4路数据选择器的数据输入端分别为：

$$W : D_0 = D_1 = 0, \quad D_2 = CD, \quad D_3 = 1$$

$$X : D_0 = 0, \quad D_1 = CD, \quad D_2 = \overline{CD}, \quad D_3 = 0$$

$$Y : D_0 = 0, \quad D_1 = D_2 = C \oplus D, \quad D_3 = 0$$

$$Z : D_0 = 0, \quad D_1 = D_2 = \overline{D}, \quad D_3 = 1$$

用4个四路数据选择器和4个逻辑门构造出该代码转换电路，逻辑图如图6所示。

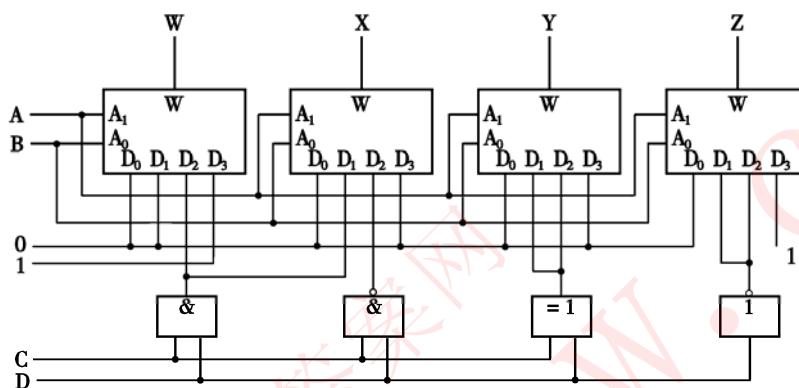


图6

8. 当4路选择器的选择控制变量A₁、A₀接变量A、B，数据输入端D₀、D₁、D₂、D₃依次接C̄、0、0、C时，电路实现何功能？

解答

输出函数表达式如下：

$$W = \overline{A} \cdot \overline{B} \cdot \overline{C} + ABC$$

电路实现三变量“一致性”检测功能。

9. 用4位二进制同步可逆计数器T4193和必要的逻辑门实现模12加法计数器。

解答

根据T4193的逻辑功能，可画出模12加法计数器的逻辑电路图如图7所示。

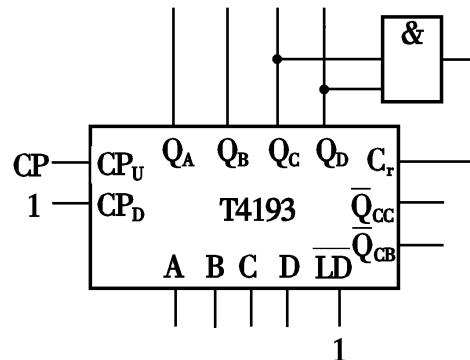


图7

10. 用T1194双向移位寄存器和必要的逻辑门设计一个00011101序列信号发生器。

解答

设寄存器初始状态 $Q_0Q_1Q_2=101$, 从 Q_2 产生输出, 可列出反馈函数真值表如表3所示。

表3

CP	$Q_0Q_1Q_2$	$F(D_R)$
0	101	1
1	110	1
2	111	0
3	011	0
4	001	0
5	000	1
6	100	0
7	010	1

由表3可写出反馈函数表达式:

$$\begin{aligned}
 F(D_R) &= Q_0 \bar{Q}_1 Q_2 + Q_0 Q_1 \bar{Q}_2 + \bar{Q}_0 \bar{Q}_1 \bar{Q}_2 + \bar{Q}_0 Q_1 \bar{Q}_2 \\
 &= \bar{Q}_0 \bar{Q}_2 + Q_1 \bar{Q}_2 + Q_0 \bar{Q}_1 Q_2 \\
 &= (\bar{Q}_0 + Q_1) \bar{Q}_2 + Q_0 \bar{Q}_1 Q_2 \\
 &= \overline{Q_0 \bar{Q}_1} \cdot \bar{Q}_2 + Q_0 \bar{Q}_1 \cdot Q_2 \\
 &= \overline{Q_0 \bar{Q}_1} \oplus Q_2 \\
 &= Q_0 \bar{Q}_1 \oplus \bar{Q}_2
 \end{aligned}$$

设计出该序列发生器的逻辑电路图如图8所示。

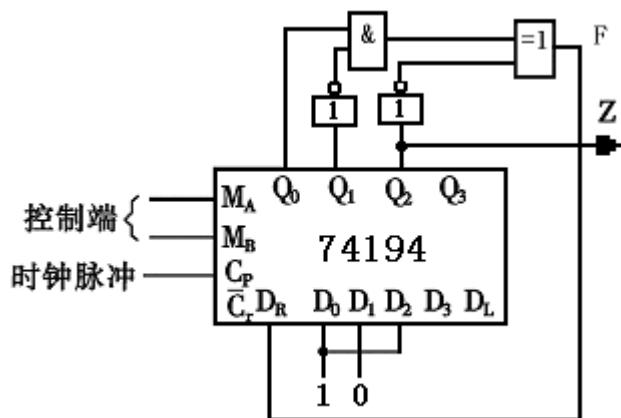


图8

11. 在图9所示电路中,若取 $R_1=2R_2$,请问输出矩形波的占空比为多少?

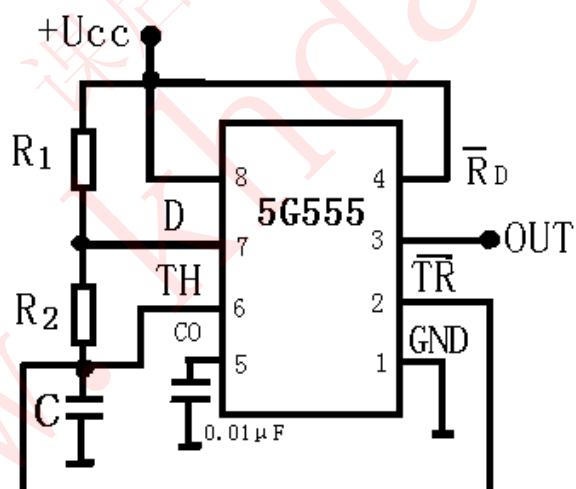


图9

解答

$$\frac{2R_2 + R_2}{2R_2 + 2R_2} = \frac{3R_2}{4R_2} = \frac{3}{4}$$

12. 分析图10所示由定时器5G555构成的多谐振荡器。

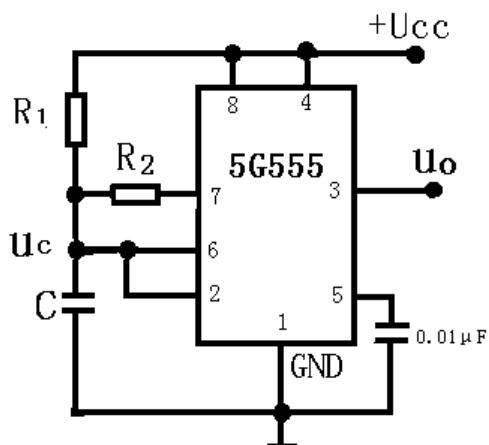


图10

- (1) 计算其振荡周期;
- (2) 若要产生占空比为50%的方波, R_1 和 R_2 的取值关系如何?

解答

$$\begin{aligned}
 T_w &= t_H + t_L \\
 (1) \text{ 振荡周期: } &= 0.7R_1C + 0.7R_2C \\
 &= 0.7(R_1 + R_2)C
 \end{aligned}$$

$$(2) \text{ 占空比: } Q = \frac{t_H}{T_w} = \frac{0.7R_1C}{0.7(R_1 + R_2)C} = \frac{R_1}{R_1 + R_2}$$

要产生占空比为50%的方波, 应有 $R_1=R_2$ 。

13. 将5G555定时器按图11(a)所示连接, 输入波形如图11(b)所示。

请画出定时器输出波形, 并说明该电路相当于什么器件。

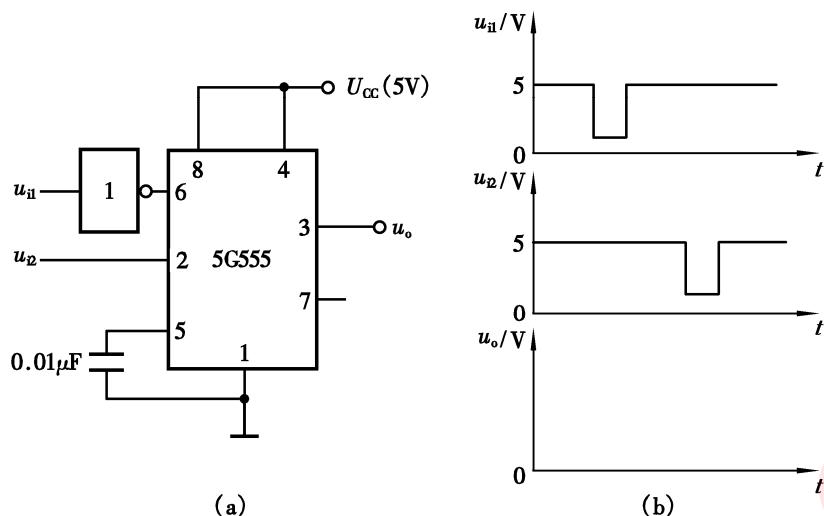


图11 5G555连线图和有关波形图

解答

假定电路的初始输出为高，可画出输出波形如图12所示。

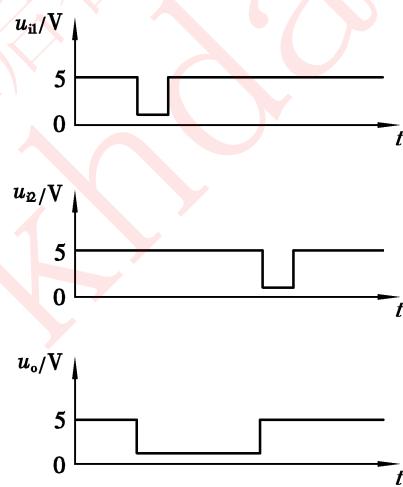


图12

由输入输出波形图可知，该电路的功能相当于一个基本R-S触发器。

14. D/A转换器有哪些主要参数?通常用什么参数来衡量转换精度?

解答

D/A转换器的主要参数有分辨率、非线性误差、绝对精度、建立



时间。通常用分辨率衡量转换精度。

15. DAC1210是12位D/A芯片，请问其分辨率为多少?(用百分数表示)

解答

$$\text{分辨率} = \frac{1}{2^n - 1} = \frac{1}{2^{12} - 1} = \frac{1}{4095} \approx 0.02\%$$

16. DAC0832由哪几部分组成?可以构成哪几种工作方式?每种方式如何控制?

解答

DAC0832由两个8位数据缓冲寄存器、一个8位D/A转换器和三个控制逻辑门组成，可以构成双缓冲、单缓冲和直通三种工作方式。工作方式选择受控制信号 $\overline{\text{CS}}$ 、ILE、 $\overline{\text{WR}}_1$ 、 $\overline{\text{WR}}_2$ 、 $\overline{\text{XFER}}$ 的控制。

双缓冲方式：首先在 $\overline{\text{CS}}$ 、ILE、 $\overline{\text{WR}}_1$ 控制下将数据锁存到输入寄存器，然后在 $\overline{\text{XFER}}$ 、 $\overline{\text{WR}}_2$ 控制下将输入寄存器中数据锁存到DAC寄存器。

单缓冲方式：令输入寄存器和DAC寄存器中的一个处于受控状态，另一个处于直通状态。

直通方式：令输入寄存器和DAC寄存器中均处于直通状态。

17. 常见集成A/D转换器按转换方法的不同可分成哪几种类型?各有何特点?

解答

集成A/D转换器按转换方法的不同可分成并行比较型、逐次比较型和双积分型几种类型。并行比较型转换速度高，但由于内部线



路较复杂，一般分辨率较低；逐次比较型速度较快，精度高；双积分型精度高、抗干扰能力强，但速度较慢。

18. ADC0809如何实现对8路模拟量输入的选择？当它与微机连接时是否要外加三态缓冲器？

解答

ADC0809由3根地址选择线实现对8路模拟量输入的选择。由于ADC0809内部带有三态输出缓冲器，所以当它与微机连接时不需要外加三态缓冲器。

习题七

2. 用4位二进制并行加法器设计一个用8421码表示的1位十进制加法器。

解答

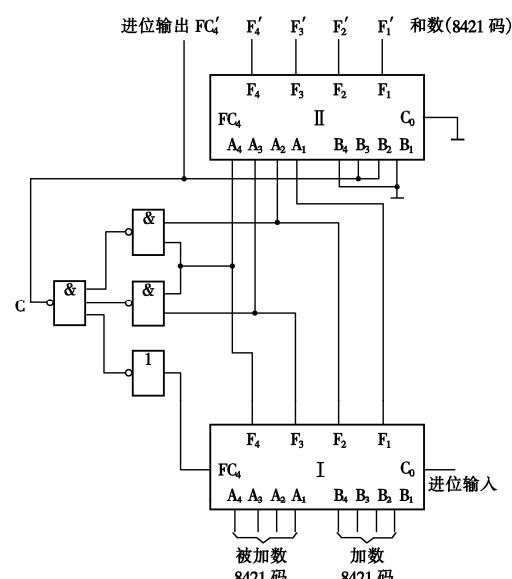
分析：由于十进制数采用8421码，设输出的二进制数为 $FC_4 F_4 F_3 F_2 F_1$ ，修正后的结果为 $FC'_4 F'_4 F'_3 F'_2 F'_1$ ，可列出修正函数真值表如表1所示。

表 1

十进制数 N	输入					输出					修正控制 C
	FC_4	F_4	F_3	F_2	F_1	FC'	F'_4	F'_3	F'_2	F'_1	
0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	1	0
2	0	0	0	1	0	0	0	0	1	0	0
3	0	0	0	1	1	0	0	0	1	1	0
4	0	0	1	0	0	0	0	1	0	0	0
5	0	0	1	0	1	0	0	1	0	1	0
6	0	0	1	1	0	0	0	1	1	0	0
7	0	0	1	1	1	0	0	1	1	1	0
8	0	1	0	0	0	0	1	0	0	0	0
9	0	1	0	0	1	0	1	0	0	1	0
10	0	1	0	1	0	1	0	0	0	0	1
11	0	1	0	1	1	1	0	0	0	1	1
12	0	1	1	0	0	1	0	0	1	0	1
13	0	1	1	0	1	1	0	0	1	1	1
14	0	1	1	1	0	1	0	1	0	0	1
15	0	1	1	1	1	1	0	1	0	1	1
16	1	0	0	0	0	1	0	1	1	0	1
17	1	0	0	0	1	1	0	1	1	1	1
18	1	0	0	1	0	1	1	0	0	0	1
19	1	0	0	1	1	1	1	0	0	1	1

$$\begin{aligned}
 C &= FC_4 + F_4 F_3 + F_4 F_2 \\
 &= \overline{FC_4} \cdot \overline{F_4 F_3} \cdot \overline{F_4 F_2}
 \end{aligned}$$

根据表1写出控制函数表达式，经简化后可得：



据此，可画出逻辑电路图如图3所示。

图3

7. 试用4路数据选择器实现余3码到8421码的转换。

解答

假定用ABCD表示余3码，WXYZ表示8421码，并选择A、B作为选择变量，可求出各4路数据选择器的数据输入端分别为：

$$W : D_0 = D_1 = 0, \quad D_2 = CD, \quad D_3 = 1$$

$$X : D_0 = 0, \quad D_1 = CD, \quad D_2 = \overline{CD}, \quad D_3 = 0$$

$$Y : D_0 = 0, \quad D_1 = D_2 = C \oplus D, \quad D_3 = 0$$

$$Z : D_0 = 0, \quad D_1 = D_2 = \overline{D}, \quad D_3 = 1$$

用4个四路数据选择器和4个逻辑门构造出该代码转换电路，逻辑图如图6所示。

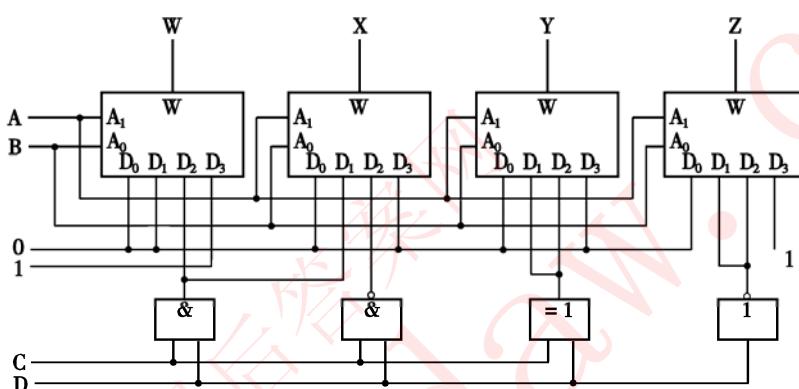


图6

9. 用4位二进制同步可逆计数器T4193和必要的逻辑门实现模12加法计数器。

解答

根据T4193的逻辑功能，可画出模12加法计数器的逻辑电路图如图7所示。

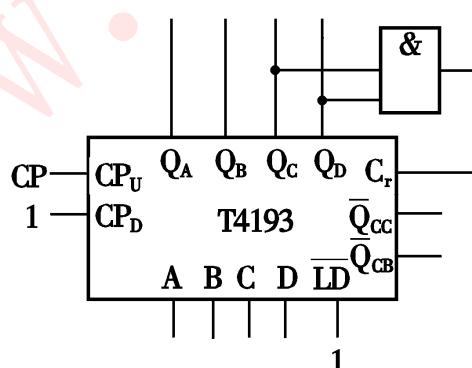


图7