

KINFB40U: Architecture – TP

Conception d'un microprocesseur simplifié en Logisim

I. Prise en main de Logisim

Logisim est un logiciel éducatif de conception de circuits électroniques basé sur une interface graphique qui permet de "dessiner" le circuit voulu sans avoir à apprendre un langage de conception de matériel (HDL) comme VHDL ou SystemVerilog. Nous allons utiliser une archive java de ce logiciel (fournie sur la page moodle du cours).

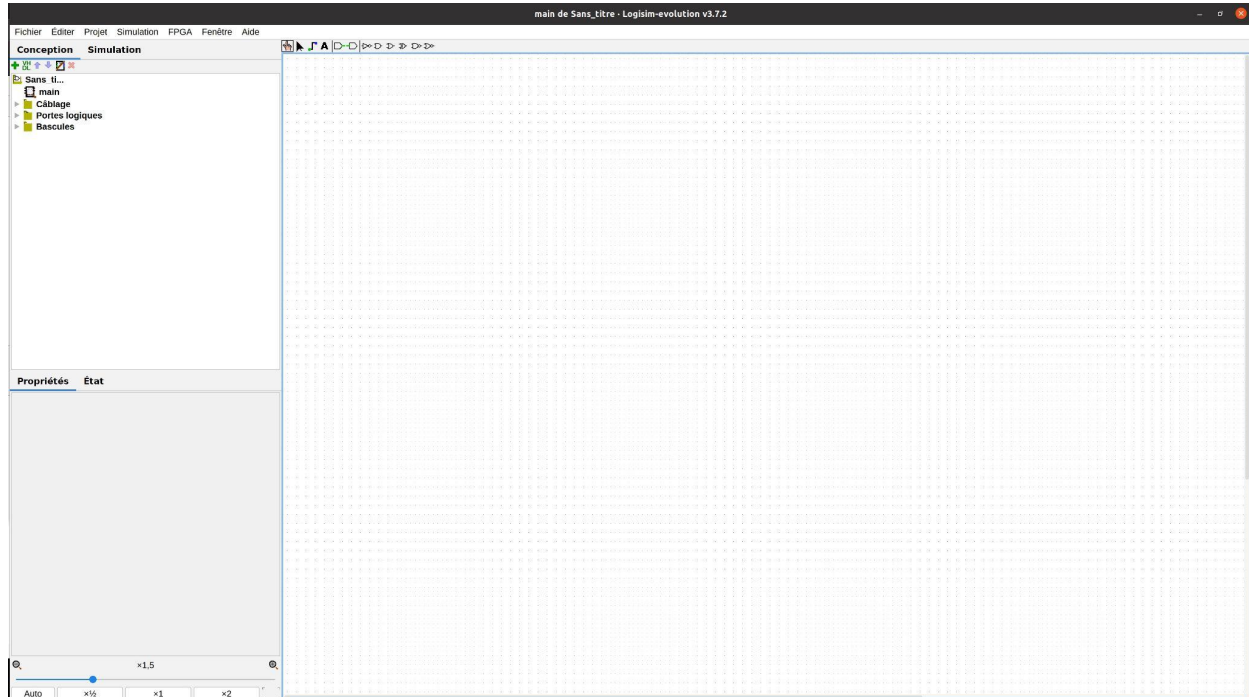
Pour lancer logisim, on doit d'abord modifier certaines variables d'environnement. Pour cela, lancez le script fourni sur la page moodle avec la commande :

```
source init.sh
```

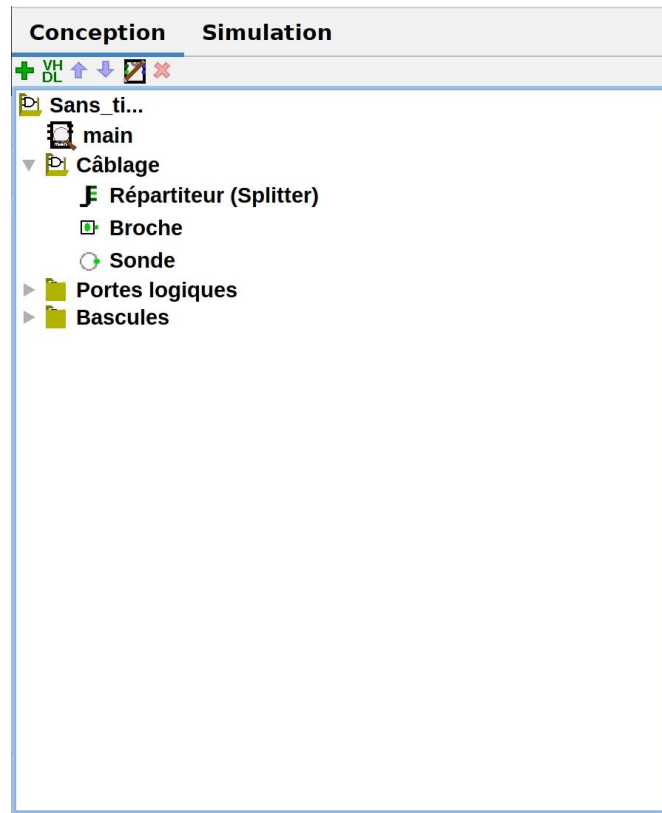
Puis lancez logisim avec la commande :

```
java -jar logisim.jar.
```

Vous arrivez sur la vue principale de logisim:



On va d'abord s'intéresser à la partie en haut à gauche:



Le menu déroulant ("Sans titre") correspond à l'ensemble des portes et composants disponibles pour concevoir notre circuit. Dans l'onglet "Sans titre", nous retrouverons tous les circuits que nous concevons et sauvegardons : nous allons petit à petit concevoir des sous-composants que nous réutiliserons pour concevoir des composants plus complexes, et ces sous-composants seront disponibles ici.

Les autres menus déroulants contiennent les composants et portes logiques de base fournis par Logisim :

- "Câblage" contient des composants en lien avec le câblage, notamment des répartiteurs de signaux ("splitters") permettant d'accéder aux différents bits d'un signal composé de plus d'un bit et des ports d'entrée ou de sortie de composant ("Broches")
- "Portes logiques" contient les portes logiques de base
- "Bascules" contient des bascules D

Pour prendre en main le logiciel nous allons commencer par concevoir une porte XOR (les portes XOR sont disponibles directement dans Logisim, mais nous allons en concevoir une à partir de portes NON, ET et OU, afin d'illustrer le fonctionnement de Logisim).

Pour rappel, voici la table de vérité d'une porte XOR avec deux entrées X et Y :

X	Y	S = X XOR Y
0	0	0
0	1	1
1	0	1
1	1	0

On en déduit donc la formule :

$$S = (\text{NOT}(X) \text{ AND } Y) \text{ OR } (X \text{ AND NOT}(Y))$$

Nous allons commencer par ajouter les ports d'entrée X et Y dans notre design. Pour cela, on clique sur le menu "Câblage", on sélectionne "Broche" et on va ajouter le port dans le canevas (fenêtre principale) qui va accueillir notre design :

Conception
Simulation

+ VH
DL

*Sans_titre
main
Câblage
Répartiteur (Splitter)
Broche
Sonde
Portes logiques
Bascules

Propriétés
État

Broche (570,150)

FPGA supporté :
Pris en charge

Orientation
→ Est

Sortie ?
Non

Largeur données
1

Trois états ?
Non

Comportement
Inchangé

Étiquette
HDL Required

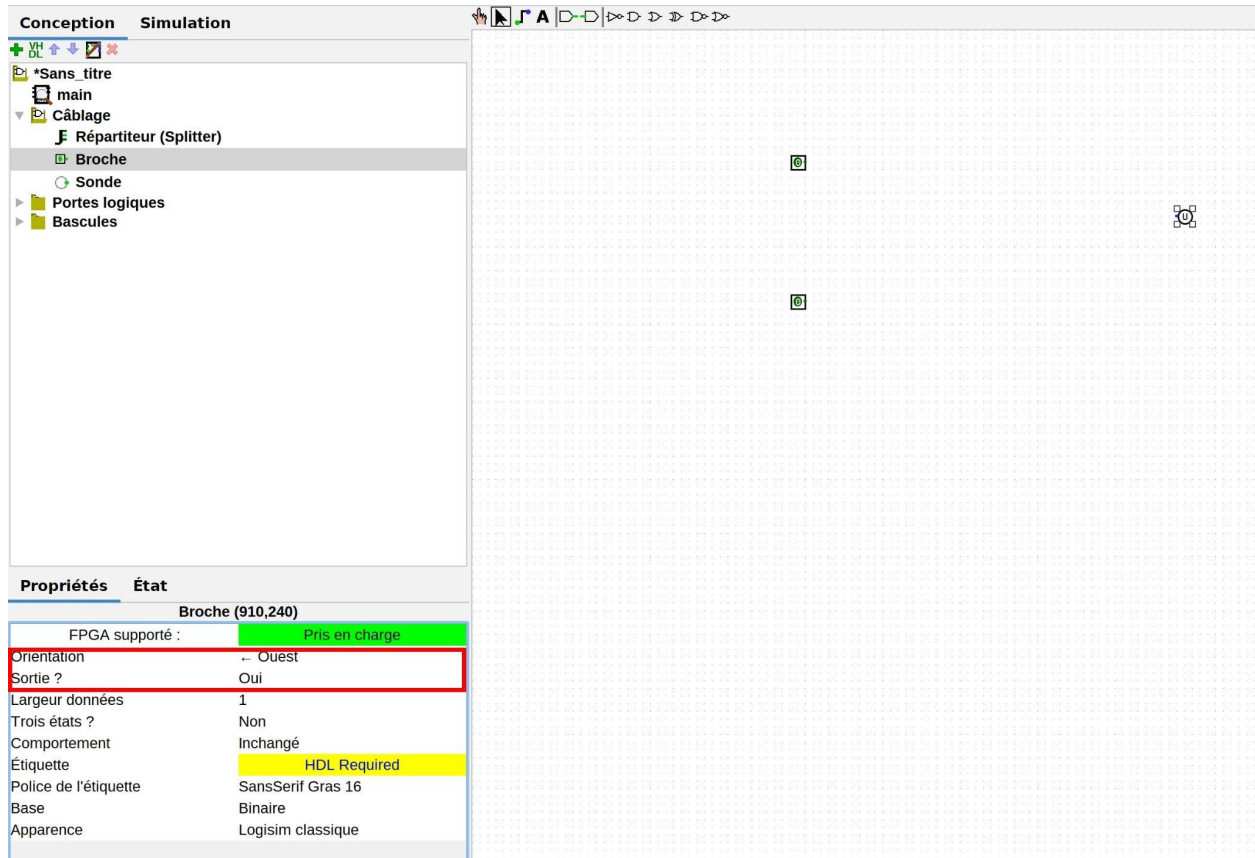
Police de l'étiquette
SansSerif Gras 16

Base
Binaire

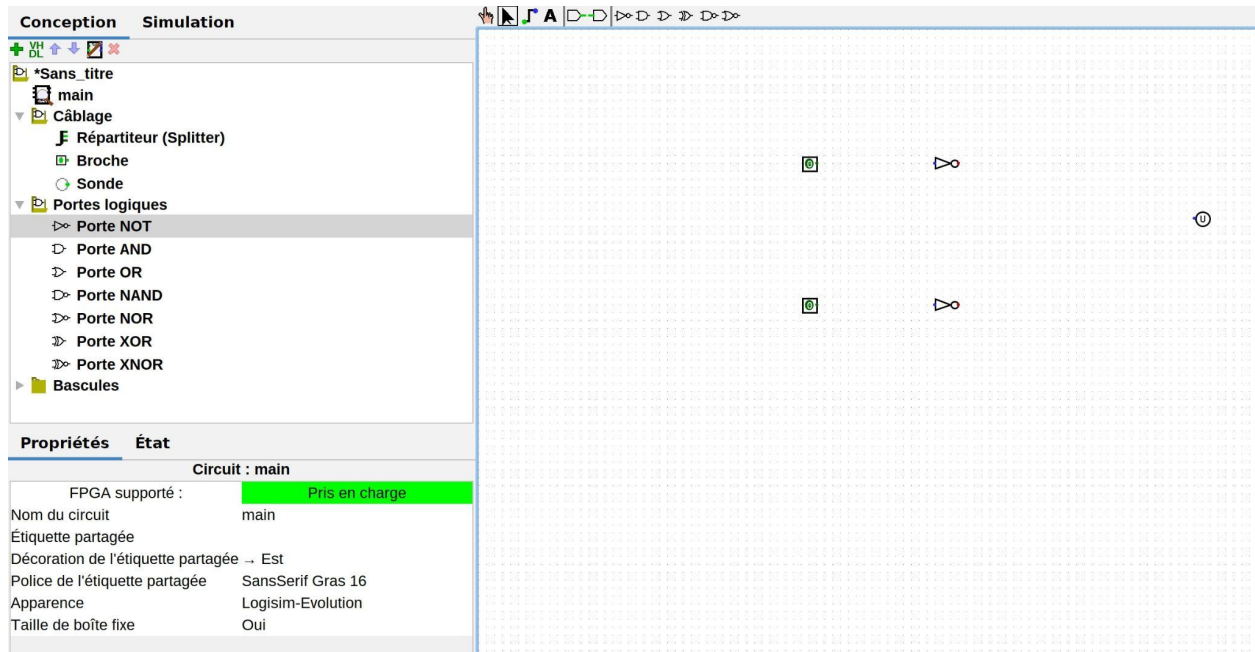
Apparence
Logisim classique

On remarque que le menu en bas à gauche contient des informations modifiables concernant le port : il est orienté vers l'est (son port de sortie est sur la droite), ce n'est pas un port de sortie (donc c'est une entrée du circuit), il est de taille 1 bit. Par ailleurs, par défaut il est considéré comme ayant trois états possibles (0, 1 et X – erreur).

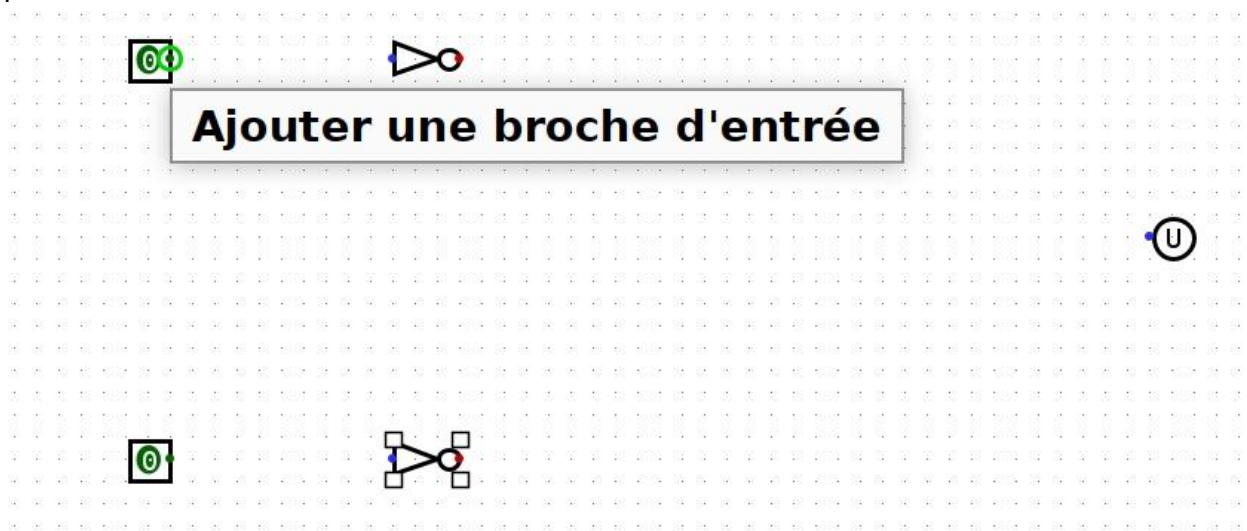
On réalise la même opération pour le port Y. On va ensuite créer le port de sortie S. Pour cela, on ajoute une broche au design, puis dans le menu en bas à gauche on sélectionne "Oui" en face de "Sortie ?", et on sélectionne "Ouest" en face de "Direction" pour que le port en question soit disponible sur la gauche :

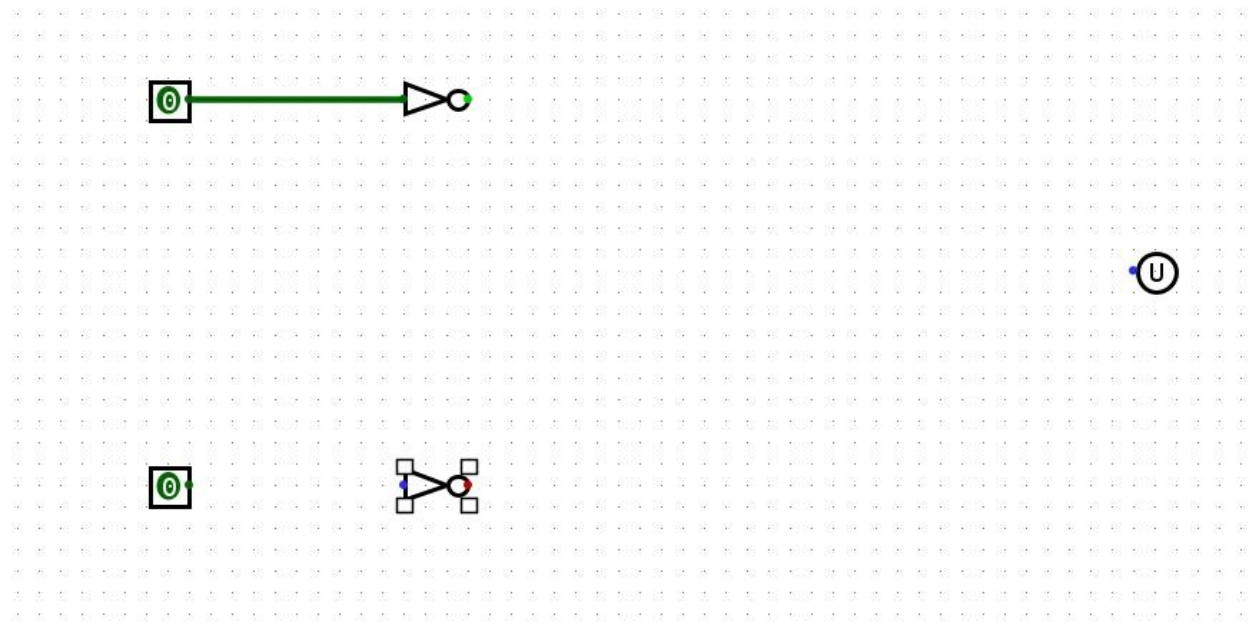


On peut maintenant ajouter les portes logiques. On commence par les portes NON. Pour cela, on clique sur le menu "Portes logiques" et sur "Porte NOT" puis on va placer la porte dans le canevas :



On peut alors tirer un câble depuis chaque port d'entrée vers la porte NON lui correspondant. On met la souris sur le port X, et on tire un câble en cliquant et tirant jusqu'au port d'entrée de la porte NON :





On ajoute ensuite les portes ET en les sélectionnant dans le menu :

ConceptionSimulation

*Sans_titre

main

Câblage

Répartiteur (Splitter)

Broche

Sonde

Portes logiques

Porte NOT

Porte AND

Porte OR

Porte NAND

Porte NOR

Porte XOR

Porte XNOR

Bascules

PropriétésÉtat

Porte AND (760,330)

FPGA supporté :
Orientation
Largeur données
Dimension dessin
Nombre d'entrées
Valeur de sortie
Étiquette
Police de l'étiquette
Inverseur 1 (↑ Haut)
Inverseur 2 (↓ Bas)

Pris en charge

→ Est

1

moyen

2

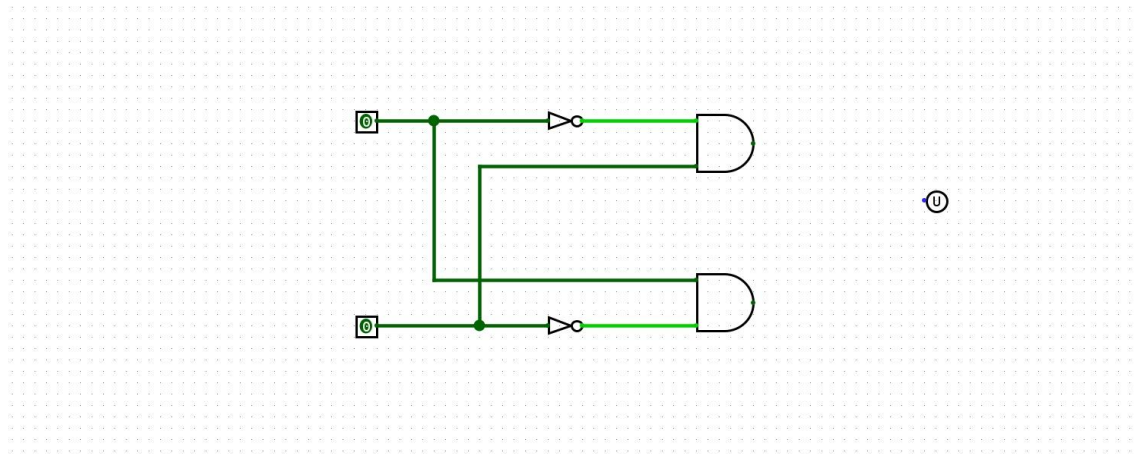
0/1

SansSerif Gras 16

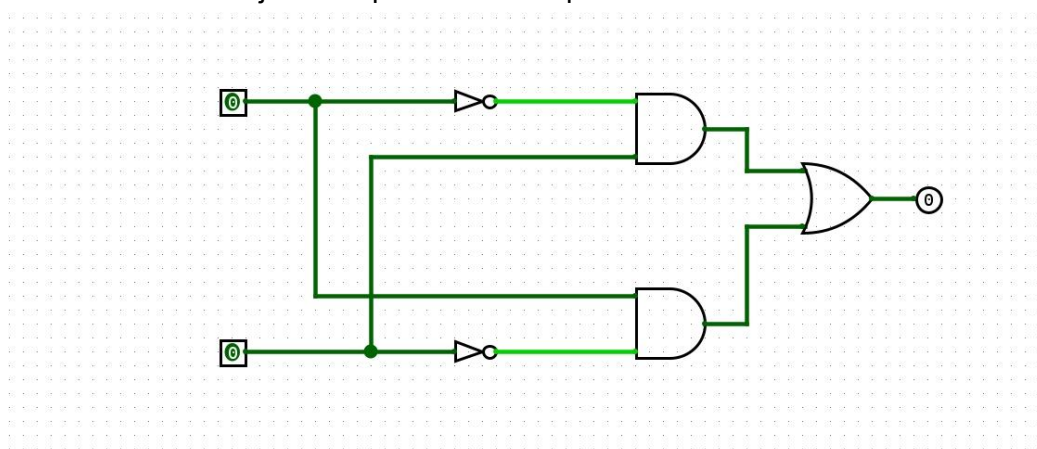
Non

Non

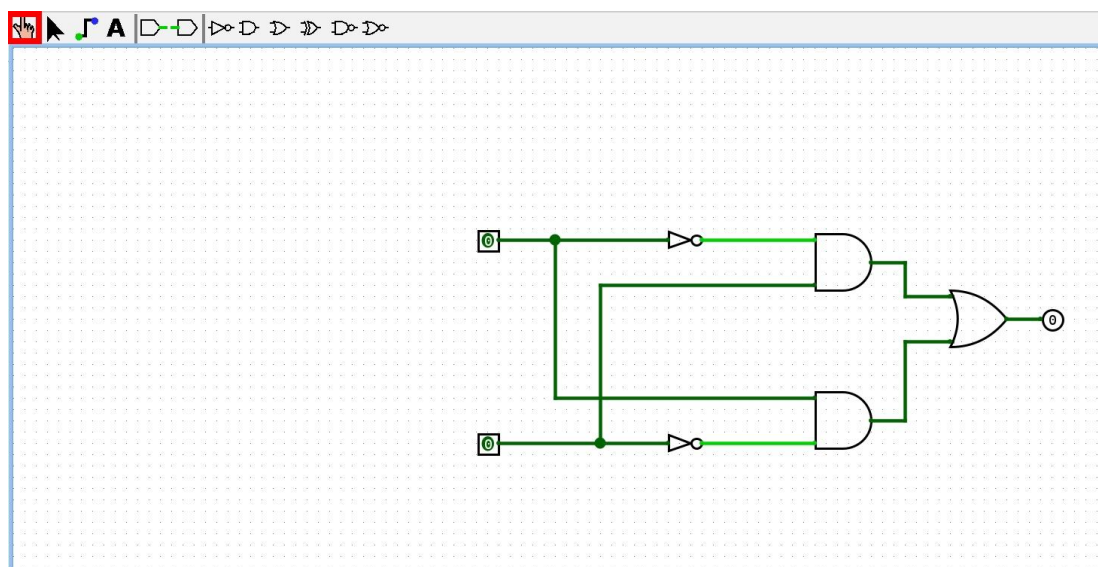
On cable maintenant les entrées de ces portes :



On va maintenant ajouter la porte OU manquante et la câbler :



On va maintenant tester notre composant, en cliquant sur l'icône "doigt" en haut à gauche du canevas:



On peut maintenant cliquer sur les ports d'entrée pour faire varier leurs valeurs (0 ou 1) et constater si la valeur du port sortie correspond aux valeurs attendues :

