

33 이더넷(ETH): 미디어 액세스 제어(MAC) DMA 컨트롤러

이 섹션은 STM32F42xx/F43xx 및 STM32F407x/F417x 장치에만 적용됩니다.

33.1 이더넷 소개

일부 저작권(c) 2004, 2005 Synopsys, Inc. 모든 권리 보유. 허가를 받아 사용되었습니다.

이더넷 주변 장치를 사용하면 STM32F4xx가 IEEE 802.3-2002 표준을 준수하여 이더넷을 통해 데이터를 전송하고 수신할 수 있습니다.

이더넷은 다양한 애플리케이션과 고객의 요구 사항을 충족하기 위해 구성 가능하고 유연한 주변 장치를 제공합니다. 이는 외부 물리 계층(PHY)에 대한 두 가지 산업 표준 인터페이스, 즉 IEEE 802.3 사양에 정의된 기본 미디어 독립 인터페이스(MII)와 축소된 미디어 독립 인터페이스(RMII)를 지원합니다. 스위치, 네트워크 인터페이스 카드 등과 같은 다양한 애플리케이션에 사용할 수 있습니다.

이더넷은 다음 표준을 준수합니다.

- 이더넷 MAC용 IEEE 802.3-2002
- 정밀한 네트워크 클럭 동기화를 위한 IEEE 1588-2008 표준
- AHB 마스터/슬레이브 포트용 AMBA 2.0
- RMII 컨소시엄의 RMII 사양

33.2 이더넷 주요 기능

이더넷(ETH) 주변 장치에는 범주별로 나열된 다음 기능이 포함되어 있습니다.

33.2.1 MAC 핵심 기능

- 외부 PHY 인터페이스로 10/100Mbit/s 데이터 전송 속도 지원
- 외부 고속 이더넷과 통신하기 위한 IEEE 802.3 호환 MII 인터페이스 PHY
- 전이중 및 반이중 작업을 모두 지원합니다.
 - 반이중 작동을 위한 CSMA/CD 프로토콜 지원
 - 전이중 작동을 위한 IEEE 802.3x 흐름 제어 지원
 - 수신된 일시정지 제어 프레임을 전이중 작업으로 사용자 애플리케이션에 선택적 전달
 - 반이중 작동을 위한 배압 지원
 - 흐름 제어 해제 시 제로 퀀타 일시정지 프레임 자동 전송 전이중 작동으로 입력
- 전송 시 프리앰블 및 프레임 시작 데이터(SFD) 삽입 및 수신 시 삭제 경로
- 프레임 단위로 제어 가능한 자동 CRC 및 패드 생성
- 수신 프레임의 자동 패드/CRC 스트리밍 옵션
- 최대 16KB 크기의 표준 프레임을 지원하는 프로그래밍 가능한 프레임 길이
- 프로그래밍 가능한 프레임 간 간격(8단계의 40-96비트 시간)
- 다양하고 유연한 주소 필터링 모드를 지원합니다.
 - 각 바이트에 대한 마스크가 있는 최대 4개의 48비트 완전(DA) 주소 필터
 - 각 바이트에 대한 마스크를 사용하여 최대 3개의 48비트 SA 주소 비교 확인
 - 멀티캐스트 및 유니캐스트(DA) 주소용 64비트 해시 필터(옵션)
 - 모든 멀티캐스트 주소 프레임을 전달하는 옵션
 - 네트워크 필터링 없이 모든 프레임을 전달하는 무차별 모드 지원 모니터링
 - 상태 보고서와 함께 (필터별로) 들어오는 모든 패킷을 전달합니다.
- 전송 및 수신 패킷에 대해 별도의 32비트 상태가 반환됩니다.
- 수신 프레임에 대한 IEEE 802.1Q VLAN 태그 감지 지원
- 애플리케이션에 대한 별도의 전송, 수신 및 제어 인터페이스
- RMON/MIB 카운터를 통한 필수 네트워크 통계 지원(RFC2819/RFC2665)
- PHY 장치 구성 및 관리를 위한 MDIO 인터페이스
 - LAN 웨이크업 프레임 및 AMD Magic Packet™ 프레임 감지
- 이더넷 프레임으로 캡슐화된 수신된 IPv4 및 TCP 패킷에 대한 체크섬 오프로드를 위한 수신 기능
- IPv4 헤더 체크섬과 TCP, UDP 또는 ICMP를 확인하기 위한 항상된 수신 기능 IPv4 또는 IPv6 데이터그램에 캡슐화된 체크섬
- IEEE 1588-2008에 설명된 대로 이더넷 프레임 타임스탬프를 지원합니다. 각 프레임의 전송 또는 수신 상태에 64비트 타임스탬프가 제공됩니다.
- 두 개의 FIFO 세트: 프로그래밍 가능한 임계값 기능이 있는 2KB 전송 FIFO와 구성 가능한 임계값(기본값 64바이트)이 있는 2KB 수신 FIFO
- EOF 전송 후 수신 FIFO에 삽입된 수신 상태 벡터를 사용하면 해당 프레임의 수신 상태를 저장하기 위해 다른 FIFO를 요구하지 않고도 수신 FIFO에 여러 프레임을 저장할 수 있습니다.
- 수신 시 모든 오류 프레임을 필터링하고 이를 애플리케이션에 전달하지 않는 옵션

저장 및 전달 모드

- 크기가 작은 양호한 프레임을 전달하는 옵션
- 수신 FIFO에서 삭제되거나 손상된(오버플로로 인해) 프레임에 대한 필스를 생성하여 통계를 지원합니다.
- MAC 코어로의 전송을 위한 저장 및 전달 메커니즘 지원
- 수신 FIFO-fill(임계값 구성 가능) 레벨을 기반으로 PAUSE 프레임 제어 또는 MAC 코어에 대한 배압 신호 자동 생성
- 전송을 위한 충돌 프레임의 자동 재전송을 처리합니다.
- 늦은 충돌, 과도한 충돌, 과도한 지연 및 언더런 시 프레임을 삭제합니다.
정황
- Tx FIFO를 플러시하는 소프트웨어 제어
- IPv4 헤더 체크섬과 TCP, UDP 또는 ICMP 체크섬을 계산하고 삽입합니다.
Store-and-Forward 모드로 전송된 프레임
- 디버깅을 위해 MII에서 내부 루프백을 지원합니다.

33.2.2 DMA 기능

- AHB 슬레이브 인터페이스에서 모든 AHB 버스트 유형을 지원합니다.
- 소프트웨어는 AHB 마스터에서 AHB 버스트 유형(고정 또는 무기한 버스트)을 선택할 수 있습니다.
상호 작용.
- AHB 마스터 포트에서 주소 정렬 버스트를 선택하는 옵션
- 프레임 구분 기호를 사용한 패킷 중심 DMA 전송 최적화
- 데이터 버퍼 지원을 위한 바이트 정렬 주소 지정
 - 이중 버퍼링) 또는 연결된 목록(체인) 설명자 연결
 - 최소한의 CPU 개입으로 대규모 데이터 블록을 전송할 수 있는 설명자 아키텍처.
- 각 설명자는 최대 8KB의 데이터를 전송할 수 있습니다.
- 정상 작동 및 오류 전송에 대한 종합적인 상태 보고
 - 최적의 호스트 버스 활용을 위해 전송 및 수신 DMA 엔진의 개별 프로그래밍 가능 버스트 크기
- 다양한 작동 조건에 맞게 프로그래밍 가능한 인터럽트 옵션
- 프레임별 전송/수신 완전한 인터럽트 제어
- 수신 엔진과 전송 엔진 간의 라운드 로빈 또는 고정 우선순위 중재
- 시작/정지 모드
- 상태 레지스터로서의 현재 Tx/Rx 버퍼 포인터
- 상태 레지스터로서의 현재 Tx/Rx 설명자 포인터

33.2.3 PTP 기능

- 수신 및 전송된 프레임 타임 스탬핑
- 대략적인 수정과 미세한 수정 방법
- 시스템 시간이 목표 시간보다 커지면 인터럽트를 트리거합니다.
- 초당 필스 출력(제품 대체 기능 출력)

33.3 이더넷 핀

[표 186](#)은 MAC 신호와 해당 MII/RMII 신호 매핑을 보여줍니다. 모든 MAC 신호는 AF11에 매핑되고 일부 신호는 다른 I/O 핀에 매핑되며 대체 기능 모드에서 구성해야 합니다(자세한 내용은 [섹션 8.3.2: I/O 핀 멀티플렉서 및 매핑](#) 참조).

표 186. 대체 기능 매핑

포트	AF11
	ETH
PA0-WKUP	ETH_MII_CRS
PA1	ETH_MII_RX_CLK / ETH_RMII_REF_CLK
PA2	ETH_MDIO
PA3	ETH_MII_COL
PA7	ETH_MII_RX_DV / ETH_RMII_CRS_DV
PB0	ETH_MII_RXD2
PB1	ETH_MII_RXD3
PB5	ETH_PPS_OUT
PB8	ETH_MII_TXD3
PB10	ETH_MII_RX_ER
PB11	ETH_MII_TX_EN / ETH_RMII_TX_EN
PB12	ETH_MII_RXD0 / ETH_RMII_RXD0
PB13	ETH_MII_RXD1 / ETH_RMII_RXD1
PC1	ETH_MDC
PC2	ETH_MII_RXD2
PC3	ETH_MII_TX_CLK
PC4	ETH_MII_RXD0 / ETH_RMII_RXD0
PC5	ETH_MII_RXD1 / ETH_RMII_RXD1
PE2	ETH_MII_RXD3
PG8	ETH_PPS_OUT
PG11	ETH_MII_TX_EN / ETH_RMII_TX_EN
PG13	ETH_MII_RXD0 / ETH_RMII_RXD0
PG14	ETH_MII_RXD1 / ETH_RMII_RXD1
PH2	ETH_MII_CRS
PH3	ETH_MII_COL
PH6	ETH_MII_RXD2
PH7	ETH_MII_RXD3
PI10	ETH_MII_RX_ER

33.4 이더넷 기능 설명: SMI, MII 및 RMII

이더넷 주변 장치는 전용 DMA 컨트롤러가 있는 MAC 802.3(미디어 액세스 제어)으로 구성됩니다. 하나의 선택 비트를 통해 기본 MII(미디어 독립 인터페이스)와 RMII(축소 미디어 독립 인터페이스)를 모두 지원합니다(SYSCFG_PMC 레지스터 참조).

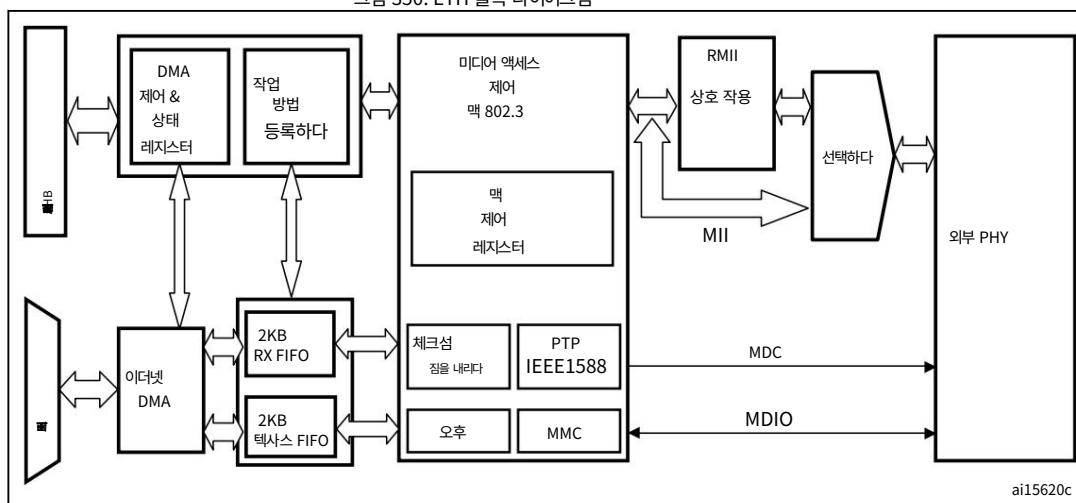
DMA 컨트롤러는 AHB 마스터 및 슬레이브 인터페이스를 통해 코어 및 메모리와 인터페이스합니다. AHB 마스터 인터페이스는 AHB 슬레이브 인터페이스가 제어 및 상태 레지스터(CSR) 공간에 액세스하는 동안 데이터 전송을 제어합니다.

Tx FIFO(전송 FIFO)는 MAC Core가 전송하기 전에 DMA가 시스템 메모리에서 읽은 데이터를 버퍼링합니다. 마찬가지로 수신 FIFO(Rx FIFO)는 DMA에 의해 시스템 메모리로 전송될 때까지 라인에서 수신된 이더넷 프레임을 저장합니다.

이더넷 주변 장치에는 외부 PHY와 통신하기 위한 SMI도 포함되어 있습니다. 일련의 구성 레지스터를 통해 사용자는 MAC 및 DMA 컨트롤러에 대해 원하는 모드와 기능을 선택할 수 있습니다.

메모: 이더넷을 사용하는 경우 AHB 클록 주파수는 최소 25MHz여야 합니다.

그림 350. ETH 블록 다이어그램



1. AHB 연결의 경우 그림 1: STM32F405xx/07xx용 시스템 아키텍처를 참조하세요.
[STM32F415xx/17xx 장치 및 그림 2: STM32F42xxx 및 STM32F43xxx 장치용 시스템 아키텍처](#).

33.4.1 스테이션 관리 인터페이스: SMI

스테이션 관리 인터페이스(SMI)를 사용하면 애플리케이션이 2선 클록 및 데이터 라인을 통해 모든 PHY 레지스터에 액세스할 수 있습니다. 인터페이스는 최대 32개의 PHY에 대한 액세스를 지원합니다.

애플리케이션은 PHY 내의 32개 PHY 중 하나와 32개 레지스터 중 하나를 선택하고 제어 데이터를 보내거나 상태 정보를 수신할 수 있습니다. 주어진 시간에 하나의 PHY에 있는 하나의 레지스터만 주소를 지정할 수 있습니다.

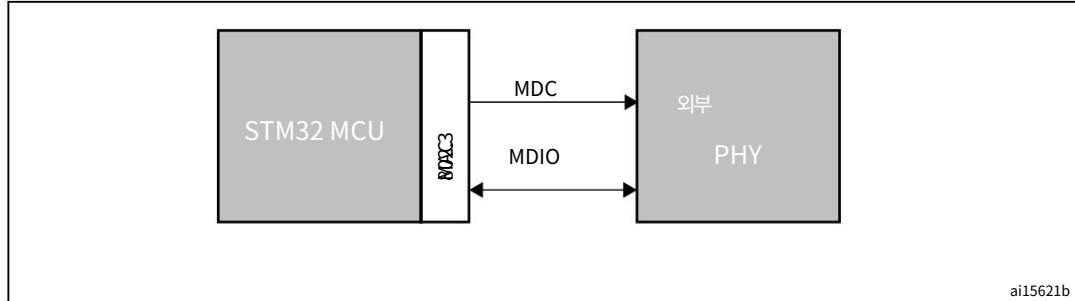
MDC 클록 라인과 MDIO 데이터 라인은 모두 마이크로컨트롤러에서 대체 기능 I/O로 구현됩니다.

- MDC: 최대 주파수 2.5MHz에서 데이터 전송을 위한 타이밍 참조를 제공하는 주기적 클록입니다. MDC의 최소 높음 및 낮음 시간은 다음과 같아야 합니다.

각각 160ns이고 MDC의 최소 기간은 400ns여야 합니다. 유휴 상태에서 SMI 관리 인터페이스는 MDC 클록 신호를 낮게 구동합니다.

- MDIO: MDC 클럭 신호와 동기적으로 PHY 장치와 상태 정보를 전송하기 위한 데이터 입/출력 비트스트림

그림 351. SMI 인터페이스 신호



SMI 프레임 형식

읽기 또는 쓰기 동작과 관련된 프레임 구조는 [표 13과 같으며](#), 비트 전송 순서는 왼쪽에서 오른쪽으로 이루어져야 한다.

표 187. 관리 프레임 형식

	관리 프레임 필드								
	프리앰블(32비트)	작동 시작	PADDR	RADDR	TA	데이터(16비트)			계으른
읽기	1... 1	01	10	ppppp	rrrrr Z0	dddddd	dddddZ		
쓰기	1... 1	01	01	ppppp	rrrrr	10 d	dddddZ		

관리 프레임은 8개의 필드로 구성됩니다.

- 프리앰블: 각 트랜잭션(읽기 또는 쓰기)은 MDC에서 32개의 해당 사이클이 있는 MDIO 라인의 32개 연속 논리 1비트에 해당하는 프리앰블 필드로 시작될 수 있습니다. 이 필드는 PHY 장치와의 동기화를 설정하는 데 사용됩니다.
- 시작: 프레임의 시작은 라인의 기본 논리 1 상태에서 0으로, 그리고 다시 1로의 전환을 확인하기 위해 <01> 패턴으로 정의됩니다.
- 작업: 진행 중인 트랜잭션 유형(읽기 또는 쓰기)을 정의합니다.
- PADDR: PHY 주소는 5비트이며 32개의 고유한 PHY 주소를 허용합니다. MSB 비트 주소는 처음으로 전송되고 수신됩니다.
- RADDR: 레지스터 주소는 5비트이므로 선택한 PHY 장치 내에서 32개의 개별 레지스터를 주소 지정할 수 있습니다. 주소의 MSB 비트가 가장 먼저 전송되고 수신됩니다.
- TA: 턴아라운드 필드는 읽기 트랜잭션 중 경합을 피하기 위해 RADDR과 DATA 필드 사이의 2비트 패턴을 정의합니다. 읽기 트랜잭션의 경우 MAC 컨트롤러는 TA의 2비트에 대해 MDIO 라인에서 높은 임피던스를 구동합니다. PHY 장치는 TA의 첫 번째 비트에서 고임피던스 상태를 구동해야 하며 두 번째 비트에서는 0 비트를 구동해야 합니다.

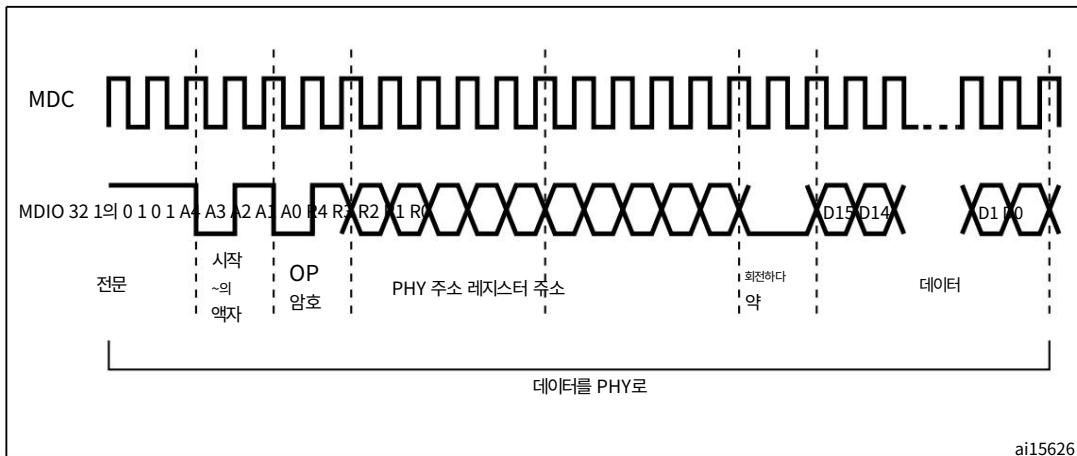
- 쓰기 트랜잭션의 경우 MAC 컨트롤러는 TA 필드 중에 <10> 패턴을 구동합니다.
- PHY 장치는 TA의 2비트에 대해 높은 임피던스 상태를 구동해야 합니다.
- 데이터: 데이터 필드는 16비트입니다. 전송 및 수신되는 첫 번째 비트는 비트 15여야 합니다.
ETH_MIID 등록.
 - 유 휴: MDIO 라인이 고임피던스 상태에서 구동됩니다. 모든 3상태 드라이버는 비활성화되어야 하며 PHY의 풀업 저항은 라인을 로직 1로 유지합니다.

SMI 쓰기 작업

애플리케이션이 MII 쓰기 및 사용 중 비트([이더넷 MAC MII 주소 레지스터\(ETH_MACMIIAR\)에서](#))를 설정하면 SMI는 PHY 주소, PHY의 레지스터 주소 및 쓰기 데이터(에서)를 전송하여 PHY 레지스터에 대한 쓰기 작업을 시작합니다. [이더넷 MAC MII 데이터 레지스터\(ETH_MACMIIDR\)](#) 트랜잭션이 진행되는 동안 애플리케이션은 MII 주소 레지스터 내용 또는 MII 데이터 레지스터를 변경해서는 안 됩니다. 이 기간 동안 MII 주소 레지스터 또는 MII 데이터 레지스터에 대한 쓰기 작업은 무시됩니다. 비트가 높음), 트랜잭션은 오류 없이 완료됩니다. 쓰기 작업이 완료된 후 SMI는 사용 중 비트를 재설정하여 이를 나타냅니다.

[그림 352에서는](#) 쓰기 작업의 프레임 형식을 보여줍니다.

그림 352. MDIO 타이밍 및 프레임 구조 - 쓰기 주기

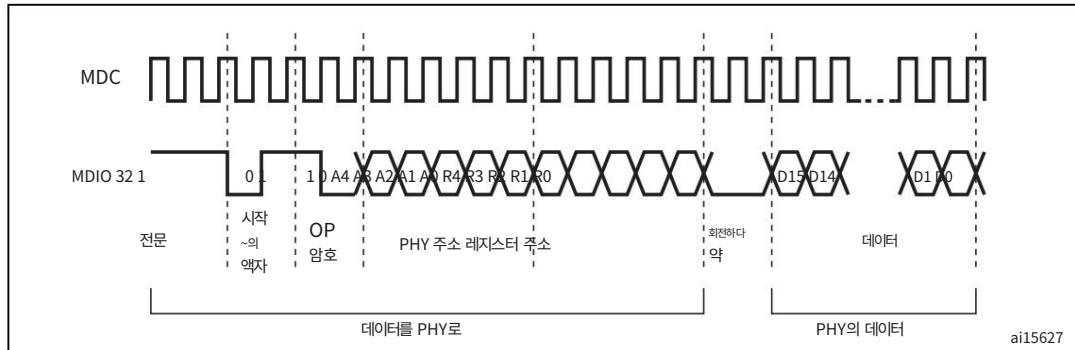


SMI 읽기 작업

사용자가 이더넷 MAC MII 주소 레지스터([ETH_MACMIIAR](#))에서 MII 쓰기 비트를 0으로 설정하면 SMI는 PHY 주소와 PHY의 레지스터 주소를 전송하여 PHY 레지스터에서 읽기 작업을 시작합니다. 애플리케이션은 트랜잭션이 진행되는 동안 MII 주소 레지스터 내용이나 MII 데이터 레지스터를 변경해서는 안 됩니다. 이 기간 동안 MII 주소 레지스터 또는 MII 데이터 레지스터에 대한 쓰기 작업은 무시되고(사용 중 비트가 높음) 트랜잭션은 오류 없이 완료됩니다. 읽기 작업이 완료된 후 SMI는 Busy 비트를 재설정한 다음 PHY에서 읽은 데이터로 MII 데이터 레지스터를 업데이트합니다.

[그림 353에서는](#) 읽기 작업의 프레임 형식을 보여줍니다.

그림 353. MDIO 타이밍 및 프레임 구조 - 읽기 주기



SMI 클록 선택

MAC는 관리 쓰기/읽기 작업을 시작합니다. SMI 클록은 소스가 애플리케이션 클록(AHB 클록)인 분할 클록입니다. 분할 요소는 MII 주소 레지스터의 클럭 범위 설정에 따라 달라집니다.

[표 188은](#) 클럭 범위를 설정하는 방법을 보여줍니다.

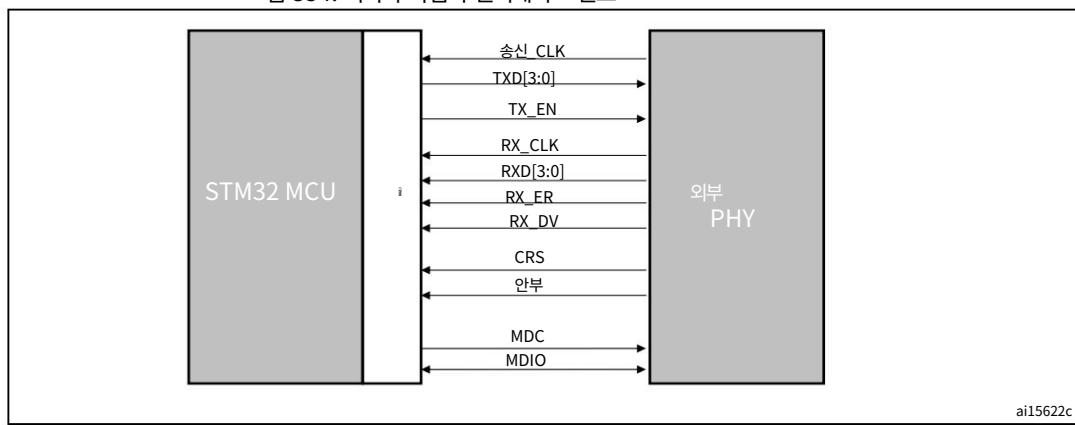
표 188. 클록 범위

선택	HCLK 시계	MDC 시계
000	60~100MHz	AHB 시계 / 42
001	100~150MHz	AHB 시계 / 62
010	20~35MHz	AHB 시계 / 16
011	35~60MHz	AHB 시계 / 26
100	150~180MHz	AHB 시계 / 102
101, 110, 111	예약된	-

33.4.2 미디어 독립적 인터페이스: MII

MII(미디어 독립 인터페이스)는 10Mbit/s 및 100Mbit/s의 데이터 전송을 위해 MAC 하위 계층과 PHY 간의 상호 연결을 정의합니다.

그림 354. 미디어 독립적 인터페이스 신호



- MII_TX_CLK: TX 데이터에 대한 타이밍 참조를 제공하는 연속 클록
옮기다. 공칭 주파수는 10Mbit/s 속도에서 2.5MHz입니다. 100Mbit/s 속도에서 25MHz.
- MII_RX_CLK: RX 데이터에 대한 타이밍 참조를 제공하는 연속 클록
옮기다. 공칭 주파수는 10Mbit/s 속도에서 2.5MHz입니다. 100Mbit/s 속도에서 25MHz.
- MII_TX_EN: 전송 활성화는 MAC가 전송을 위해 MII에 니블을 제공하고 있음을 나타냅니다. 이는 프리앰블의 첫 번째 니블과 동기적으로(MII_TX_CLK) 어설션되어야 하며 전송될 모든 니블이 MII에 제공되는 동안 어설션을 유지해야 합니다.
- MII_TXD[3:0]: 전송 데이터는 MAC 하위 계층에 의해 동기적으로 구동되고 MII_TX_EN 신호의 주장에 대해 검증된 (유효 데이터) 4개의 데이터 신호 묶음입니다.
MII_TXD[0]은 최하위 비트이고, MII_TXD[3]은 최상위 비트입니다. MII_TX_EN이 해제되는 동안 전송 데이터는 PHY에 영향을 미치지 않아야 합니다.
- MII_CRS: 전송 또는 수신 매체가 유휴 상태가 아닐 때 PHY에 의해 반송파 감지가 어설션됩니다. 전송 및 수신 미디어가 모두 유휴 상태일 때 PHY에 의해 선언되지 않습니다. PHY는 충돌 조건이 지속되는 동안 MII_CS 신호가 유지되도록 보장해야 합니다. 이 신호는 TX 및 RX 클록에 대해 동기적으로 전환할 필요가 없습니다. 전이중 모드에서 이 신호의 상태는 MAC 하위 계층을 고려하지 않습니다.
- MII_COL: 매체에서 충돌이 감지되면 PHY가 충돌 감지를 주장해야 하며 충돌 조건이 지속되는 동안 주장을 유지해야 합니다. 이 신호는 TX 및 RX 클록에 대해 동기적으로 전환할 필요가 없습니다.
전이중 모드에서 이 신호의 상태는 MAC 하위 계층을 고려하지 않습니다.
- MII_RXD[3:0]: 수신 데이터는 PHY에 의해 동기식으로 구동되고 MII_RX_DV 신호의 주장에 대해 검증된(유효 데이터) 4개의 데이터 신호 묶음입니다. MII_RXD[0]은 최하위 비트이고, MII_RXD[3]은 최상위 비트입니다.
MII_RX_EN이 선언되지 않고 MII_RX_ER이 선언되는 동안 특정 MII_RXD[3:0] 값은 PHY에서 특정 정보를 전송하는 데 사용됩니다(표 190 참조).
- MII_RX_DV: 유효한 수신 데이터는 PHY가 수신을 위해 MII에 복구 및 디코딩된 니블을 제공하고 있음을 나타냅니다. 이는 프레임의 첫 번째 복구된 니블과 동기적으로(MII_RX_CLK) 어설션되어야 하며 마지막 복구된 니블을 통해 어설션을 유지해야 합니다. 최종 니블 이후의 첫 번째 클록 주기 이전에 어설션 해제되어야 합니다. 프레임을 올바르게 수신하려면 MII_RX_DV 신호가 SFD 필드 이전에 시작하여 프레임을 포함해야 합니다.
- MII_RX_ER: 하나 이상의 클록 기간 동안 수신 오류가 발생해야 합니다.
(MII_RX_CLK)는 프레임 어딘가에서 오류가 감지되었음을 MAC 하위 계층에 나타냅니다. 이 오류 조건은 표 190에 설명된 대로 MII_RX_DV 어설션으로 한정되어야 합니다 .

표 189. TX 인터페이스 신호 인코딩

MII_TX_EN	MII_TXD[3:0]	설명
0	0000부터 1111까지	일반 인터프레임
1	0000부터 1111까지	정상적인 데이터 전송

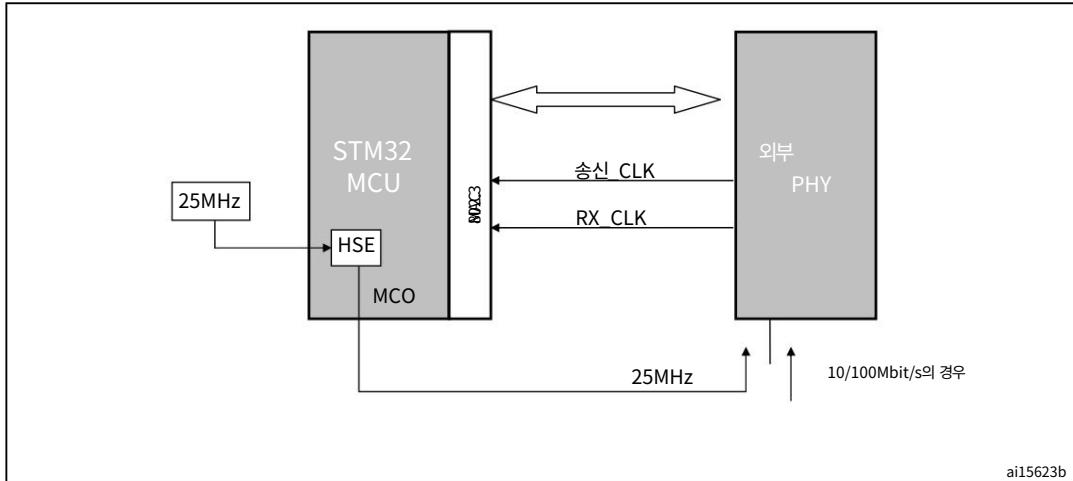
표 190. RX 인터페이스 신호 인코딩

MII_RX_DV	MII_RX_ERR	MII_RXD[3:0]	설명
0	0	0000부터 1111까지	일반 인터프레임
0	1	0000	일반 인터프레임
0	1	0001부터 1101까지	예약된
0	1	1110	거짓 캐리어 표시
0	1	1111	예약된
1	0	0000부터 1111까지	정상적인 데이터 수신
1	1	0000부터 1111까지	오류가 있는 데이터 수신

MII 클록 소스

TX_CLK 및 RX_CLK 클록 신호를 모두 생성하려면 그림 355에 표시된 대로 외부 PHY를 외부 25MHz로 클록해야 합니다. 이 클록을 제공하기 위해 외부 25MHz 석영을 사용하는 대신 STM32F4xx 마이크로 컨트롤러는 이 신호를 MCO 핀에 출력할 수 있습니다. 이 경우 25MHz 외부 석영에서 MCO 핀에 원하는 주파수를 얻을 수 있도록 PLL 곱셈기를 구성해야 합니다.

그림 355. MII 클록 소스



33.4.3 축소된 미디어 독립적 인터페이스: RMII

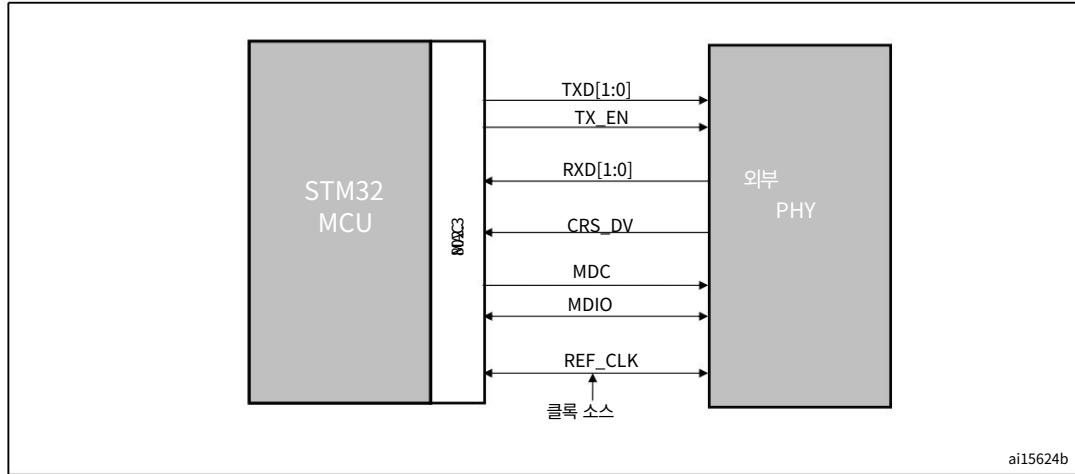
축소된 RMII(미디어 독립 인터페이스) 사양은 마이크로컨트롤러 이더넷 주변 장치와 외부 이더넷 사이의 핀 수를 10/100Mbit/s로 줄입니다.

IEEE 802.3u 표준에 따르면 MII에는 데이터 및 제어용 핀 16개가 포함되어 있습니다. RMII 사양은 핀 수를 7핀으로 줄이는 데 전념합니다(핀 수 62.5% 감소).

RMII는 MAC와 PHY 사이에서 인스턴스화됩니다. 이는 MAC의 MII를 RMII로 변환하는 데 도움이 됩니다. RMII 블록은 다음과 같은 특징을 가지고 있습니다.

- 10Mbit/s 및 100Mbit/s 작동 속도를 지원합니다.
- 클록 참조를 50MHz로 두 배로 늘려야 합니다.
- 동일한 클록 참조는 MAC 및 외부 모두에 대해 외부적으로 소싱되어야 합니다.
- 이더넷 PHY
- 독립적인 2비트 폭(디비트) 전송 및 수신 데이터 경로를 제공합니다.

그림 356. 감소된 미디어 독립적 인터페이스 신호

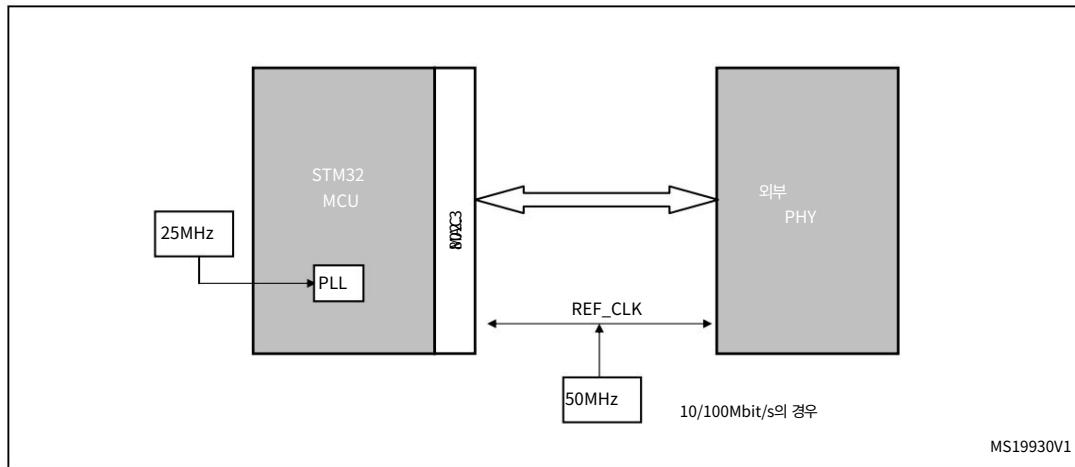


ai15624b

RMII 클록 소스

외부 50MHz 클록에서 PHY를 클록하거나 내장형 PLL이 있는 PHY를 사용하여 50MHz 주파수를 생성하십시오.

그림 357. RMII 클록 소스



MS19930V1

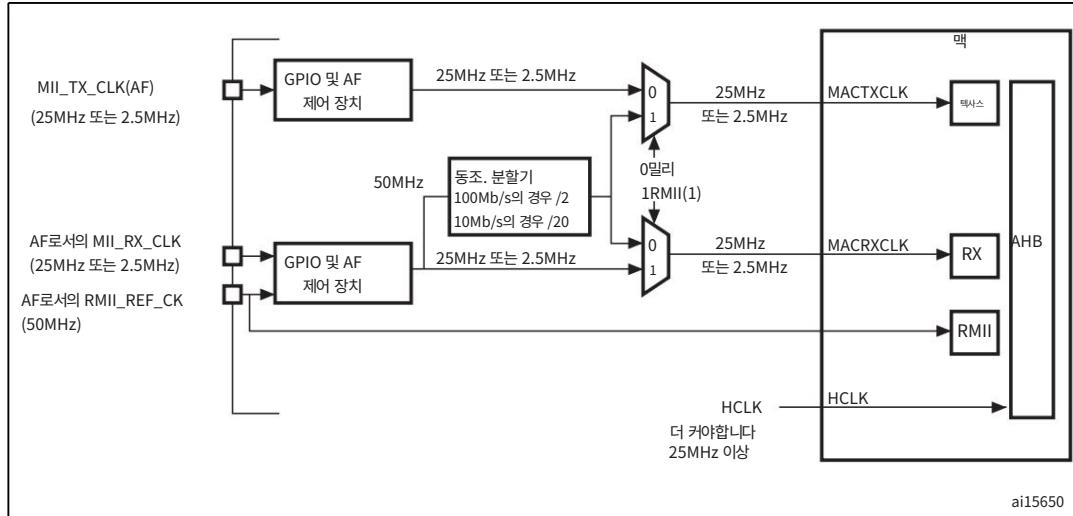
33.4.4 MII/RMII 선택

MII 또는 RMII 모드는 SYSCFG_PMC 레지스터의 구성 비트 23 MII_RMII_SEL을 사용하여 선택됩니다. 애플리케이션은 이더넷 컨트롤러가 재설정 중이거나 시계를 활성화하기 전에 MII/RMII 모드를 설정해야 합니다.

MII/RMII 내부 클록 구성표

MII와 RMII는 물론 10Mbit/s 및 100Mbit/s 작업을 지원하는 데 필요한 클록 구성표가 [그림 358에 설명되어 있습니다.](#)

그림 358. 클록 구성표



1. MII/RMII 선택은 SYSCFG_PMC 레지스터의 비트 23인 MII_RMII_SEL을 통해 제어됩니다.

핀을 저장하기 위해 두 개의 입력 클록 신호 RMII_REF_CK 및 MII_RX_CLK가 동일한 GPIO 핀에 다중화됩니다.

33.5 이더넷 기능 설명: MAC 802.3

LAN(Local Area Network)에 대한 IEEE 802.3 국제 표준은 액세스 방법으로 CSMA/CD(Carrier Sense Multiple Access with Collision Detect)를 사용합니다.

이더넷 주변 장치는 MII(미디어 독립 인터페이스)가 있는 MAC 802.3(미디어 액세스 제어) 컨트롤러와 전용 DMA 컨트롤러로 구성됩니다.

MAC 블록은 베이스밴드 및 광대역 시스템에 대한 10Mbit/s 및 100Mbit/s의 데이터 속도와 같은 시스템 제품군에 대해 LAN CSMA/CD 하위 계층을 구현합니다. 반이중 및 전이중 작동 모드가 지원됩니다. 충돌 감지 접근 방식은 반이중 동작 모드에만 적용됩니다. MAC 제어 프레임 하위 계층이 지원됩니다.

MAC 부계층은 데이터 링크 제어 절차와 관련된 다음 기능을 수행합니다.

- 데이터 캡슐화(전송 및 수신)
 - 프레이밍(프레임 경계 구분, 프레임 동기화)
 - 주소 지정(소스 및 대상 주소 처리)
 - 오류 감지
- 미디어 액세스 관리
 - 중간 할당(충돌 회피)
 - 경합 해결(충돌 처리)

기본적으로 MAC 하위 계층에는 두 가지 작동 모드가 있습니다.

- **반이중 모드:** 스테이션은 CSMA/CD 알고리즘을 사용하여 물리적 매체 사용을 놓고 경쟁합니다.
- **전이중 모드:** 다음 조건이 모두 충족되는 경우 경합 해결 없이 동시 전송 및 수신(CSMA/CD 알고리즘 불필요):
 - 동시 전송 및 수신을 지원하는 물리적 매체 기능
 - LAN에 정확히 2개의 스테이션이 연결됨
 - 두 스테이션 모두 전이중 작업으로 구성됨

33.5.1 MAC 802.3 프레임 형식

MAC 블록은 IEEE 802.3-2002 표준에 자정된 대로 MAC 하위 계층과 선택적 MAC 제어 하위 계층(10/100Mbit/s)을 구현합니다.

CSMA/CD MAC를 사용하는 데이터 통신 시스템에는 두 가지 프레임 형식이 자정됩니다.

- 기본 MAC 프레임 형식
- 태그된 MAC 프레임 형식(기본 MAC 프레임 형식의 확장)

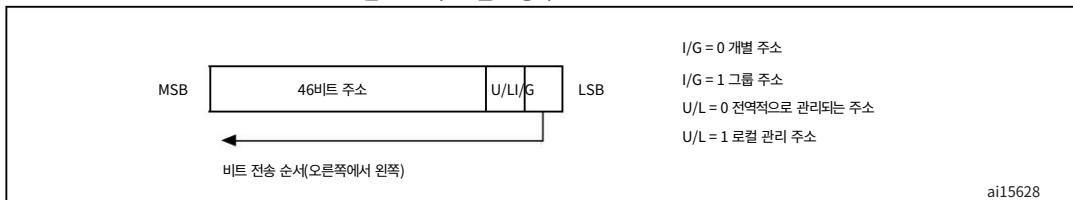
[그림 360](#) 및 [그림 361](#)에서는 다음 필드를 포함하는 프레임 구조(태그 없음 및 태그 있음)를 설명합니다.

- **프리앰블:** 동기화 목적으로 사용되는 7바이트 필드(PLS 회로)
16진수 값: 55-55-55-55-55-55
비트 패턴: 01010101 01010101 01010101 01010101 01010101 01010101 (오른쪽에서 왼쪽으로 비트 전송)
- **SFD(Start Frame Delimiter):** 프레임의 시작을 나타내는 데 사용되는 1바이트 필드입니다.
16진수 값: D5
비트 패턴: 11010101(오른쪽에서 왼쪽으로 비트 전송)
- **대상 및 소스 주소 필드:** 다음과 같이 대상 및 소스 스테이션 주소를 나타내는 6바이트 필드입니다([그림 359](#) 참조).
 - 각 주소의 길이는 48비트입니다.
 - 대상 주소 필드의 첫 번째 LSB 비트(I/G)는 다음을 나타내는 데 사용됩니다.
개인(I/G = 0) 또는 그룹 주소(I/G = 1)입니다. 그룹 주소는 LAN에 연결된 스테이션을 전혀 식별하지 않거나 하나 이상 또는 모든 스테이션을 식별할 수 있습니다. 소스 주소에서 첫 번째 비트는 예약되어 있으며 0으로 재설정됩니다.
 - 두 번째 비트(U/L)는 로컬(U/L = 1) 또는 전역(U/L = 0) 관리 주소를 구별합니다. 브로드캐스트 주소의 경우 이 비트도 1입니다.
 - 각 주소 필드의 각 바이트는 최하위 비트부터 먼저 전송되어야 합니다.

주소 지정은 다음 유형을 기반으로 합니다.

- **개별 주소:** 네트워크의 특정 스테이션과 관련된 물리적 주소입니다.
- **그룹 주소:** 하나 이상의 스테이션과 연결된 다중 대상 주소
주어진 네트워크 멀티캐스트 주소에는 두 가지 종류가 있습니다.
 - 멀티캐스트 그룹 주소: 논리적으로 연관된 그룹과 연관된 주소 역.
 - 브로드캐스트 주소: 항상 특정 LAN의 모든 스테이션을 나타내는 구별되고 미리 정의된 멀티캐스트 주소(대상 주소 필드의 모두 1)입니다.

그림 359. 주소 필드 형식



- QTag Prefix: 소스 주소 필드와 MAC 클라이언트 길이/유형 필드 사이에 삽입된 4바이트 필드입니다. 이 필드는 태그된 MAC 프레임을 얻기 위한 기본 프레임(태그 없음)의 확장입니다. 태그가 지정되지 않은 MAC 프레임에는 이 필드가 포함되지 않습니다. 태그 확장은 다음과 같습니다.

- 유형 해석과 일치하는 2바이트 상수 길이/유형 필드 값

(0x0600보다 큼)은 802.1Q 태그 프로토콜 유형(0x8100 16진수)의 값과 같습니다. 이 상수 필드는 태그가 지정된 MAC 프레임과 태그가 지정되지 않은 MAC 프레임을 구별하는 데 사용됩니다.

- 태그 제어 정보 필드를 포함하는 2바이트 필드는 다음과 같이 세분화됩니다.

비트 사용자 우선 순위, CFI(표준 형식 표시기) 비트 및 12비트 VLAN 식별자.

태그된 MAC 프레임의 길이는 QTag 접두사에 의해 4바이트로 확장됩니다.

- MAC 클라이언트 길이/유형: 해당 값에 따라 의미가 다른(상호 배타적) 2바이트 필드입니다.

- 값이 maxValidFrame(0d1500)보다 작거나 같은 경우 이 필드는

802.3 프레임의 후속 데이터 필드에 포함된 MAC 클라이언트 데이터 바이트 수를 나타냅니다(길이 해석).

- 값이 MinTypeValue(십진수 0d1536, 0x0600)보다 크거나 같은 경우

이 필드는 이더넷 프레임과 관련된 MAC 클라이언트 프로토콜(유형 해석)의 특성을 나타냅니다.

길이/유형 필드의 해석과 관계없이 데이터 필드의 길이가 프로토콜의 올바른 작동에 필요한 최소값보다 작으면 데이터 필드 뒤, FCS(프레임 검사 시퀀스) 앞에 PAD 필드가 추가됩니다. 필드. 길이/유형 필드는 상위 바이트부터 먼저 전송 및 수신됩니다.

maxValidLength와 minTypeValue(경계 제외) 사이 범위의 길이/유형 필드 값의 경우 MAC 하위 계층의 동작이 지정되지 않습니다. MAC 하위 계층에 의해 전달되거나 전달되지 않을 수 있습니다.

- 데이터 및 PAD 필드: n바이트 데이터 필드입니다. 완전한 데이터 투명성이 제공됩니다. 이는 임의의 바이트 값 시퀀스가 데이터 필드에 나타날 수 있음을 의미합니다. PAD의 크기는 데이터 필드의 크기에 따라 결정됩니다. 데이터 및 PAD 필드의 최대 및 최소 길이는 다음과 같습니다.

- 최대 길이 = 1500바이트

- 태그가 지정되지 않은 MAC 프레임의 최소 길이 = 46바이트

- 태그된 MAC 프레임의 최소 길이 = 42바이트

데이터 필드 길이가 필요한 최소 길이보다 작으면 최소 길이(태그된 프레임의 경우 42바이트, 태그 없는 프레임의 경우 46바이트)와 일치하도록 PAD 필드가 추가됩니다.

- 프레임 검사 순서: CRC(순환 중복 검사) 값을 포함하는 4바이트 필드입니다. CRC 계산은 소스 주소, 대상 주소, QTag 접두사, 길이/유형, LLC 데이터 및 PAD(즉, 프리앰블, SFD를 제외한 모든 필드)를 기반으로 합니다. 생성 다행식은 다음과 같습니다:

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4$$

RM0090

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

프레임의 CRC 값은 다음과 같이 계산됩니다. • 프레임의 처음 2비트는 보수입니다.

• 프레임의 n비트는 차수($n - 1$)의 다항식 $M(x)$ 의 계수입니다. 대상 주소의 첫 번째

비트는 x_{n-1} 항에 해당하고 데이터 필드의 마지막 비트는 x_0 항에 해당합니다. • $M(x)$ 에 x^{32} 를 곱하고 $G(x)$ 로 나누어 나머지 $R(x)$ 를 생성합니다.)
학위

 ≤ 31

• $R(x)$ 의 계수는 32비트 시퀀스로 간주됩니다. • 비트 시퀀스가 보수되고 결과는 CRC

입니다. • CRC 값의 32비트가 프레임 체크 시퀀스에 배치됩니다. x^{32} 용어는 다음과 같습니다.

처음 전송된 x_0 항은 마지막 항입니다.

그림 360. MAC 프레임 형식

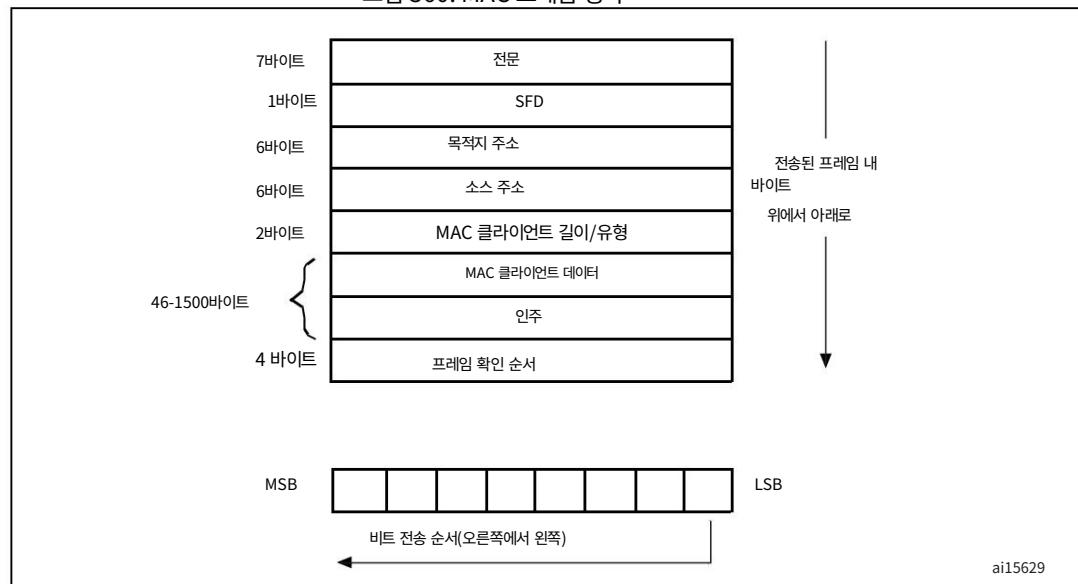
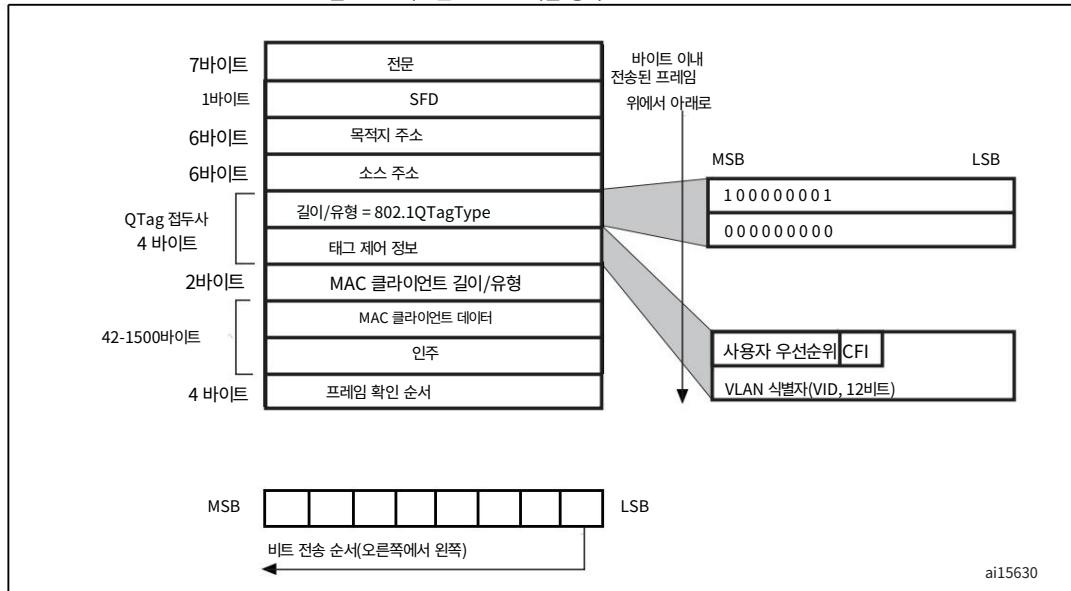


그림 361. 태그된 MAC 프레임 형식



FCS 필드를 제외한 MAC 프레임의 각 바이트는 하위 비트부터 먼저 전송됩니다.

잘못된 MAC 프레임은 다음 조건 중 하나로 정의됩니다.

- 프레임 길이가 길이/유형 필드에 지정된 예상 값과 일치하지 않습니다. 길이/유형 필드에 유형 값이 포함된 경우 프레임 길이는 이 필드와 일치하는 것으로 간주됩니다(잘못된 프레임 없음).
- 프레임 길이가 정수 바이트(추가 비트)가 아닙니다.
- 수신 프레임에서 계산된 CRC 값이 포함된 FCS와 일치하지 않습니다.

33.5.2 MAC 프레임 전송

DMA는 전송 경로에 대한 모든 트랜잭션을 제어합니다. 시스템 메모리에서 읽은 이더넷 프레임은 DMA에 의해 FIFO로 푸시됩니다. 그런 다음 프레임이 튕어 나와 MAC 코어로 전송됩니다. 프레임 끝이 전송되면 전송 상태가 MAC 코어에서 가져와 DMA로 다시 전송됩니다. 전송 FIFO의 깊이는 2KB입니다. FIFO 채우기 레벨은 DMA에 표시되므로 AHB 인터페이스를 사용하여 시스템 메모리에서 필요한 버스트의 데이터 가져오기를 시작할 수 있습니다. AHB 마스터 인터페이스의 데이터가 FIFO로 푸시됩니다.

SOF가 감지되면 MAC는 데이터를 수락하고 MII로 전송을 시작합니다. 애플리케이션이 전송을 시작한 후 프레임 데이터를 MII로 전송하는 데 필요한 시간은 IFG 자연, 프리앰블/SFD 전송 시간, 반이중 모드의 백오프 자연과 같은 자연 요인에 따라 달라집니다. EOF가 MAC 코어로 전달된 후 코어는 정상적인 전송을 완료하고 전송 상태를 다시 DMA에 전달합니다. 전송 중에 정상적인 충돌(반이중 모드에서)이 발생하면 MAC 코어는 전송 상태를 유효하게 만든 다음 다음 SOF가 수신될 때 까지 모든 추가 데이터를 수락하고 삭제합니다. MAC의 재시도 요청(상태)을 관찰하면 동일한 프레임을 SOF에서 재전송해야 합니다. MAC은 전송 중에 데이터가 지속적으로 제공되지 않으면 언더플로 상태를 발생시킵니다. 프레임의 정상적인 전송 중에 MAC이 이전 프레임에 대한 EOF를 얻지 않고 SOF를 수신하면 SOF는 무시되고 새 프레임은 이전 프레임의 연속으로 간주됩니다.

MAC 코어를 향해 데이터를 팝하는 작업에는 두 가지 모드가 있습니다.

- 임계값 모드에서는 FIFO의 바이트 수가 구성된 임계값 레벨을 초과하는 즉시(또는 임계값을 초과하기 전에 프레임 끝이 기록되는 경우) 데이터가 팝업되어 MAC으로 전달될 준비가 됩니다. 핵심. 임계값 레벨은 ETH_DMABMR의 TTC 비트를 사용하여 구성됩니다.
- 저장 및 전달 모드에서는 전체 프레임이 FIFO에 저장된 후에만 프레임이 MAC 코어를 향해 팝됩니다. Tx FIFO 크기가 전송될 이더넷 프레임보다 작은 경우 Tx FIFO가 거의 가득 차면 프레임이 MAC 코어 쪽으로 팝됩니다.

애플리케이션은 FTF(ETH_DMAOMR 레지스터 [20]) 비트를 설정하여 모든 내용의 전송 FIFO를 플러시할 수 있습니다. 이 비트는 자체적으로 자워지며 FIFO 포인터를 기본 상태로 초기화합니다. MAC 코어로의 프레임 전송 중에 FTF 비트가 설정되면 FIFO가 비어 있는 것으로 간주되므로 전송이 중지됩니다. 따라서 MAC 송신기에서 언더플로우 이벤트가 발생하고 해당 상태 워드가 DMA로 전달됩니다.

자동 CRC 및 패드 생성

애플리케이션에서 수신된 바이트 수가 60(DA+SA+LT+데이터) 미만으로 떨어지면 전송 프레임에 0이 추가되어 IEEE 802.3의 최소 데이터 필드 요구 사항을 충족하도록 데이터 길이를 정확히 46바이트로 만듭니다. MAC은 패딩을 추가하지 않도록 프로그래밍할 수 있습니다. FCS(프레임 검사 시퀀스) 필드에 대한 CRC(순환 중복 검사)가 계산되어 전송되는 데이터에 추가됩니다. MAC가 이더넷 프레임 끝에 CRC 값을 추가하지 않도록 프로그래밍된 경우 계산된 CRC는 전송되지 않습니다. 이 규칙의 예외는 MAC가 60바이트 미만의 프레임(DA+SA+LT+Data)에 대해 패드를 추가하도록 프로그래밍된 경우 CRC가 패딩된 프레임의 끝에 추가된다는 것입니다.

CRC 생성기는 이더넷 프레임의 FCS 필드에 대한 32비트 CRC를 계산합니다. 인코딩은 다음 다항식으로 정의됩니다.

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2$$

전송 프로토콜

MAC은 이더넷 프레임 전송 동작을 제어합니다. IEEE 802.3/802.3z 사양을 충족하기 위해 다음 기능을 수행합니다.
그것:

- 프리앰블과 SFD를 생성합니다.
- 반이중 모드에서 용지 걸림 패턴을 생성합니다.
- Jabber 시간 초과를 제어합니다.
- 반이중 모드(배압)의 흐름을 제어합니다.
- 전송 프레임 상태를 생성합니다.
- IEEE 1588에 따른 타임스탬프 스냅샷 로직을 포함합니다.

새로운 프레임 전송이 요청되면 MAC은 프리앰블과 SFD를 보낸 다음 데이터를 보냅니다. 프리앰블은 0b10101010 패턴의 7바이트로 정의되고, SFD는 0b10101011 패턴의 1바이트로 정의된다. 총돌 창은 1 슬롯 시간(10/100 Mbit/s 이더넷의 경우 512비트 시간)으로 정의됩니다. 걸림 패턴 생성은 Half-duplex 모드에만 적용 가능하며 Full-duplex 모드에는 적용되지 않습니다.

MII 모드에서는 프레임 시작부터 CRC 필드 끝까지 충돌이 발생하면 MAC은 MII에 0x5555 5555의 32비트 점 패턴을 전송하여 모든 충돌을 알립니다.

충돌이 발생한 다른 역. 프리앰블 전송 단계에서 충돌이 발견되면 MAC은 프리앰블과 SFD 전송을 완료한 후 잼 패턴을 보냅니다.

2048(기본) 바이트 이상을 전송해야 하는 경우 이더넷 프레임의 전송을 차단하기 위해 재버 타이머가 유지됩니다. MAC는 반이중 모드에서 흐름 제어(배압)를 위해 지역 메커니즘을 사용합니다. 응용 프로그램이 프레임 수신 중지를 요청하면 전송 흐름 제어가 활성화된 경우 MAC은 프레임 수신을 감지할 때마다 32바이트의 JAM 패턴을 보냅니다. 이로 인해 충돌이 발생하고 원격 스테이션이 뒤로 물러납니다. 애플리케이션은 ETH_MACFCR 레지스터에 BPA 비트(비트 0)를 설정하여 흐름 제어를 요청합니다. 애플리케이션이 프레임 전송을 요청하면 백 프레셔가 활성화된 경우에도 해당 프레임이 예약되어 전송됩니다. 배압이 오랫동안 활성화된 상태로 유지되면(16회 이상의 연속 충돌 발생) 원격 스테이션은 과도한 충돌로 인해 전송을 중단합니다. 전송 프레임에 대해 IEEE 1588 타임스탬프가 활성화된 경우 이 블록은 SFD가 전송 MII 버스에 배치될 때 시스템 시간의 스냅샷을 찍습니다.

전송 스케줄러

MAC은 MII에서 프레임 전송을 예약하는 역할을 담당합니다. 전송된 두 프레임 사이의 프레임 간 간격을 유지하고 반이중 모드에 대한 잘린 이진 지수 백오프 알고리즘을 따릅니다. MAC는 IFG 및 백오프 지역을 만족한 후 전송을 활성화합니다. 이는 전송된 두 프레임 사이에 구성된 프레임 간 간격(ETH_MACCR 레지스터의 IFG 비트)의 유후 기간을 유지합니다. 전송될 프레임이 구성된 IFG 시간보다 빨리 도착하면 MII는 전송을 시작하기 전에 MAC의 활성화 신호를 기다립니다. MAC은 MII의 반송파 신호가 비활성화되자마자 IFG 카운터를 시작합니다. 프로그래밍된 IFG 값이 끝나면 MAC은 전이중 모드로 전송을 활성화합니다. 반이중 모드와 IFG가 96비트 시간으로 구성된 경우 MAC은 IEEE 802.3 사양의 섹션 4.2.3.2.1에 지정된 참조 규칙을 따릅니다. IFG 간격의 처음 2/3(모든 IFG 값에 대해 64비트 시간) 동안 반송파가 감지되면 MAC는 IFG 카운터를 재설정합니다. IFG 간격의 마지막 1/3 동안 반송파가 감지되면 MAC는 IFG 카운트를 계속하고 IFG 간격 후에 송신기를 활성화합니다. MAC는 반이중 모드에서 작동할 때 잘린 이진 지수 백오프 알고리즘을 구현합니다.

전송 흐름 제어

전송 흐름 제어 활성화 비트(ETH_MACFCR의 TFE 비트)가 설정되면 MAC는 일시 중지 프레임을 생성하고 필요에 따라 전이중 모드에서 전송합니다. Pause 프레임에는 계산된 CRC가 추가되어 전송됩니다. 일시정지 프레임 생성은 두 가지 방법으로 시작될 수 있습니다.

애플리케이션이 ETH_MACFCR 레지스터에 FCB 비트를 설정하거나 수신 FIFO가 가득 찻을 때(패킷 버퍼) 일시 중지 프레임이 전송됩니다.

- 애플리케이션이 ETH_MACFCR에 FCB 비트를 설정하여 흐름 제어를 요청한 경우 MAC은 단일 일시 중지 프레임을 생성하고 전송합니다. 생성된 프레임의 일시 정지 시간 값에는 ETH_MACFCR에 프로그래밍된 일시 정지 시간 값이 포함됩니다. 이전에 전송된 Pause 프레임에 지정된 시간 이전에 Pause를 연장하거나 Pause를 종료하려면 애플리케이션은 Pause Time 값(ETH_MACFCR 레지스터의 PT)을 적절한 값으로 프로그래밍한 후 다른 Pause 프레임 전송을 요청해야 합니다.
- 수신 FIFO가 가득 찼을 때 애플리케이션이 흐름 제어를 요청한 경우 MAC은 Pause 프레임을 생성하고 전송합니다. 생성된 프레임의 일시 정지 시간 값은 ETH_MACFCR에 프로그래밍된 일시 정지 시간 값입니다. FIFO를 수신하는 경우

이 일시 중지 시간이 다 떨어지기 전에 구성 가능한 슬롯 시간(ETH_MACFCR의 PLT 비트) 수만큼 가득 차 있으면 두 번째 일시 중지 프레임이 전송됩니다. 수신 FIFO가 가득 차 있는 한 프로세스가 반복됩니다. 샘플링 시간 이전에 이 조건이 더 이상 충족되지 않으면 MAC는 수신 버퍼가 새 데이터 프레임을 수신할 준비가 되었음을 원격 엔드에 알리기 위해 일시 중지 시간이 0인 일시 중지 프레임을 전송합니다.

단일 패킷 전송 작업

전송 작업의 일반적인 이벤트 순서는 다음과 같습니다.

1. 시스템에 전송할 데이터가 있는 경우 DMA 컨트롤러는 AHB 마스터 인터페이스를 통해 메모리에서 해당 데이터를 가져와 FIFO로 전달하기 시작합니다. 프레임의 끝이 전송될 때까지 계속해서 데이터를 수신합니다.
2. 임계값 레벨이 초과되거나 전체 데이터 패킷이 FIFO에 수신되면, 프레임 데이터가 팝되어 MAC 코어로 구동됩니다. DMA는 완전한 패킷이 MAC으로 전송될 때까지 FIFO에서 계속 데이터를 전송합니다. 프레임이 완료되면 DMA 컨트롤러는 MAC에서 들어오는 상태로 알림을 받습니다.

전송 작업 - 버퍼에 있는 패킷 2개

1. DMA는 설명자 상태를 호스트에 공개하기 전에 업데이트해야 하기 때문에 전송 FIFO 내부에는 최대 2개의 프레임이 있을 수 있습니다. 두 번째 프레임은 DMA에서 가져와서 OSF(두 번째 프레임에서 작동) 비트가 설정된 경우에만 FIFO에 넣습니다. 이 비트가 설정되지 않은 경우 MAC이 프레임을 완전히 처리하고 DMA가 설명자를 해제한 후에만 다음 프레임을 메모리에서 가져옵니다.
2. OSF 비트가 설정되면 DMA는 첫 번째 프레임을 FIFO로 전송한 후 즉시 두 번째 프레임을 가져오기 시작합니다. 상태가 업데이트될 때까지 기다리지 않습니다. 그 사이에 첫 번째 프레임이 전송되는 동안 두 번째 프레임이 FIFO로 수신됩니다. 첫 번째 프레임이 전송되고 MAC에서 상태가 수신되자마자 DMA로 푸시됩니다. DMA가 FIFO로 두 번째 패킷 전송을 이미 완료한 경우 두 번째 전송은 다음 프레임으로 진행하기 전에 첫 번째 패킷의 상태를 기다려야 합니다.

충돌 중 재전송

프레임이 MAC으로 전송되는 동안 Half-duplex 모드의 MAC 라인 인터페이스에서 충돌 이벤트가 발생할 수 있습니다. 그런 다음 MAC은 프레임 끝이 수신되기 전에도 상태를 제공하여 재시도를 나타냅니다. 그런 다음 재전송이 활성화되고 프레임이 FIFO에서 다시 팝아웃됩니다. 96바이트 이상이 MAC 코어로 팝된 후 FIFO 컨트롤러는 해당 공간을 확보하고 DMA에서 더 많은 데이터를 푸시할 수 있도록 합니다. 이는 이 임계값을 초과하거나 MAC 코어가 늦은 충돌 이벤트를 나타내는 경우 재전송이 불가능함을 의미합니다.

FIFO 플러시 작업 전송

MAC는 작동 모드 레지스터의 비트 20을 사용하여 전송 FIFO를 플러시하는 제어 기능을 소프트웨어에 제공합니다. Flush 작업은 즉시 수행되며 Tx FIFO가 MAC Core로 프레임을 전송하는 도중에도 Tx FIFO 및 해당 포인터가 초기 상태로 지워집니다. 이로 인해 MAC 송신기에서 언더플로 이벤트가 발생하고 프레임 전송이 중단됩니다. 이러한 프레임의 상태는 언더플로우 및 프레임 플러시 이벤트(TDES0 비트 13 및 1)로 표시됩니다. 플러시 작업 중에는 애플리케이션(DMA)에서 FIFO로 데이터가 들어오지 않습니다. 전송 전송 상태 워드는 플러시된 프레임 수(부분 프레임 포함)에 대해 애플리케이션으로 전송됩니다. 완전히 플러시된 프레임에는 프레임 플러시 상태 비트(TDES0 13)가 설정되어 있습니다. 애플리케이션(DMA)이 모든 사항을 수락하면 Flush 작업이 완료됩니다.

플러시된 프레임의 상태 단어입니다. 그런 다음 전송 FIFO 플러시 제어 레지스터 비트가 지워집니다. 이 시점에서 애플리케이션(DMA)의 새 프레임이 허용됩니다. 플러시 작업 후 전송을 위해 제시된 모든 데이터는 SOF 마커로 시작하지 않는 한 삭제됩니다.

상태 워드 전송

MAC 코어로의 이더넷 프레임 전송이 끝나고 코어가 프레임 전송을 완료한 후 전송 상태가 애플리케이션에 제공됩니다. 전송 상태에 대한 자세한 설명은 TDES0의 비트[23:0]과 동일합니다. IEEE 1588 타임스탬프가 활성화된 경우 특정 프레임의 64비트 타임스탬프가 전송 상태와 함께 반환됩니다.

체크섬 오프로드 전송

TCP 및 UDP와 같은 통신 프로토콜은 네트워크를 통해 전송되는 데이터의 무결성을 확인하는 데 도움이 되는 체크섬 필드를 구현합니다. 이더넷의 가장 널리 사용되는 용도는 TCP 및 UDP over IP 데이터그램을 캡슐화하는 것으로 이더넷 컨트롤러에는 전송 경로에 체크섬 계산 및 삽입, 수신 경로에 오류 감지를 지원하는 전송 체크섬 오프로드 기능이 있습니다. 이 섹션에서는 전송된 프레임에 대한 체크섬 오프로드 기능의 작동을 설명합니다.

메모:

TCP, UDP 또는 ICMP에 대한 체크섬은 전체 프레임에 대해 계산된 다음 해당 헤더 필드에 삽입됩니다. 이러한 요구 사항으로 인해 이 기능은 전송 FIFO가 저장 및 전달 모드로 구성된 경우(즉, TSF 비트가 ETH_ETH_DMAOMR 레지스터에 설정된 경우)에만 활성화됩니다. 코어가 임계값(첫스루) 모드로 구성된 경우 전송 체크섬 오프로드가 우회됩니다.

해당 프레임이 MAC Core 송신기로 전송되기 전에 전송 FIFO가 전체 프레임을 저장할 수 있을 만큼 충분히 깊은지 확인해야 합니다. FIFO 깊이가 입력 이더넷 프레임 크기보다 작으면 저장 및 전달 모드에서도 페이로드(TCP/UDP/ICMP) 체크섬 삽입 기능이 우회되고 프레임의 IPv4 헤더 체크섬만 수정됩니다.

전송 체크섬 오프로드는 두 가지 유형의 체크섬 계산 및 삽입을 지원합니다.

이 체크섬은 CIC 비트(TDES0 : 전송 설명자 Word0에 설명된 TDES0의 비트 27:23)를 설정하여 각 프레임에 대해 제어할 수 있습니다.

IPv4, TCP, UDP, ICMP, IPv6 및 ICMPv6 패킷 헤더 사양에 대한 IETF 사양 RFC 791, RFC 793, RFC 768, RFC 792, RFC 2460 및 RFC 4443을 각각 참조하세요.

- IP 헤더 체크섬

IPv4 데이터그램에서 헤더 필드의 무결성을 16비트 헤더 체크섬 필드(IPv4 데이터그램의 11번째 및 12번째 바이트)로 표시합니다. 체크섬 오프로드는 이더넷 프레임의 유형 필드 값이 0x0800이고 IP 데이터그램의 버전 필드 값이 0x4인 경우 IPv4 데이터그램을 감지합니다. 계산 중에는 입력 프레임의 체크섬 필드가 무시되고 계산된 값으로 대체됩니다. IPv6 헤더에는 체크섬 필드가 없습니다. 따라서 체크섬 오프로드는 IPv6 헤더 필드를 수정하지 않습니다. 이 IP 헤더 체크섬 계산 결과는 전송 상태(비트 16)의 IP 헤더 오류 상태 비트로 표시됩니다. 이 상태 비트는 이더넷 유형 필드와 IP 헤더의 버전 필드 값이 일치하지 않을 때마다 또는 이더넷 프레임에 데이터가 충분하지 않을 때 설정됩니다.

IP 헤더 길이 필드. 즉, 이 비트는 다음과 같은 상황에서 IP 헤더 오류가 발생하면 설정됩니다.

a) IPv4 데이터그램의 경우:

- 수신된 이더넷 유형은 0x0800이지만 IP 헤더의 버전 필드는 0x0800이 아닙니다.
0x4와 같음

- IPv4 헤더 길이 필드는 0x5(20바이트)보다 작은 값을 나타냅니다.
- 총 프레임 길이가 IPv4 헤더 길이 필드에 지정된 값보다 작습니다.

b) IPv6 데이터그램의 경우:

- 이더넷 유형은 0x86DD이지만 IP 헤더 버전 필드는 0x6과 다릅니다. - 프레임은 IPv6 헤더(40바이트) 또는 확장 헤더(확장 헤더의 해당 헤더 길이 필드에 제공됨)가 완전히 수신되기 전에 끝납니다. 체크섬 오프로드가 이러한 IP 헤더 오류를 감지하더라도 이더넷 유형 필드가 IPv4 페이로드를 나타내는 경우 IPv4 헤더 체크섬을 삽입합니다.

• TCP/UDP/ICMP 체크섬

TCP/UDP/ICMP 체크섬은 IPv4 또는 IPv6 헤더(확장 헤더 포함)를 처리하고 캡슐화된 페이로드가 TCP, UDP 또는 ICMP인지 결정합니다.

참고 사항:

a) 비TCP, -UDP 또는 -ICMP/ICMPv6 페이로드의 경우 이 체크섬은 우회되고 프레임에서 더 이상 수정되지 않습니다.

b) 단편화된 IP 프레임(IPv4 또는 IPv6), 보안 기능(예: 인증 헤더 또는 캡슐화된 보안 페이로드)이 있는 IP 프레임, 라우팅 헤더가 있는 IPv6 프레임은 우회되고 체크섬으로 처리되지 않습니다.

체크섬은 TCP, UDP 또는 ICMP 페이로드에 대해 계산되어 헤더의 해당 필드에 삽입됩니다. 다음 두 가지 모드로 작동할 수 있습니다.

- 첫 번째 모드에서는 TCP, UDP 또는 ICMPv6 의사 헤더가 체크섬 계산에 포함되지 않으며 입력 프레임의 체크섬 필드에 있는 것으로 가정됩니다. 체크섬 필드는 체크섬 계산에 포함된 다음 최종 계산된 체크섬으로 대체됩니다.

- 두 번째 모드에서는 체크섬 필드가 무시되고 TCP, UDP 또는 ICMPv6 의사 헤더 데이터가 체크섬 계산에 포함되며 체크섬 필드는 최종 계산된 값으로 덮어쓰여집니다.

참고: ICMP-over-IPv4 패킷의 경우 ICMP 패킷의 체크섬 필드는 두 모드 모두에서 항상 0x0000이어야 합니다. 해당 패킷에 대해 의사 헤더가 정의되지 않기 때문입니다. 0x0000과 같지 않으면 잘못된 체크섬이 패킷에 삽입될 수 있습니다.

이 작업의 결과는 전송 상태 벡터(비트 12)의 페이로드 체크섬 오류 상태 비트로 표시됩니다. 다음 중 하나가 감지되면 페이로드 체크섬 오류 상태 비트가 설정됩니다.

- 프레임 끝이 FIFO에 기록되지 않고 저장 및 전달 모드에서 MAC 송신기로 전달되었습니다.

- 패킷은 페이로드 길이 필드에 표시된 바이트 수 이전에 끝납니다.
IP 헤더가 수신되었습니다.

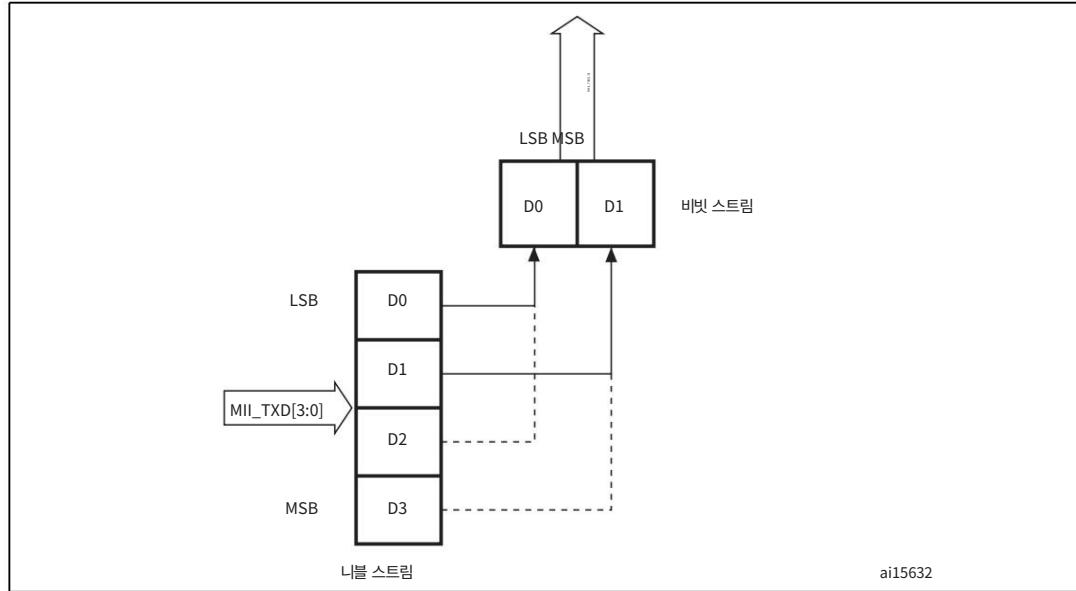
패킷이 표시된 페이로드 길이보다 길면 바이트가 스터프 바이트로 무시되고 오류가 보고되지 않습니다. 첫 번째 유형의 오류가 감지되면 TCP,

UDP 또는 ICMP 헤더는 수정되지 않습니다. 두 번째 오류 유형의 경우 계산된 체크섬이 해당 헤더 필드에 삽입됩니다.

MII/RMII 전송 비트 순서

MII의 각 니블은 그림 362에 표시된 이중비트 전송 순서에 따라 한 번에 한 쌍씩 RMII에 전송됩니다. 하위 비트(D1 및 D0)가 먼저 전송되고 그 다음 상위 비트(D2 및 D3)가 전송됩니다.

그림 362. 전송 비트 순서



MII/RMII 전송 타이밍 다이어그램

그림 363. 충돌 없이 전송

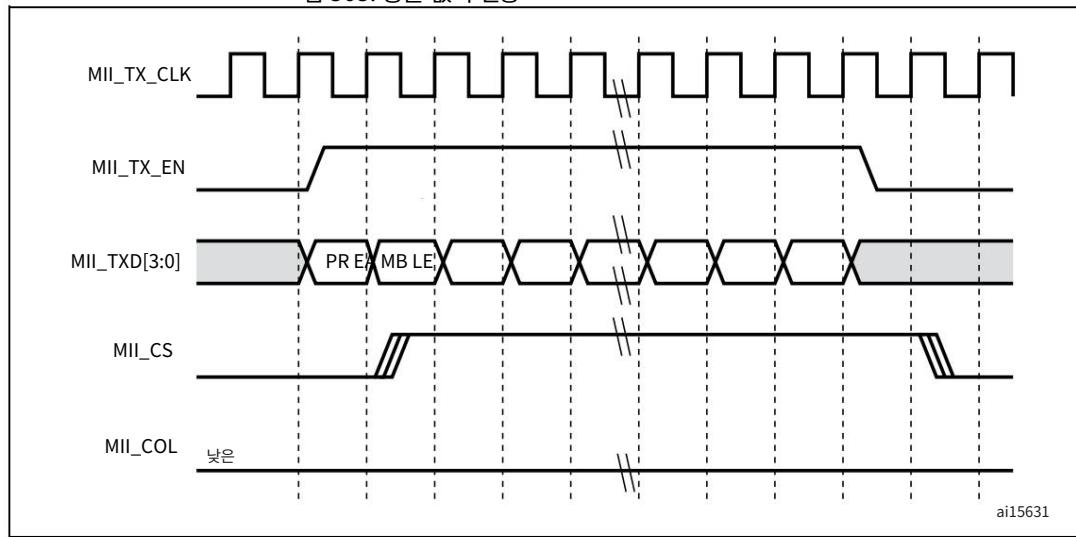


그림 364. 충돌이 있는 전송

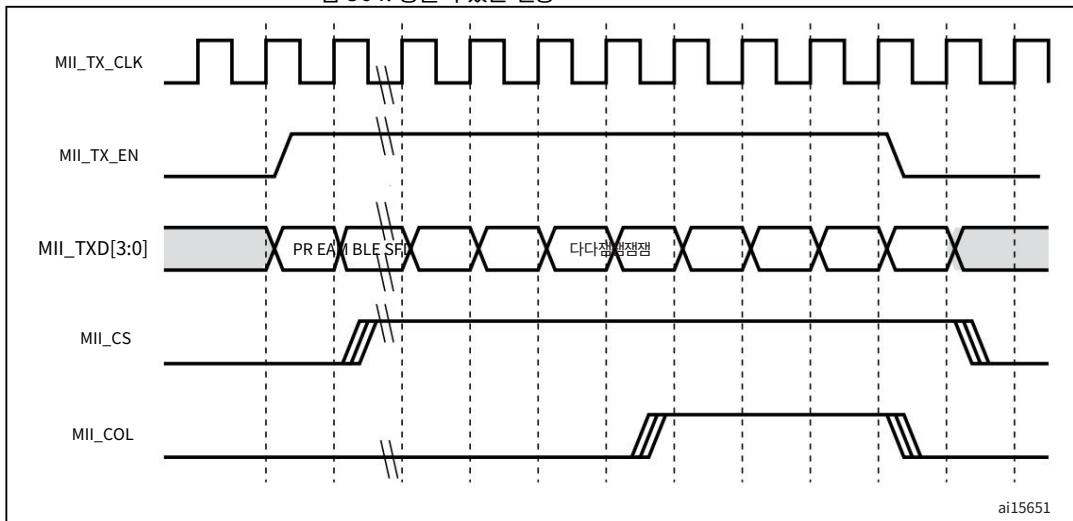
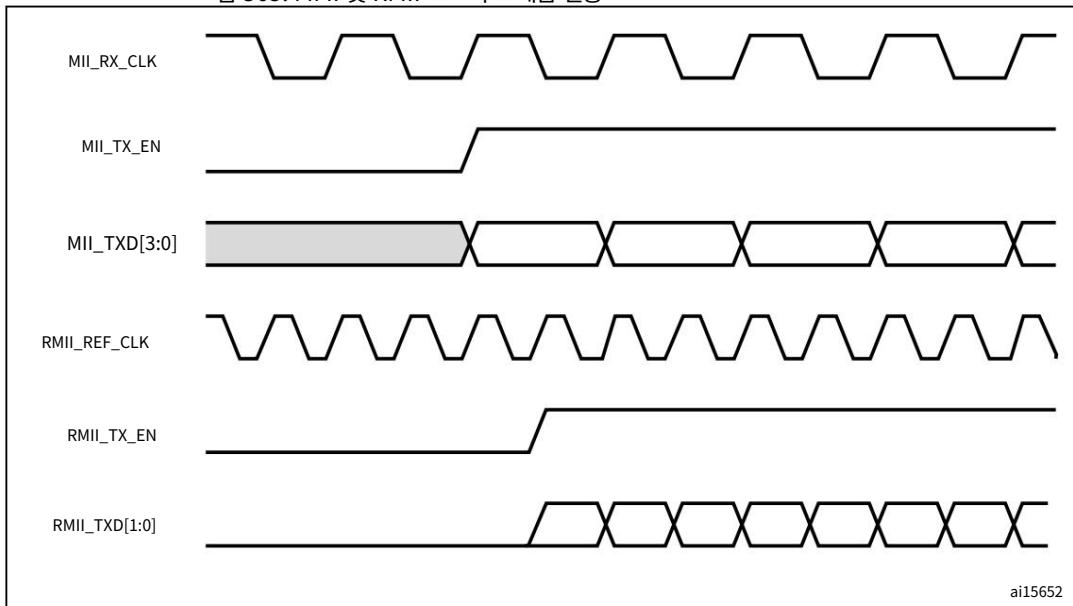


그림 365는 MII와 RMII에서의 프레임 전송을 보여준다.

그림 365. MMI 및 RMII 모드의 프레임 전송



33.5.3 MAC 프레임 수신

MAC 수신 프레임은 Rx FIFO로 푸시됩니다. 이 FIFO의 상태(채우기 레벨)는 구성된 수신 임계값(ETH_DMAOMR 레지스터의 RTC)을 초과하면 DMA에 표시되므로 DMA는 AHB 인터페이스를 향해 사전 구성된 버스트 전송을 시작할 수 있습니다.

기본 컨트루 모드에서는 64바이트(ETH_DMAOMR 레지스터의 RTC 비트로 구성됨) 또는 전체 데이터 패킷이 FIFO로 수신되면 데이터가 팝업되고 DMA에 해당 가용성이 통보됩니다. DMA가 AHB 인터페이스로의 전송을 시작하면 데이터 전송은 완료될 때까지 FIFO에서 계속됩니다.

패킷이 전송되었습니다. EOF 프레임 전송이 완료되면 상태 워드가 튀어 나와 DMA 컨트롤러로 전송됩니다.

Rx FIFO 저장 및 전달 모드(ETH_DMAOMR 레지스터의 RSF 비트로 구성)에서 프레임은 수신 FIFO에 완전히 기록된 후에만 읽혀집니다. 이 모드에서는 유효한 프레임만 읽고 애플리케이션에 전달되도록 모든 오류 프레임이 삭제됩니다(코어가 그렇게 하도록 구성된 경우). 컷스루(Cut-through) 모드에서는 일부 오류 프레임이 삭제되지 않습니다. 오류 상태가 프레임 끝에서 수신되기 때문입니다. 이때 해당 프레임의 시작 부분은 이미 FIFO에서 읽혀졌습니다.

MAC이 MII에서 SFD를 감지하면 수신 작업이 시작됩니다. 코어는 프레임 처리를 진행하기 전에 프리앰블과 SFD를 제거합니다. 헤더 필드는 필터링을 위해 검사되고 FCS 필드는 프레임의 CRC를 확인하는 데 사용됩니다. 프레임이 주소 필터에 실패하면 코어에서 삭제됩니다.

프로토콜 수신

수신된 프레임 프리앰블과 SFD가 제거됩니다. SFD가 감지되면 MAC는 SFD(대상 주소) 다음의 첫 번째 바이트부터 시작하여 이더넷 프레임 데이터를 수신 FIFO로 보내기 시작합니다. IEEE 1588 타임스탬프가 활성화된 경우 MII에서 프레임의 SFD가 감지되면 시스템 시간의 스냅샷이 생성됩니다. MAC가 프레임을 필터링하여 삭제하지 않는 한 이 타임스탬프는 애플리케이션에 전달됩니다.

수신된 프레임 길이/유형 필드가 0x600보다 작고 MAC이 자동 CRC/패드 스트리밍 옵션에 대해 프로그래밍된 경우 MAC은 길이/유형 필드에 지정된 카운트까지 프레임의 데이터를 Rx FIFO로 보냅니다. 바이트 삭제를 시작합니다(FCS 필드 포함). 길이/유형 필드가 0x600보다 크거나 같으면 MAC은 프로그래밍된 자동 CRC 스트립 옵션의 값에 관계없이 수신된 모든 이더넷 프레임 데이터를 Rx FIFO로 보냅니다. MAC 감시 타이머는 기본적으로 활성화되어 있습니다. 즉, 2048바이트(DA + SA + LT + 데이터 + 패드 + FCS) 이상의 프레임은 차단됩니다. 이 기능은 MAC 구성 레지스터의 Watchdog 비활성화(WD) 비트를 프로그래밍하여 비활성화할 수 있습니다. 단, Watchdog Timer가 비활성화 되더라도 16KB보다 큰 프레임은 잘리고 Watchdog Timeout 상태가 됩니다.

CRC 수신: 자동 CRC 및 패드 스트리밍

MAC은 수신 프레임에 CRC 오류가 있는지 확인합니다. FCS 필드를 통해 대상 주소 필드를 포함하는 수신 프레임에 대한 32비트 CRC를 계산합니다. 인코딩은 다음 다항식으로 정의됩니다.

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^7 + x^5 + x^4 + 1$$

자동 패드/CRC 스트립에 관계없이 MAC는 전체 프레임을 수신하여 수신된 프레임에 대한 CRC 검사를 계산합니다.

체크섬 오프로드 수신

수신된 이더넷 프레임의 IPv4 및 IPv6 프레임이 모두 감지되어 데이터 무결성을 위해 처리됩니다. ETH_MACCR 레지스터에서 IPCO 비트를 설정하여 수신 체크섬 오프로드를 활성화할 수 있습니다. MAC 수신기는 수신된 이더넷 프레임 유형 필드에서 각각 0x0800 또는 0x86DD 값을 확인하여 IPv4 또는 IPv6 프레임을 식별합니다. 이 식별은 VLAN 태그가 지정된 프레임에도 적용됩니다. 수신 체크섬 오프로드는 IPv4 헤더 체크섬을 계산하고 수신된 IPv4 헤더 체크섬과 일치하는지 확인합니다. 표시된 페이로드 간의 불일치에 대해 IP 헤더 오류 비트가 설정됩니다.

유형(이더넷 유형 필드) 및 IP 헤더 버전, 또는 수신된 프레임에 IPv4 헤더의 길이 필드에 표시된 대로 충분한 바이트가 없는 경우(또는 IPv4 또는 IPv6 헤더에서 사용 가능한 바이트가 20바이트 미만인 경우) 또한 수신 체크섬 오프로드는 수신된 IP 데이터그램(IPv4 또는 IPv6)에서 TCP, UDP 또는 ICMP 페이로드를 식별하고 TCP, UDP 또는 ICMP 사양에 정의된 대로 해당 페이로드의 체크섬을 적절하게 계산합니다. 체크섬 계산은 위한 TCP/UDP/ICMPv6 의사 헤더 바이트를 포함하고 수신된 체크섬 필드가 계산된 값과 일치하는지 확인합니다. 이 작업의 결과는 수신 상태 워드에 페이로드 체크섬 오류 비트로 제공됩니다. 이 상태 비트는 TCP, UDP 또는 ICMP 페이로드의 길이가 IP 헤더에 지정된 예상 페이로드 길이와 일치하지 않는 경우에도 설정됩니다. [TCP/UDP/ICMP 체크섬](#)에서 설명한 대로 수신 체크섬 오프로드는 조각화된 IP 데이터그램, 보안 기능이 있는 IP 데이터그램, IPv6 라우팅 헤더 및 TCP, UDP 또는 ICMP 이외의 페이로드의 페이로드를 우회합니다.

이 정보(체크섬 우회 여부)는 [RDES0: 수신 설명자 Word](#) 섹션에 설명된 대로 수신 상태에 제공됩니다. 이 구성에서 코어는 수신된 이더넷 프레임에 페이로드 체크섬 바이트를 추가하지 않습니다.

[RDES0: 수신 설명자 Word](#)에서 언급한 것처럼 특정 레지스터 비트의 의미는 [표 191과 같이 변경됩니다.](#)

표 191. 프레임 상태

비트 18: 이더넷 프레임	비트 27: 헤더 체크섬 오류	비트 28: 페이로드 체크 섬 오류	프레임 상태
000			프레임이 IEEE 802.3 프레임입니다(길이 필드 값이 0x0600보다 작습니다).
100			체크섬 오류가 감지되지 않는 IPv4/IPv6 유형 프레임입니다.
101			페이로드 체크섬 오류(PCE에 대해 설명됨)가 감지된 IPv4/IPv6 유형 프레임
110			IP 헤더 체크섬 오류(IPCO HCE에 대해 설명됨)가 감지되는 IPv4/IPv6 유형 프레임입니다.
111			PCE와 IPCO HCE가 모두 감지되는 IPv4/IPv6 유형 프레임입니다.
001			IP HCE가 없고 지원되지 않는 페이로드로 인해 페이로드 검사가 우회되는 IPv4/IPv6 유형 프레임입니다.
011			IPv4도 IPv6도 아닌 유형 프레임(체크섬 오프로드는 체크섬 검사를 완전히 우회함)
0	1	0	예약됨

수신 프레임 컨트롤러

MAC CSR 프레임 필터 레지스터에서 RA 비트가 재설정되면 MAC는 대상/소스 주소를 기반으로 프레임 필터링을 수행합니다(애플리케이션은 런트, CRC와 같은 불량 프레임을 수신하지 않기로 결정한 경우 여전히 다른 수준의 필터링을 수행해야 합니다). 오류 프레임 등). 필터 실패가 감지되면 프레임이 삭제되고 애플리케이션으로 전송되지 않습니다. 필터링 매개변수가 동적으로 변경되고 (DA-SA) 필터 실패의 경우 나머지 프레임은 삭제되고 Rx Status Word는 즉시 업데이트됩니다(제로 프레임 포함).

길이, CRC 오류 및 런트 오류 비트가 설정됨), 이는 필터 실패를 나타냅니다. 이더넷 전원 차단 모드에서는 수신된 모든 프레임이 삭제되고 애플리케이션으로 전달되지 않습니다.

흐름 제어 수신

MAC은 수신 Pause 프레임을 감지하고 수신된 Pause 프레임 내에 지정된 지역 동안 프레임 전송을 일시 중지합니다(Full-duplex 모드에서만). 일시 중지 프레임 감지 기능은 ETH_MACFCR의 RFCE 비트를 사용하여 활성화하거나 비활성화할 수 있습니다.

수신 흐름 제어가 활성화되면 수신된 프레임 대상 주소가 제어 프레임의 멀티캐스트 주소(0x0180 C200 0001)와 일치하는지 모니터링하기 시작합니다. 일치가 감지되면(수신된 프레임의 대상 주소가 예약된 제어 프레임 대상 주소와 일치함) MAC는 ETH_MACFFR의 PCF 비트 수준을 기반으로 수신된 제어 프레임을 애플리케이션에 전송할지 여부를 결정합니다.

MAC는 또한 수신 제어 프레임의 유형, 연산 코드 및 일시 중지 타이머 필드를 디코딩합니다. 상태의 바이트 수가 64바이트를 나타내고 CRC 오류가 없으면 MAC 송신기는 디코딩된 Pause 시간 값에 슬롯 시간을 곱한 기간 동안 모든 데이터 프레임의 전송을 일시 중지합니다(두 경우 모두 64바이트 시간). 10/100Mbit/s 모드).

한편, 일시 정지 시간 값이 0인 다른 일시 정지 프레임이 감지되면 MAC는 일시 정지 시간을 재설정하고 이 새로운 일시 정지 요청을 관리합니다.

수신된 제어 프레임이 유형 필드(0x8808), opcode(0x00001), 바이트 길이(64바이트)와 일치하지 않거나 CRC 오류가 있는 경우 MAC은 Pause를 생성하지 않습니다.

멀티캐스트 대상 주소가 있는 일시 중지 프레임의 경우 MAC는 주소 일치를 기준으로 프레임을 필터링합니다.

유니캐스트 대상 주소가 있는 일시 중지 프레임의 경우 MAC 필터링은 DA가 MAC 주소 0 레지스터의 내용과 일치하는지 여부와 ETH_MACFCR의 UPDF 비트가 설정되었는지 여부에 따라 달라집니다(유니캐스트 대상 주소가 있어도 일시 중지 프레임 감지).

PCF 레지스터 비트(ETH_MACFFR의 비트[7:6])는 주소 필터링 외에도 제어 프레임에 대한 필터링을 제어합니다.

수신 작업 다중 프레임 처리

상태는 데이터 바로 다음에 제공되므로 FIFO는 가득 차지 않는 한 원하는 수의 프레임을 저장할 수 있습니다.

오류 처리

MAC에서 EOF 데이터를 수신하기 전에 Rx FIFO가 가득 차면 오버플로가 선언되고 전체 프레임이 삭제되며 (ETH_DMAMFBOCR 레지스터)의 오버플로 카운터가 증가됩니다. 상태는 오버플로로 인한 부분 프레임을 나타냅니다. Rx FIFO는 활성화된 경우 오류 및 크기가 작은 프레임을 필터링할 수 있습니다(ETH_DMAOMR의 FEF 및 FUGF 비트 사용).

수신 FIFO가 저장 및 전달 모드에서 작동하도록 구성된 경우 모든 오류 프레임을 필터링하고 삭제할 수 있습니다.

컷스루 모드에서는 프레임의 SOF를 Rx FIFO에서 읽을 때 프레임의 상태와 길이를 사용할 수 있는 경우 전체 오류 프레임이 삭제될 수 있습니다. DMA는 수신 프레임 플래시 비트를 활성화하여 FIFO에서 읽는 오류 프레임을 플러시할 수 있습니다. 그런 다음 애플리케이션(DMA)으로의 데이터 전송이 중지되고 프레임의 나머지 부분이 내부적으로 읽고 삭제됩니다. 그런 다음 가능한 경우 다음 프레임 전송을 시작할 수 있습니다.

상태어 수신

이더넷 프레임 수신이 끝나면 MAC은 수신 상태를 애플리케이션(DMA)에 출력합니다. 수신 상태에 대한 자세한 설명은 RDES0 : [수신 설명자 Word0](#)에 제공된 RDES0의 비트[31:0]과 동일합니다.

프레임 길이| 인터페이스

스위치 애플리케이션의 경우 애플리케이션과 MAC 간의 데이터 송수신은 완전한 프레임 전송으로 발생합니다. 애플리케이션 계층은 프레임을 송신 포트로 전송하기 위해 수신 포트에서 수신된 프레임의 길이를 알고 있어야 합니다. MAC 코어는 각 프레임 수신이 끝날 때 상태 내에서 수신된 각 프레임의 프레임 길이를 제공합니다.

메모: 오버플로로 인해 Rx FIFO에 기록된 부분 프레임의 경우 프레임 길이 값 0이 제공됩니다.

MII/RMII 수신 비트 순서

각 니블은 [그림 366](#)에 표시된 니블 전송 순서에 따라 RMII에서 수신된 이중 비트에서 MII로 전송됩니다. 하위 비트(D0 및 D1)가 먼저 수신되고 그 다음 상위 비트(D2 및 D3)가 수신됩니다..

그림 366. 수신 비트 순서

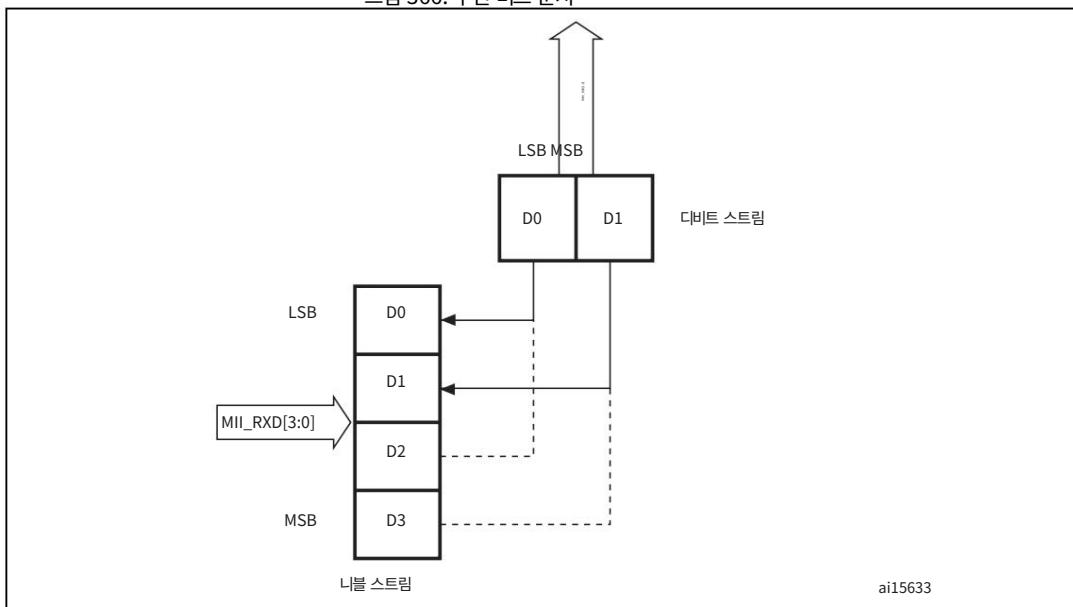


그림 367. 오류 없이 수신

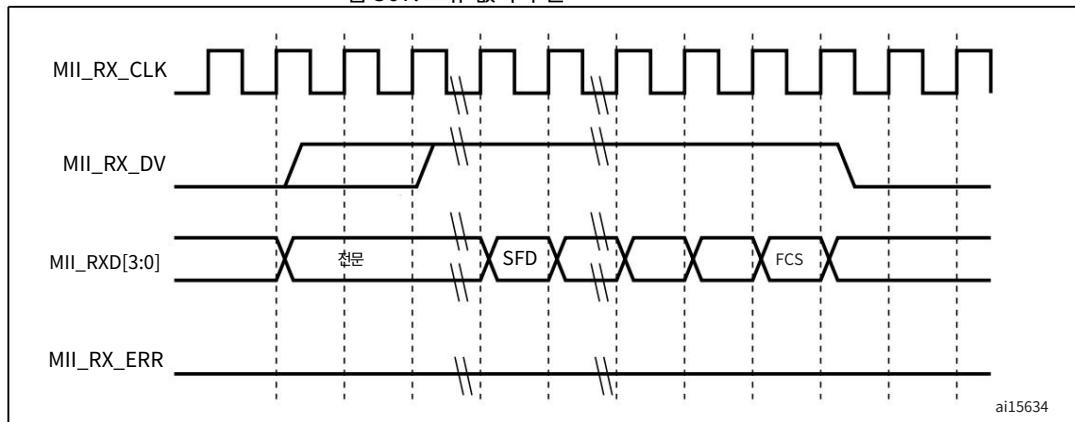


그림 368. 오류가 있는 수신

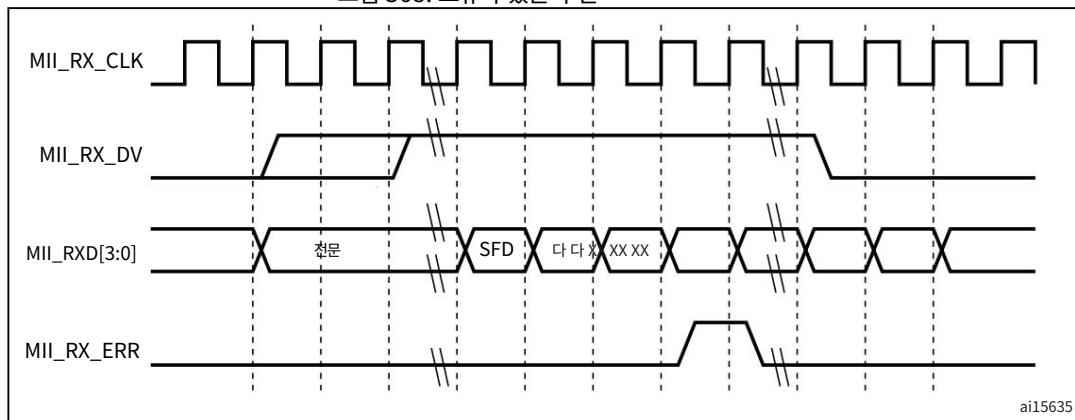
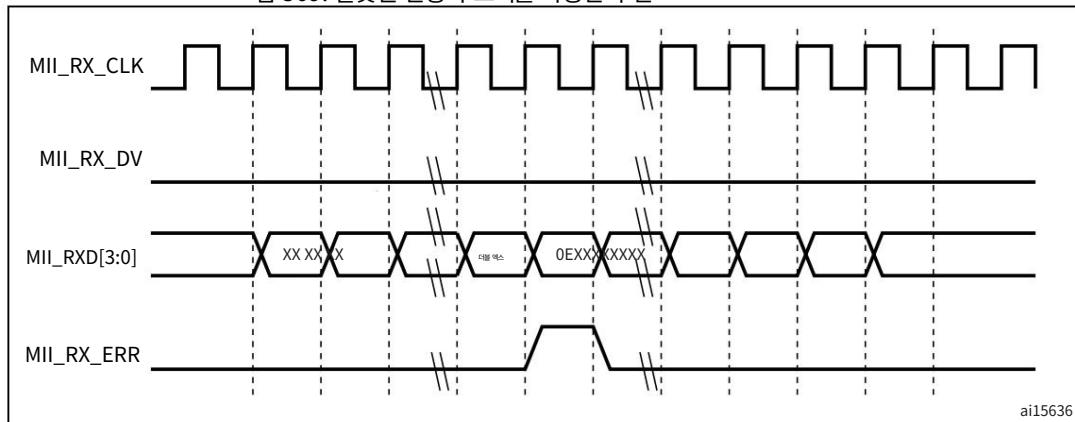


그림 369. 잘못된 반송파 표시를 사용한 수신



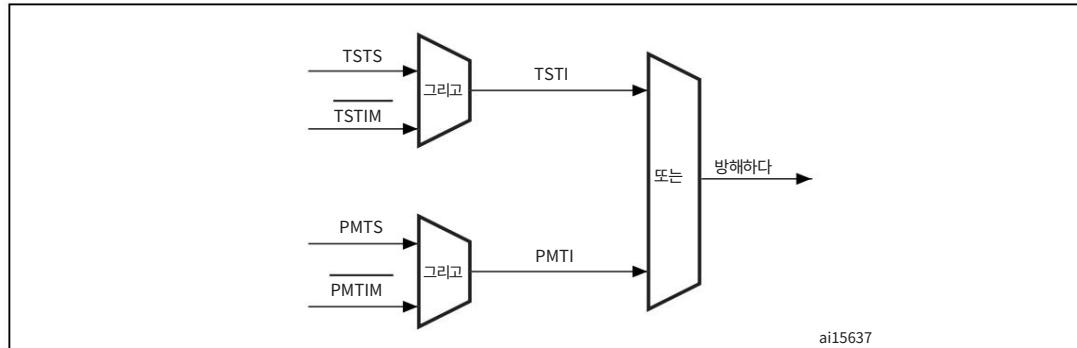
33.5.4 MAC 인터럽트

다양한 이벤트의 결과로 MAC 코어에서 인터럽트가 생성될 수 있습니다.

ETH_MACSR 레지스터는 MAC 코어에서 인터럽트를 일으킬 수 있는 이벤트를 설명합니다. 인터럽트 마스크 레지스터에서 해당 마스크 비트를 설정하여 각 이벤트가 인터럽트를 발생시키는 것을 방지할 수 있습니다.

인터럽트 레지스터 비트는 이벤트가 보고되는 블록만 나타냅니다. 인터럽트를 지우려면 해당 상태 레지스터와 기타 레지스터를 읽어야 합니다. 예를 들어, 높게 설정된 인터럽트 레지스터의 비트 3은 Magic Packet 또는 Wake-on-LAN 프레임이 전원 차단 모드에서 수신되었음을 나타냅니다. 이 인터럽트 이벤트를 지우려면 ETH_MACPMTCSR 레지스터를 읽어야 합니다.

그림 370. MAC 코어 인터럽트 마스킹 방식



33.5.5 MAC 필터링

주소 필터링

주소 필터링은 수신된 모든 프레임의 대상 및 소스 주소를 확인하고 그에 따라 주소 필터링 상태를 보고합니다. 주소 확인은 애플리케이션에서 선택한 다양한 매개변수(프레임 필터 레지스터)를 기반으로 합니다. 필터링된 프레임은 멀티캐스트 또는 브로드캐스트 프레임으로 식별될 수도 있습니다.

주소 필터링은 주소 확인을 위해 스테이션의 물리적(MAC) 주소와 멀티캐스트 해시 테이블을 사용합니다.

유니캐스트 대상 주소 필터

MAC는 유니캐스트 완벽한 필터링을 위해 최대 4개의 MAC 주소를 지원합니다. 완벽한 필터링이 선택되면(프레임 필터 레지스터의 HU 비트가 자설정 됨) MAC은 수신된 유니캐스트 주소의 48비트를 모두 프로그래밍된 MAC 주소와 비교하여 일치하는 항목이 있는지 확인합니다. 기본 MacAddr0은 항상 활성화되어 있으며, 다른 주소 MacAddr1~MacAddr3은 개별 활성화 비트를 사용하여 선택됩니다. 이러한 다른 주소(MacAddr1~MacAddr3)의 각 바이트는 레지스터에서 해당 마스크 바이트 제어 비트를 설정하여 해당 수신 DA 바이트와 비교하는 동안 마스크 될 수 있습니다. 이는 DA에 대한 그룹 주소 필터링에 도움이 됩니다. 해시 필터링 모드(HU 비트가 설정된 경우)에서 MAC는 64비트 해시 테이블을 사용하여 유니캐스트 주소에 대해 불완전 필터링을 수행합니다. 해시 필터링의 경우 MAC는 수신된 대상 주소의 상위 6개 CRC(아래 참고 1 참조) 비트를 사용하여 해시 테이블의 내용을 인덱싱합니다. 000000 값은 선택된 레지스터에서 비트 0을 선택하고, 111111 값은 해시 테이블 레지스터에서 비트 63을 선택합니다. 해당 비트(6비트 CRC로 표시됨)가 1로 설정되면 유니캐스트 프레임이 해시 필터를 통과했다고 합니다. 그렇지 않으면 프레임이 해시 필터를 통과하지 못한 것입니다.

메모:

이 CRC는 다음 다항식으로 코딩된 32비트 값입니다(자세한 내용은 섹션 33.5.3 참조).

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^7 + x^5 + x^4$$

멀티캐스트 대상 주소 필터

MAC는 프레임 필터 레지스터에서 PAM 비트를 설정하여 모든 멀티캐스트 프레임을 통과하도록 프로그래밍할 수 있습니다. PAM 비트가 재설정되면 MAC는 프레임 필터 레지스터의 HM 비트를 기반으로 멀티캐스트 주소에 대한 필터링을 수행합니다. 완벽한 필터링 모드에서는 멀티캐스트 주소가 프로그래밍된 MAC 대상 주소 레지스터(1~3)와 비교됩니다. 그룹 주소 필터링도 지원됩니다. 해시 필터링 모드에서 MAC는 64비트 해시 테이블을 사용하여 불완전 필터링을 수행합니다. 해시 필터링의 경우 MAC는 수신된 멀티캐스트 주소의 상위 6개 CRC(아래 참고 1 참조) 비트를 사용하여 해시 테이블의 내용을 색인화합니다. 값 000000은 선택된 레지스터에서 비트 0을 선택하고 값 111111은 해시 테이블 레지스터에서 비트 63을 선택합니다. 해당 비트가 1로 설정되면 멀티캐스트 프레임이 해시 필터를 통과했다고 합니다. 그렇지 않으면 프레임이 해시 필터를 통과하지 못한 것입니다.

메모:

이 CRC는 다음 다항식으로 코딩된 32비트 값입니다(자세한 내용은 섹션 33.5.3 참조).

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2$$

해시 또는 완벽한 주소 필터

DA 필터는 프레임 필터 레지스터에서 HPF 비트를 설정하고 해당 HU 또는 HM 비트를 설정하여 해당 DA가 해시 필터 또는 완벽 필터와 일치할 때 프레임을 통과하도록 구성할 수 있습니다. 이 구성은 유니캐스트 및 멀티캐스트 프레임 모두에 적용됩니다. HPF 비트가 재설정되면 필터(해시 또는 완벽) 중 하나만 수신된 프레임에 적용됩니다.

브로드캐스트 주소 필터

MAC는 기본 모드에서 브로드캐스트 프레임을 필터링하지 않습니다. 그러나 MAC가 프레임 필터 레지스터의 BFD 비트를 설정하여 모든 브로드캐스트 프레임을 거부하도록 프로그래밍된 경우 모든 브로드캐스트 프레임이 삭제됩니다.

유니캐스트 소스 주소 필터

MAC은 수신된 프레임의 소스 주소 필드를 기반으로 완벽한 필터링을 수행할 수도 있습니다. 기본적으로 MAC는 SA 필드를 SA 레지스터에 프로그래밍된 값과 비교합니다. MAC 주소 레지스터[1:3]는 해당 레지스터에서 비트 30을 설정하여 비교를 위해 DA 대신 SA를 포함하도록 구성할 수 있습니다. SA를 사용한 그룹 필터링도 지원됩니다. 프레임 필터 레지스터의 SAF 비트가 설정된 경우 SA 필터에 실패한 프레임은 MAC에 의해 삭제됩니다. 그렇지 않으면 SA 필터의 결과가 수신 상태 워드에 상태 비트로 제공됩니다([수신 설명자 Word0 참조](#)).

SAF 비트가 설정되면 SA 및 DA 필터의 결과가 AND'되어 프레임을 전달해야 하는지 여부를 결정합니다. 이는 필터 실패 결과 중 하나가 프레임을 삭제함을 의미합니다.

두 필터 모두 프레임이 애플리케이션에 전달되도록 프레임을 전달해야 합니다.

역필터링 연산

대상 및 소스 주소 필터링 모두 최종 출력에서 필터 일치 결과를 반전시키는 옵션이 있습니다. 이는 각각 프레임 필터 레지스터의 DAIF 및 SAIF 비트에 의해 제어됩니다. DAIF 비트는 유니캐스트 및 멀티캐스트 DA 프레임 모두에 적용 가능합니다.

이 모드에서는 유니캐스트/멀티캐스트 대상 주소 필터의 결과가 반전됩니다.

마찬가지로 SAIF 비트가 설정되면 유니캐스트 SA 필터의 결과가 반전됩니다. [표 192](#)

RM0090

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

[표 193](#)은 수신 된 프레임 유형에 따른 대상 및 소스 주소 필터링을 요약합니다.

표 192. 대상 주소 필터링

액자 유형	PM	HPF	HU	DAIF	HM	PAM	DB				DA 필터 작동
방송	1	XXXXXX	파스								
	0	XXXXXX	0								통과하다
	0	XXXXXX	1								실패하다
유니캐스트	1	XXXXXX	모든 프레임 전달								
	0	예스	0	0	원전/그룹 필터 일치 시 XXXX 패스						
	0	예스	0	1	완벽한/그룹 필터 일치 시 XXXX 실패						
	0	0	1	0	해시 필터 일치 시 XXXX 패스						
	0	0	1	1	해시 필터 일치 시 XXXX 실패						
	0110				XXX						해시 또는 완전/그룹 필터 일치 전달
	0	1	1	1	XXX 해시 실패 또는 완벽/그룹 필터 일치						
멀티캐스트	1	XXXXXX	모든 프레임 전달								
	XXXXXX					1 X 모든 프레임	통과				
	0XX00	0X									PCF = 0x인 경우 완전/그룹 필터 일치를 전달하고 PAUSE 제어 프레임을 삭제합니다.
	00X01	0X									해시 필터 일치를 전달하고 삭제합니다. PCF = 0x인 경우 PAUSE 제어 프레임
	01X01	0X									해시 또는 완전/그룹 필터 일치를 전달하고 다음과 같은 경우 PAUSE 제어 프레임을 삭제합니다. PCF = 0x
	0XX10	0X									완벽한/그룹 필터 일치에 실패하고 PCF = 0x인 경우 PAUSE 제어 프레임을 삭제합니다.
	00X11	0X									해시 필터 일치에 실패하고 PCF = 0x인 경우 PAUSE 제어 프레임을 삭제합니다.
	01X11	0X									해시 또는 완벽/그룹 필터 일치에 실패하고 PCF = 0x인 경우 PAUSE 제어 프레임을 삭제합니다.

표 193. 소스 주소 필터링

프레임 유형 PM SAIF SAF				SA 필터 작동
유니캐스트	1	XX 모든	프레임 통과	
	000			완벽한/그룹 필터 일치 시 상태를 통과하지만 실패한 프레임은 삭제하지 않습니다.
	0	1	0	완벽한/그룹 필터 일치 시 실패 상태이지만 프레임을 삭제하지 않습니다.
	0	0	1	완벽한/그룹 필터 일치를 전달하고 실패한 프레임을 삭제합니다.
	0	1	1	완벽한/그룹 필터 일치에 실패하고 실패한 프레임 삭제

33.5.6 MAC 루프백 모드

MAC는 전송된 프레임의 수신기로의 루프백을 지원합니다. 기본적으로 MAC 루프백 기능은 비활성화되어 있지만 MAC ETH_MACCR 레지스터의 루프백 비트를 프로그래밍하여 이 기능을 활성화할 수 있습니다.

33.5.7 MAC 관리 카운터: MMC

MAC 관리 카운터(MMC)는 수신 및 전송된 프레임에 대한 통계를 수집하기 위한 레지스터 세트를 유지 관리합니다. 여기에는 레지스터 동작을 제어하기 위한 제어 레지스터, 생성된 인터럽트(수신 및 전송)가 포함된 2개의 32비트 레지스터, 인터럽트 레지스터(수신 및 전송)용 마스크가 포함된 2개의 32비트 레지스터가 포함됩니다. 이러한 레지스터는 애플리케이션에서 액세스할 수 있습니다. 각 레지스터의 폭은 32비트입니다.

[33.8절에서는](#) 다양한 카운터에 대해 설명하고 각 통계 카운터의 주소를 나열합니다. 이 주소는 원하는 전송/수신 카운터에 대한 읽기/쓰기 액세스에 사용됩니다.

수신 MMC 카운터는 주소 필터링을 통과하는 프레임에 대해 업데이트됩니다. 삭제된 프레임 통계는 삭제된 프레임이 6바이트 미만의 런트 프레임(DA 바이트가 완전히 수신되지 않음)이 아니면 업데이트되지 않습니다.

좋은 전송 및 수신 프레임

전송된 프레임은 성공적으로 전송되면 "양호"한 것으로 간주됩니다. 즉, 다음 중 어느 하나로 인해 프레임 전송이 중단되지 않으면 전송된 프레임은 양호합니다.

오류:

- + Jabber 시간 초과
- + 캐리어 없음/캐리어 분실
- + 늦은 충돌
- + 프레임 언더플로우
- + 과도한 연기
- + 과도한 충돌

RM0090

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

다음 오류가 하나도 없으면 수신된 프레임은 "양호"한 것으로 간주됩니다.

- + CRC 오류
- + 런트 프레임(64바이트 미만)
- + 정렬 오류(10/100Mbit/s에서만)
- + 길이 오류(비유형 프레임에만 해당)
- + 범위를 벗어남(비형 프레임에만 해당, 최대 크기보다 큼)
- + MII_RXER 입력 오류

최대 프레임 크기는 다음과 같이 프레임 유형에 따라 다릅니다.

- + 태그가 지정되지 않은 프레임 최대 크기 = 1518
- + VLAN 프레임 최대 크기 = 1522

33.5.8 전원 관리: PMT

이 섹션에서는 MAC에서 지원하는 전원 관리(PMT) 메커니즘에 대해 설명합니다.

PMT는 네트워크(원격) 웨이크업 프레임 및 매직 패킷 프레임 수신을 지원합니다.

PMT는 MAC에서 수신한 웨이크업 프레임 및 매직 패킷에 대한 인터럽트를 생성합니다. PMT 블록은 원격 깨우기 프레임 활성화 및 Magic Packet 활성화를 통해 활성화됩니다. 이러한 활성화 비트(WFE 및 MPE)는 ETH_MACPMTCSR 레지스터에 있으며 애플리케이션에 의해 프로그래밍됩니다. PMT에서 전원 차단 모드가 활성화되면 수신된 모든 프레임이 MAC에 의해 삭제되고 애플리케이션으로 전달되지 않습니다. MAC는 매직 패킷 또는 원격 깨우기 프레임이 수신되고 해당 감지가 활성화된 경우에만 전원 차단 모드에서 나옵니다.

원격 웨이크업 프레임 필터 레지스터

8개의 웨이크업 프레임 필터 레지스터가 있습니다. 각각에 쓰려면 wake-up 프레임 필터 레지스터 값을 값별로 로드합니다. Wake-up 프레임 필터의 원하는 값은 Wake-up 프레임 필터 레지스터의 8배를 순차적으로 로드하여 로드됩니다. 읽기 작업은 쓰기 작업과 동일합니다. 8개의 값을 읽으려면 마지막 레지스터에 도달하기 위해 웨이크업 프레임 필터 레지스터를 8번 읽어야 합니다. 각 읽기/쓰기는 웨이크업 프레임 필터 레지스터를 다음 필터 레지스터로 가리킵니다.

그림 371. 웨이크업 프레임 필터 레지스터

웨이크업 프레임 필터 reg0	0바이트 마스크 필터링											
웨이크업 프레임 필터 reg1	1바이트 마스크 필터링											
웨이크업 프레임 필터 reg2	2바이트 마스크 필터링											
웨이크업 프레임 필터 reg3	3바이트 마스크 필터링											
웨이크업 프레임 필터 reg4	RSVD	필터 3 명령	RSVD	필터 2 명령	RSVD	필터 1 명령	RSVD	필터 0 명령				
웨이크업 프레임 필터 reg5	필터 3 오프셋		필터 2 오프셋		필터 1 오프셋		필터 0 오프셋					
웨이크업 프레임 필터 reg6	필터 1 CRC - 16				필터 0 CRC - 16							
웨이크업 프레임 필터 reg7	필터 3 CRC - 16				필터 2 CRC - 16							

ai15647



- i바이트 마스크 필터링

이 레지스터는 프레임이 웨이크업 프레임인지 여부를 결정하기 위해 필터 i(0, 1, 2, 3)에 의해 검사되는 프레임의 바이트를 정의합니다. MSB(31번째 비트)는 0이어야 합니다. 비트 j [30:0]은 바이트 마스크입니다. 바이트 마스크의 비트 j(바이트 번호)가 설정된 경우 수신 프레임의 필터 i 오프셋 + j가 CRC 블록에 의해 처리됩니다. 그렇지 않으면 Filter i Offset + j가 무시됩니다.

- 필터 i 명령

이 4비트 명령은 필터 i 작동을 제어합니다. 비트 3은 주소 유형을 지정하여 패턴의 대상 주소 유형을 정의합니다. 비트가 설정되면 패턴은 멀티캐스트 프레임에만 적용됩니다. 비트가 재설정되면 패턴은 유니캐스트 프레임에만 적용됩니다. 비트 2와 비트 1은 예약되어 있습니다. 비트 0은 필터 i의 활성화 비트입니다. 비트 0이 설정되지 않으면 필터 i가 비활성화됩니다.

- 필터 i 오프셋

이 레지스터는 필터 i가 프레임을 검사하는 오프셋(프레임 내)을 정의합니다. 이 8비트 패턴 오프셋은 검사할 첫 번째 바이트의 필터에 대한 오프셋입니다.
허용되는 최소값은 12이며 이는 프레임의 13번째 바이트를 나타냅니다(오프셋 값 0은 프레임의 첫 번째 바이트를 나타냄).

- CRC-16 필터

이 레지스터에는 패턴에서 계산된 CRC_16 값과 웨이크업 필터 레지스터 블록에 프로그래밍된 바이트 마스크가 포함되어 있습니다.

원격 웨이크업 프레임 감지

MAC가 슬립 모드에 있고 ETH_MACPMTCSR 레지스터에서 원격 웨이크업 비트가 활성화되면 원격 웨이크업 프레임을 수신한 후 정상 동작이 재개됩니다. 애플리케이션은 웨이크업 프레임 필터 레지스터 주소에 순차적 쓰기를 수행하여 8개의 웨이크업 필터 레지스터를 모두 씁니다. 애플리케이션은 ETH_MACPMTCSR 레지스터의 비트 2에 1을 기록하여 원격 깨우기를 활성화합니다. PMT는 다양한 수신 프레임 패턴을 제공하는 4개의 프로그래밍 가능 필터를 지원합니다. 들어오는 프레임이 필터 명령의 주소 필터링을 통과하고 필터 CRC-16이 들어오는 검사 패턴과 일치하면 웨이크업 프레임이 수신됩니다. Filter_offset(프레임의 13번째 바이트를 나타내는 최소값 12)은 프레임을 검사할 오프셋을 결정합니다.

필터 바이트 마스크는 검사해야 하는 프레임의 바이트를 결정합니다. 바이트 마스크의 31번째 비트는 0으로 설정되어야 합니다. 웨이크업 프레임은 길이 오류, FCS 오류, 드리블 비트 오류, MII 오류, 충돌에 대해서만 검사하고 런트 프레임이 아닌지 확인합니다. Wake-up 프레임의 길이가 512바이트를 초과하더라도 해당 프레임에 유효한 CRC 값이 있으면 유효한 것으로 간주됩니다. 웨이크업 프레임 감지는 수신된 모든 원격 웨이크업 프레임에 대해 ETH_MACPMTCSR 레지스터에서 업데이트됩니다. 활성화된 경우 원격 깨우기 프레임의 수신을 나타내기 위해 PMT 인터럽트가 생성됩니다.

매직 패킷 감지

Magic Packet 프레임은 Advanced Micro Device의 Magic Packet 기술을 사용하여 네트워크에서 잠자고 있는 장치의 전원을 켜는 방식을 기반으로 합니다. MAC는 네트워크의 노드로 주소가 지정되는 매직 패킷(Magic Packet)이라는 특정 정보 패킷을 수신합니다.

장치 또는 브로드캐스트 주소로 지정된 매직 패킷만 확인하여 깨우기 요구 사항을 충족하는지 확인합니다. 주소 필터링(유니캐스트 또는 브로드캐스트)을 통과하는 매직 패킷을 검사하여 MAC 주소가 16번 나타나는 모든 6바이트의 원격 Wake-on-LAN 데이터 형식을 충족하는지 확인합니다. 애플리케이션은 ETH_MACPMTCSR 레지스터의 비트 1에 1을 기록하여 매직 패킷 깨우기를 활성화합니다. PMT 블록은 주소가 지정된 각 프레임을 지속적으로 모니터링합니다.

특정 Magic Packet 패턴에 대한 노드입니다. 수신된 각 프레임은 대상 및 소스 주소 필드 뒤에 오는 0xFFFF FFFF FFFF 패턴을 확인합니다. 그런 다음 PMT 블록은 중단이나 중단 없이 MAC 주소가 16번 반복되는지 프레임을 확인합니다. 16번의 주소 반복이 중단되는 경우 수신 프레임에서 0xFFFF FFFF FFFF 패턴이 다시 검색됩니다. 16회 반복은 프레임의 어느 위치에나 있을 수 있지만 동기화 스트림(0xFFFF FFFF FFFF)이 선행되어야 합니다. 또한 장치는 MAC 주소의 16개 중복이 감지되는 한 멀티캐스트 프레임을 허용합니다. 노드의 MAC 주소가 0x0011 2233 4455이면 MAC는 데이터 서비스를 검색합니다.

```
대상 주소 소스 주소 .....FFFF FFFF FFFF
0011 2233 4455 0011 2233 4455 0011 2233 4455 0011 2233 4455
0011 2233 4455 0011 2233 4455 0011 2233 4455 0011 2233 4455
0011 2233 4455 0011 2233 4455 0011 2233 4455 0011 2233 4455
0011 2233 4455 0011 2233 4455 0011 2233 4455 0011 2233 4455
...CRC
```

매직 패킷 감지는 수신된 매직 패킷에 대한 ETH_MACPMTCSR 레지스터에서 업데이트됩니다. 활성화된 경우 매직 패킷 수신을 나타내기 위해 PMT 인터럽트가 생성됩니다.

전원 차단 중 시스템 고려사항

이더넷 PMT 블록은 EXTI 라인 19가 활성화된 경우 시스템이 정지 모드에 있는 동안 프레임을 감지할 수 있습니다.

MAC 수신기 상태 머신은 전원 차단 모드 동안 활성화된 상태로 유지되어야 합니다. 이는 RE 비트가 매직 패킷/wake-on-LAN 프레임 감지에 포함되므로 ETH_MACCR 레지스터에 설정된 상태로 유지되어야 함을 의미합니다. 그러나 전송 상태 머신은 ETH_MACCR 레지스터에서 TE 비트를 삭제하여 전원 차단 모드 동안 깨야 합니다. 또한 매직 패킷/wake-on-LAN 프레임을 SRAM에 복사할 필요가 없기 때문에 전원 차단 모드에서는 이더넷 DMA를 비활성화해야 합니다.

이더넷 DMA를 비활성화하려면 ETH_DMAOMR 레지스터에서 ST 비트와 SR 비트(각각 전송 DMA 및 수신 DMA용)를 삭제합니다.

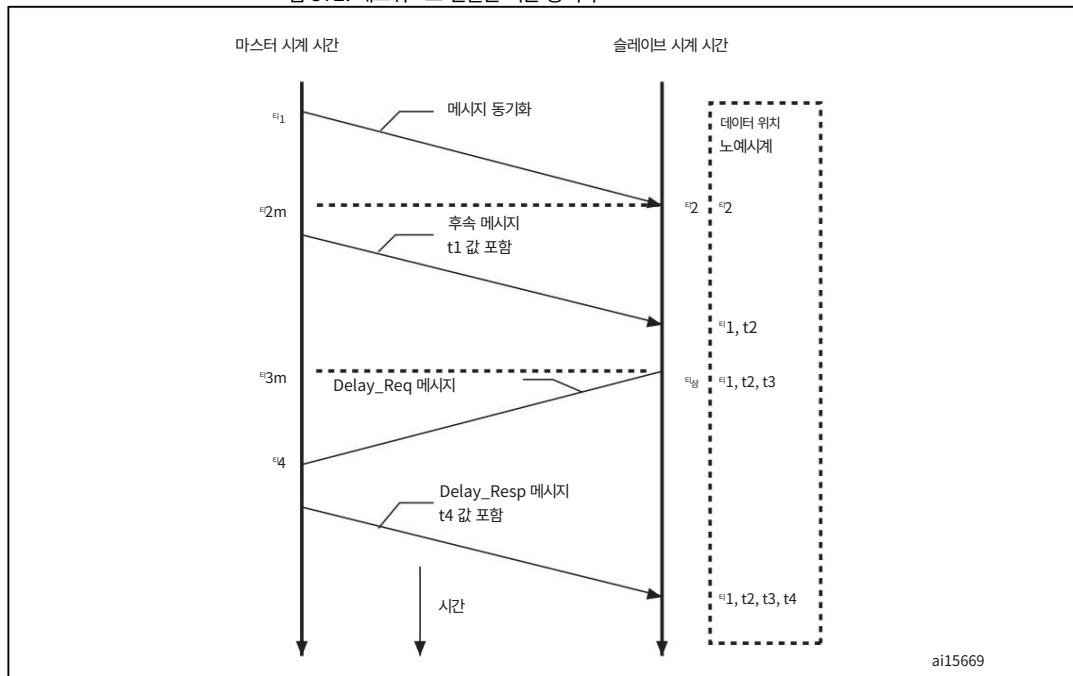
권장되는 전원 끄기 및 깨우기 순서는 다음과 같습니다.

1. 전송 DMA를 비활성화하고 이전 프레임 전송이 완료될 때까지 기다립니다.
이러한 전송은 전송 인터럽트 ETH_DMASR 레지스터[0]가 수신될 때 감지될 수 있습니다.
2. ETH_MACCR 구성 레지스터에서 RE 및 TE 비트를 자워 MAC 송신기와 MAC 수신기를 비활성화합니다.
3. 수신 DMA가 Rx FIFO의 모든 프레임을 비울 때까지 기다립니다.
4. 수신 DMA를 비활성화합니다.
5. 이벤트 또는 인터럽트를 생성하도록 EXTI 라인 19를 구성하고 활성화합니다.
6. 인터럽트를 생성하도록 EXTI 라인 19를 구성하는 경우 EXTI 라인 19의 보류 비트를 지워야 하는 ETH_WKUP_IRQ 핸들러 기능도 올바르게 구성해야 합니다.
7. MFE/WFE 비트를 설정하여 매직 패킷/Wake-on-LAN 프레임 감지를 활성화합니다.
ETH_MACPMTCSR 레지스터.
8. ETH_MACPMTCSR에서 PD 비트를 설정하여 MAC 전원 차단 모드를 활성화합니다.
등록하다.
9. ETH_MACCR 레지스터의 RE 비트를 설정하여 MAC 수신기를 활성화합니다.
10. 시스템의 정지 모드로 들어갑니다(자세한 내용은 정지 모드 섹션 참조).
11. 유효한 웨이크업 프레임을 수신하면 이더넷 주변 장치가 전원 차단 모드를 종료합니다.
방법.
12. ETH_MACPMTCSR을 읽어 전원 관리 이벤트 플래그를 지우고 MAC 송신기 상태 머신과 수신 및 전송 DMA를 활성화합니다.
13. 시스템 시계 구성: HSE를 활성화하고 시계를 설정합니다.

33.5.9 정밀 시간 프로토콜(IEEE1588 PTP)

IEEE 1588 표준은 네트워크 통신, 로컬 컴퓨팅 및 분산 객체와 같은 기술로 구현된 측정 및 제어 시스템에서 정확한 클록 동기화를 허용하는 프로토콜을 정의합니다. 이 프로토콜은 이더넷을 포함하여(이에 국한되지 않음) 멀티캐스트 메시징을 지원하는 LAN을 통해 통신하는 시스템에 적용됩니다. 이 프로토콜은 고유한 정밀도, 해상도 및 안정성이 다양한 시계를 포함하는 이기종 시스템을 동기화하는 데 사용됩니다. 이 프로토콜은 최소한의 네트워크 및 로컬 클록 컴퓨팅 리소스를 사용하여 마이크로초 미만 범위의 시스템 전체 동기화 정확도를 지원합니다. PTP(정밀 시간 프로토콜)로 알려진 메시지 기반 프로토콜은 UDP/IP를 통해 전송됩니다. 시스템이나 네트워크는 타이밍/클럭 정보를 분배하기 위해 마스터 노드와 슬레이브 노드로 분류됩니다. PTP 메시지를 교환하여 슬레이브 노드를 마스터 노드로 동기화하는 프로토콜의 기술은 [그림 372](#)에 설명되어 있습니다.

그림 372. 네트워크로 연결된 시간 동기화



1. 마스터는 PTP 동기화 메시지를 모든 노드에 브로드캐스트합니다. Sync 메시지에는 마스터의 기준 시간 정보가 포함됩니다. 이 메시지가 마스터 시스템을 떠나는 시간은 t_1 입니다. 이더넷 포트의 경우 이 시간은 MII에서 캡처되어야 합니다.

2. 슬레이브는 동기화 메시지를 수신하고 타이밍 참조를 사용하여 정확한 시간 t_2 도 캡처합니다.

3. 그런 다음 마스터는 슬레이브에게 t_1 이 포함된 Follow_up 메시지를 보냅니다.
나중에 사용하기 위한 정보입니다.

4. 슬레이브는 이 프레임이 MII를 떠나는 정확한 시간 t_3 을 알리는 Delay_Req 메시지를 마스터에게 보냅니다.

5. 마스터는 이 메시지를 수신하고 해당 메시지에 진입하는 정확한 시간 t_4 를 캡처합니다.
체계.

6. 마스터는 Delay_Resp 메시지를 통해 t_4 정보를 슬레이브에 보냅니다.

7. 슬레이브는 t_1, t_2, t_3 및 t_4 의 네 가지 값을 사용하여 로컬 타이밍을 동기화합니다.
마스터의 타이밍 정보에 대한 참조입니다.

대부분의 프로토콜 구현은 UDP 계층 위의 소프트웨어에서 발생합니다. 그러나 위에서 설명한 것처럼 특정 PTP 패킷이 MII의 이더넷 포트에 들어오거나 나가는 정확한 시간을 캡처하려면 하드웨어 지원이 필요합니다. PTP를 정확하고 적절하게 구현하려면 이 타이밍 정보를 캡처하여 소프트웨어에 반환해야 합니다.

참조 타이밍 소스

시간의 스냅샷을 얻으려면 코어에는 정의된 대로 64비트 형식의 참조 시간이 필요합니다(두 개의 32비트 채널로 분할되어 상위 32비트는 시간을 초 단위로 제공하고 하위 32비트는 시간을 나노초 단위로 나타냄). IEEE 1588 사양에서.

PTP 참조 클럭 입력은 내부적으로 참조 시간(시스템 시간이라고도 함)을 생성하고 타임스탬프를 캡처하는 데 사용됩니다. 이 기준 클럭의 주파수는 다음과 같아야 합니다.

타임스탬프 카운터의 해상도보다 크거나 같아야 합니다. 마스터 노드와 슬레이브 간의 동기화 정확도 목표는 약 100ns 입니다.

시스템 시간의 생성, 업데이트 및 설정은 [시스템 시간 설정 방법에 설명되어 있습니다.](#)

정확도는 PTP 기준 클록 입력 주기, 발진기(드리프트)의 특성 및 동기화 절차의 빈도에 따라 달라집니다.

Tx 및 Rx 클럭 입력 도메인에서 PTP 기준 클럭 도메인으로의 동기화로 인해 타임스탬프 래치 값의 불확실성은 1 기준 클럭 주기입니다. 분해능으로 인한 불확실성을 추가하면 타임스탬프 기간의 절반을 추가합니다.

PTP 기능을 사용한 프레임 전송

프레임의 SFD가 MII에 출력되면 타임스탬프가 캡처됩니다. 타임스탬프 캡처가 필요한 프레임은 프레임별로 제어할 수 있습니다. 즉, 전송된 각 프레임은 해당 프레임에 대해 타임스탬프를 캡처해야 하는지 여부를 나타내기 위해 표시될 수 있습니다. 전송된 프레임은 PTP 프레임을 식별하기 위해 처리되지 않습니다. 프레임 제어는 전송 설명자의 제어 비트를 통해 실행됩니다. 캡처된 타임스탬프는 프레임에 대한 상태가 제공되는 것과 동일한 방식으로 애플리케이션에 반환됩니다. 타임스탬프는 해당 전송 설명자 내에서 프레임의 전송 상태와 함께 다시 전송되므로 타임스탬프가 특정 PTP 프레임에 자동으로 연결됩니다. 64비트 타임스탬프 정보는 TDES2 및 TDES3 필드에 다시 기록되며, TDES2는 타임스탬프의 최하위 32비트를 보유합니다.

PTP 기능으로 프레임 수신

IEEE 1588 타임스탬프 기능이 활성화되면 이더넷 MAC는 MII에서 수신된 모든 프레임의 타임스탬프를 캡처합니다. MAC은 프레임 수신이 완료되는 즉시 타임스탬프를 제공합니다. 캡처된 타임스탬프는 프레임 상태가 제공되는 것과 동일한 방식으로 애플리케이션에 반환됩니다. 타임스탬프는 해당 수신 설명자 내에서 프레임의 수신 상태와 함께 다시 전송됩니다. 64비트 타임스탬프 정보는 RDES2 및 RDES3 필드에 다시 기록되며 RDES2는 타임스탬프의 최하위 32비트를 보유합니다.

시스템 시간 수정 방법

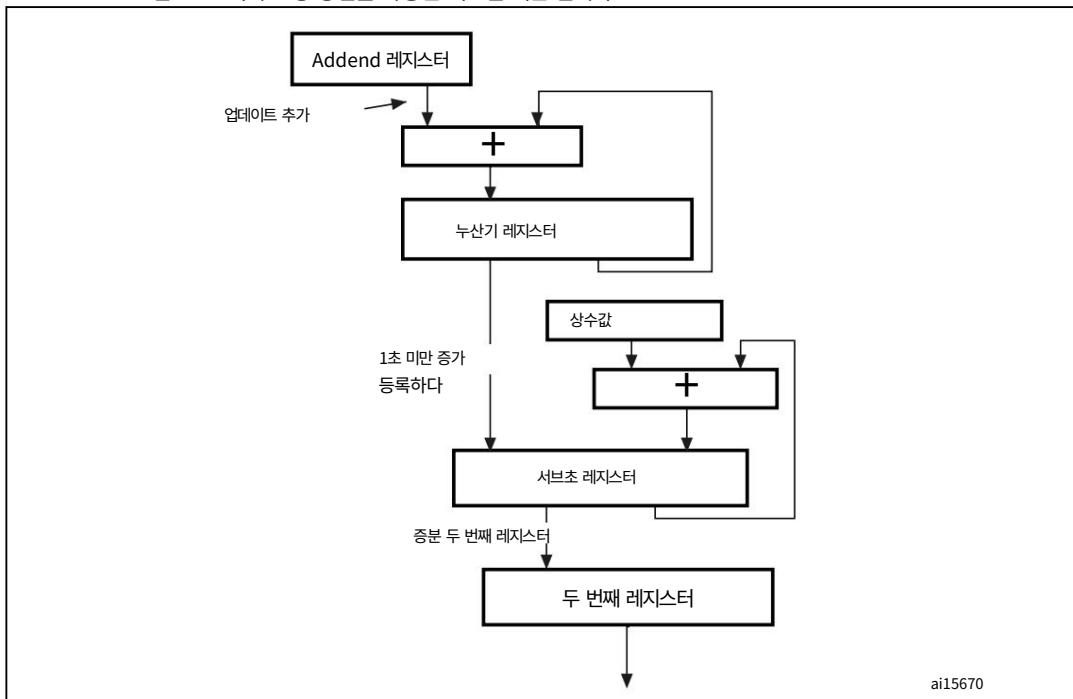
64비트 PTP 시간은 PTP 입력 기준 클럭인 HCLK를 사용하여 업데이트됩니다. 이 PTP 시간은 MII에서 전송 또는 수신되는 이더넷 프레임의 스냅샷(타임스탬프)을 찍기 위한 소스로 사용됩니다. 시스템 시간 카운터는 Coarse 또는 Fine 수정 방법을 사용하여 초기화하거나 수정할 수 있습니다.

Coarse 보정 방법에서는 초기값 또는 오프셋 값이 타임 스템프 업데이트 레지스터([33.8.3항 참조](#))에 기록됩니다. 초기화의 경우 시스템 시간 카운터는 타임스탬프 업데이트 레지스터의 값으로 기록되는 반면, 시스템 시간 수정의 경우 오프셋 값(타임 스템프 업데이트 레지스터)이 시스템 시간에 추가되거나 뺍니다.

Fine 보정 방식은 단일 클럭에서 보정하는 Coarse 보정 방식과 달리 마스터 클럭(IEEE 1588에 정의됨)에 대한 슬레이브 클럭(기준 클럭)의 주파수 드리프트를 일정 시간에 걸쳐 보정하는 방식입니다. 주기. 수정 시간이 길어지면 선형 시간을 유지하는데 도움이 되며 PTP 동기화 메시지 간격 사이의 참조 시간에 급격한 변화(또는 큰 지터)가 발생하지 않습니다. 이 방법에서 누산기는 [그림 373](#)에 표시된 것처럼 Addend 레지스터의 내용을 합산합니다. 누산기가 생성하는 산술 캐리는 시스템 시간 카운터를 증가시키는 펄스로 사용됩니다.

누산기와 가수는 32비트 레지스터입니다. 여기서 누산기는 고정밀 주파수 곱셈기 또는 분배기 역할을 합니다. [그림 373은](#) 이 알고리즘을 보여줍니다.

그림 373. 미세 보정 방법을 사용한 시스템 시간 업데이트



시스템 시간 업데이트 로직에는 20ns 정확도를 달성하기 위해 50MHz 클록 주파수가 필요합니다.

주파수 분할은 기준 클럭 주파수와 필요한 클럭 주파수의 비율입니다. 따라서 기준 클럭(HCLK)이 66MHz라고 가정하면 비율은 $66\text{MHz}/50\text{MHz} = 1.32$ 로 계산됩니다. 따라서 레지스터에 설정되는 기본 가수 값은 $232/1.32$ 이며 이는 0xC1F0 7C1F와 같습니다.

참조 클럭이 예를 들어 65MHz로 낮아지면 비율은 $65/50$ 또는 1.3이고 가수 레지스터에 설정할 값은 0xC4EC 4EC4와 동일한 232/1.30입니다. 예를 들어 클록이 67MHz로 더 높게 드리프트하는 경우 가수 레지스터를 0xB760 B7672로 설정해야 합니다. 클럭 드리프트가 0이면 기본 가수 값 0xC1F0 7C1F (232/1.32)를 프로그래밍해야 합니다.

[그림 373](#)에서 서브초 레지스터를 증가시키는 데 사용되는 상수 값은 0d43입니다. 이는 시스템 시간의 정확도를 20ns로 만듭니다(즉, 20ns 단계씩 증가합니다).

소프트웨어는 동기화 메시지를 기반으로 주파수 드리프트를 계산하고 이에 따라 Addend 레지스터를 업데이트해야 합니다. 처음에 슬레이브 클럭은 Addend 레지스터의 FreqCompensationValue0으로 설정됩니다. 이 값은 다음과 같습니다.

$$\text{FreqCompensationValue0} = 232 / \text{FreqDivisionRatio}$$

MasterToSlaveDelay가 처음에 연속적인 Sync 메시지에 대해 동일하다고 가정되는 경우 아래에 설명된 알고리즘을 적용해야 합니다. 몇 번의 동기화 주기 후에 주파수 잡금이 발생합니다. 그런 다음 슬레이브 시계는 정확한 MasterToSlaveDelay 값을 결정하고 새 값을 사용하여 마스터와 다시 동기화할 수 있습니다.

알고리즘은 다음과 같습니다.

- MasterSyncTime(n) 시간에 마스터는 슬레이브 시계에 Sync 메시지를 보냅니다. 그만큼 슬레이브는 로컬 시계가 SlaveClockTime(n)일 때 이 메시지를 수신하고 계산합니다.
MasterClockTime(n)은 다음과 같습니다.
$$\text{MasterClockTime}(n) = \text{MasterSyncTime}(n) + \text{MasterToSlaveDelay}(n)$$
- 현재 동기화 사이클에 대한 마스터 클럭 카운트인 MasterClockCount(n)는 다음과 같이 제공됩니다.
$$\text{MasterClockCount}(n) = \text{MasterClockTime}(n) - \text{MasterClockTime}(n - 1) (\text{MasterToSlaveDelay} \text{가 동기 주기 } n \text{ 및 } n - 1 \text{에 대해 동일하다고 가정})$$
- 현재 동기화 주기에 대한 슬레이브 클럭 카운트인 SlaveClockCount(n)는 다음과 같이 제공됩니다.
$$\text{SlaveClockCount}(n) = \text{SlaveClockTime}(n) - \text{SlaveClockTime}(n - 1)$$
- 현재 동기화 주기에 대한 마스터 및 슬레이브 클럭 카운트 간의 차이,
ClockDiffCount(n)는 다음과 같이 지정됩니다.
$$\text{ClockDiffCount}(n) = \text{MasterClockCount}(n) - \text{SlaveClockCount}(n)$$
- 슬레이브 클럭의 주파수 스케일링 요소인 FreqScaleFactor(n)는 다음과 같이 제공됩니다.
$$\text{FreqScaleFactor}(n) = (\text{MasterClockCount}(n) + \text{ClockDiffCount}(n)) / \text{SlaveClockCount}(n)$$
- Addend 레지스터의 주파수 보상 값 FreqCompensationValue(n)은 다음과 같습니다.
주어진:
$$\text{FreqCompensationValue}(n) = \text{FreqScaleFactor}(n) \times \text{FreqCompensationValue}(n - 1)$$

이론적으로 이 알고리즘은 한 번의 동기화 주기로 잠금을 달성합니다. 그러나 네트워크 전파 지연 및 작동 조건의 변화로 인해 여러 주기가 걸릴 수 있습니다.

이 알고리즘은 자체 수정됩니다. 어떤 이유로든 슬레이브 시계가 처음에 마스터의 잘못된 값으로 설정된 경우 알고리즘은 더 많은 동기화 주기를 희생하여 이를 수정합니다.

시스템 시간 생성 초기화를 위한 프로그래밍 단계

타임스탬프 제어 레지스터(ETH__PTPTSCR)에서 비트 0을 설정하여 타임스탬프 기능을 활성화할 수 있습니다. 그러나 이 비트가 타임스탬프 작업을 시작하도록 설정된 후에는 타임스탬프 카운터를 초기화하는 것이 필수적입니다. 올바른 순서는 다음과 같습니다.

- MACIMR 레지스터의 비트 9를 설정하여 타임스탬프 트리거 인터럽트를 마스크합니다.
- 타임스탬프 레지스터 비트 0을 프로그래밍하여 타임스탬프를 활성화합니다.
- PTP 클럭 주파수를 기준으로 1초 미만 증분 레지스터를 프로그래밍합니다.
- 미세 수정 방법을 사용하는 경우 타임스탬프 가수 레지스터를 프로그래밍하고 타임스탬프 제어 레지스터 비트 5(가수 레지스터 업데이트)를 설정합니다.
- 비트 5가 지워질 때까지 타임스탬프 제어 레지스터를 폴링합니다.
- 미세 수정 방법(필요한 경우)을 선택하려면 타임스탬프 제어 레지스터를 프로그래밍하세요.
비트 1.
- 타임스탬프 높은 업데이트 및 타임스탬프 낮은 업데이트 레지스터를 적절한 시간 값으로 프로그래밍합니다.
- 타임스탬프 제어 레지스터 비트 2(타임스탬프 초기화)를 설정합니다.
- 타임스탬프 카운터는 값으로 초기화되는 즉시 작동을 시작합니다.
타임스탬프 업데이트 레지스터에 기록됩니다.
- 적절한 타임스탬프를 위해 MAC 수신기와 송신기를 활성화합니다.

메모:

ETH_PTTPSCR 레지스터의 비트 0을 지워 타임스탬프 작업이 비활성화된 경우 타임스탬프 작업을 다시 시작하려면 위 단계를 반복해야 합니다.

대략적인 수정 방법에서 시스템 시간 업데이트를 위한 프로그래밍 단계

한 프로세스에서 시스템 시간을 동기화하거나 업데이트하려면(대략적인 수정 방법) 다음 단계를 수행하십시오.

1. 타임스탬프 업데이트 상위 및 하위 레지스터에 오프셋(양수 또는 음수)을 씁니다.
2. 타임 스템프 제어 레지스터에서 비트 3(TSSTU)을 설정합니다.
3. 타임스탬프 업데이트 레지스터의 값은 TSSTU 비트가 지워질 때 시스템 시간에 더해지거나 뺍니다.

미세 수정 방법에서 시스템 시간 업데이트를 위한 프로그래밍 단계

시스템 시간 지터(미세 수정 방법)를 줄이기 위해 시스템 시간을 동기화하거나 업데이트하려면 다음 단계를 수행하십시오.

1. [시스템 시간 수정 방법](#)에 설명된 알고리즘을 사용하여 시스템 시간 증분 속도를 높이거나 낮추려는 비율을 계산합니다.
2. 타임스탬프를 업데이트합니다.
3. Addend 레지스터의 새 값이 활성화되기를 원하는 시간을 기다리십시오. 시스템 시간이 목표 값에 도달한 후 타임스탬프 트리거 인터럽트를 활성화하여 이를 수행할 수 있습니다.
4. 목표 시간 상한 및 하한 레지스터에 필요한 목표 시간을 프로그래밍하십시오. ETH_MACIMR 레지스터의 비트 9를 지워 타임스탬프 인터럽트 마스크를 해제합니다.
5. 타임 스템프 제어 레지스터 비트 4(TSARU)를 설정합니다.
6. 이 트리거로 인해 인터럽트가 발생하면 ETH_MACSR 레지스터를 읽으십시오.
7. 타임스탬프 가수 레지스터를 이전 값으로 다시 프로그래밍하고 ETH_TPTSCR를 설정합니다.
다시 비트 5.

TIM2와의 PTP 트리거 내부 연결

MAC은 시스템 시간이 목표 시간보다 커지면 트리거 인터럽트를 제공합니다. 인터럽트를 사용하면 알려진 대기 시간과 명령 실행 시간의 불확실성이 발생합니다.

이러한 불확실성을 피하기 위해 시스템 시간이 목표 시간보다 클 때 PTP 트리거 출력 신호가 높게 설정됩니다. TIM2 입력 트리거에 내부적으로 연결됩니다. 이 신호를 사용하면 동기화된 PTP 시스템 시간에 의해 트리거되는 입력 캡처 기능, 출력 비교 기능 및 타이머의 파형을 사용할 수 있습니다. 타이머의 클록(PCLK1: TIM2 APB1 클록)과 PTP 기준 클록(HCLK)이 동기식이므로 불확실성이 발생하지 않습니다.

이 PTP 트리거 신호는 소프트웨어로 선택할 수 있는 TIM2 ITR1 입력에 연결됩니다. 연결은 TIM2 옵션 레지스터(TIM2_OR)의 비트 11 및 10을 통해 활성화됩니다.

[그림 374에서](#)는 연결을 보여줍니다.

그림 374. TIM2 ITR1 연결에 대한 PTP 트리거 출력



PTP 초당 펄스 출력 신호

이 PTP 펄스 출력은 네트워크의 모든 노드 간의 동기화를 확인하는 데 사용됩니다. 로컬 슬레이브 클럭과 마스터 기준 클럭 간의 차이를 테스트할 수 있도록 두 클럭 모두 필요한 경우 오실로스코프에 연결할 수 있는 PPS(초당 펄스) 출력 신호를 제공합니다. 따라서 두 신호 간의 편차를 측정할 수 있습니다. PPS 출력의 펄스 폭은 125ms입니다.

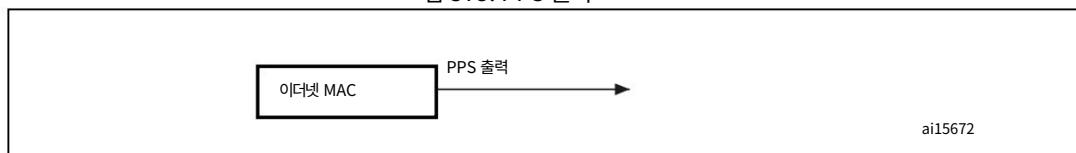
PPS 출력은 GPIO 대체 기능을 통해 활성화됩니다. (GPIO_AFR 레지스터).

PPS 출력의 기본 주파수는 1Hz입니다. PPSFREQ[3:0](ETH_PTPPSCR)을 사용하여 PPS 출력의 주파수를 2PPSFREQHz로 설정할 수 있습니다.

1Hz로 설정된 경우 PPS 펄스 폭은 바이너리 롤오버(TSSSR=0, ETH_PTPTSCR의 비트 9)에서는 125ms이고 디지털 롤오버(TSSSR=1)에서는 100ms입니다. 2Hz 이상으로 설정하면 PPS 출력의 둑티 사이클은 바이너리 롤오버 시 50%입니다.

디지털 롤오버(TSSSR=1)에서는 불규칙한 파형을 가지므로 1Hz 이외의 주파수로 PPS 출력을 사용하지 않는 것이 좋습니다(단, 평균 주파수는 1초 창 동안 항상 정확합니다).

그림 375. PPS 출력



33.6 이더넷 기능 설명: DMA 컨트롤러 작동

DMA에는 독립적인 전송 및 수신 엔진과 CSR 공간이 있습니다. 전송 엔진은 시스템 메모리의 데이터를 Tx FIFO로 전송하고, 수신 엔진은 Rx FIFO의 데이터를 시스템 메모리로 전송합니다. 컨트롤러는 디스크립터를 활용하여 CPU 개입을 최소화하면서 소스에서 대상으로 데이터를 효율적으로 이동합니다. DMA는 이더넷의 프레임과 같은 패킷 지향 데이터 전송을 위해 설계되었습니다. 컨트롤러는 프레임 전송 및 수신 전송 완료, 기타 정상/오류 조건 등의 경우 CPU를 중단하도록 프로그래밍할 수 있습니다. DMA와 STM32F4xx는 두 가지 데이터 구조를 통해 통신합니다.

- 제어 및 상태 레지스터(CSR)
- 설명자 목록 및 데이터 버퍼.

제어 및 상태 레지스터는 [섹션 33.8](#)에 자세히 설명되어 있습니다. 디스크립터는 [일반 Tx DMA 디스크립터](#)에 자세히 설명되어 있습니다.

DMA는 수신된 데이터 프레임을 STM32F4xx 메모리의 수신 버퍼로 전송하고, STM32F4xx 메모리의 전송 버퍼에서 데이터 프레임을 전송합니다.

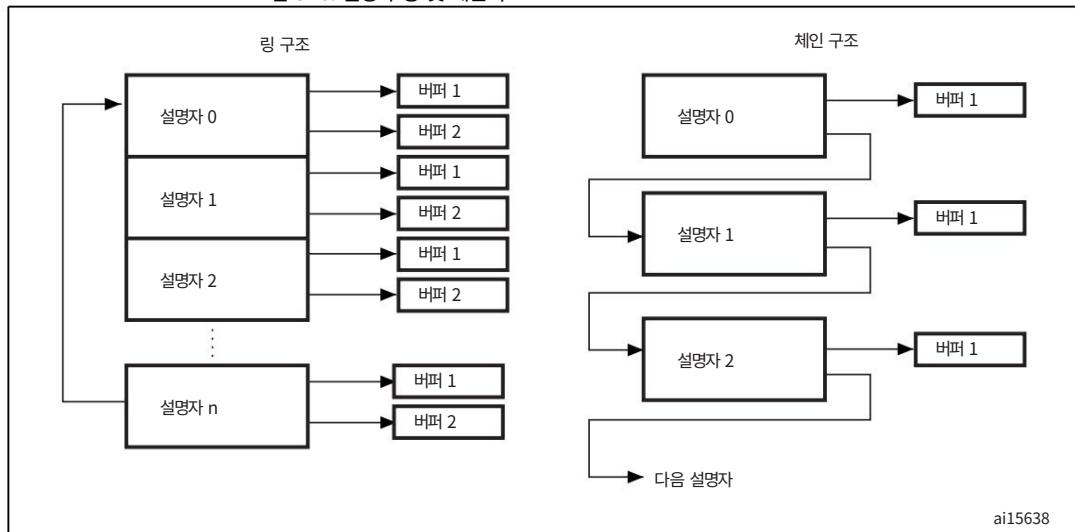
STM32F4xx 메모리에 있는 설명자는 이러한 버퍼에 대한 포인터 역할을 합니다. 두 개의 설명자 목록이 있습니다. 하나는 수신용이고 다른 하나는 전송용입니다. 각 목록의 기본 주소는 각각 DMA 레지스터 3과 4에 기록됩니다. 설명자 목록은 (암시적 또는 명시적으로) 정방향 링크됩니다. 마지막 설명자는 링 구조를 생성하기 위해 첫 번째 항목을 다시 가리킬 수 있습니다. 설명자의 명시적 연결은 수신 및 전송 설명자(RDES1[14] 및 TDES0[20]) 모두에 연결된 두 번째 주소를 구성하여 수행됩니다.

설명자 목록은 호스트의 물리적 메모리 공간에 상주합니다. 각 설명자는 최대 2개의 버퍼를 가리킬 수 있습니다. 이를 통해 물리적으로 주소가 지정된 두 개의 버퍼를 사용할 수 있습니다.

메모리에 두 개의 인접한 버퍼 대신, 데이터 버퍼는 호스트의 물리적 메모리 공간에 상주하며 전체 프레임 또는 프레임의 일부로 구성되지만 단일 프레임을 초과할 수 없습니다. 버퍼에는 데이터만 포함됩니다. 버퍼 상태는 설명자에서 유지됩니다.

데이터 체인은 여러 데이터 버퍼에 걸쳐 있는 프레임을 나타냅니다. 그러나 단일 설명자는 여러 프레임에 걸쳐 있을 수 없습니다. DMA는 프레임 끝이 감지되면 다음 프레임 버퍼로 건너뜁니다. 데이터 체인을 활성화하거나 비활성화할 수 있습니다. 설명자 링과 체인 구조는 [그림 376에 나와 있습니다.](#)

그림 376. 설명자 링 및 체인 구조



33.6.1 DMA를 사용한 전송 초기화

MAC 초기화는 다음과 같습니다.

- STM32F4xx 버스 액세스 매개변수를 설정하려면 ETH_DMABMR에 씁니다.
- 불필요한 인터럽트 원인을 마스크하기 위해 ETH_DMAIER 레지스터에 기록합니다.
- 소프트웨어 드라이버는 전송 및 수신 설명자 목록을 생성합니다. 그런 다음 ETH_DMARDLAR 및 ETH_DMATDLAR 레지스터에 기록하여 DMA에 각 목록의 시작 주소를 제공합니다.
- MAC 레지스터 1, 2, 3에 기록하여 원하는 필터링 옵션을 선택합니다.
- MAC ETH_MACCR 레지스터에 기록하여 전송 및 활성화를 구성하고 활성화합니다.
작동 모드를 수신합니다. PS 및 DM 비트는 자동 협상 결과(PHY에서 읽음)를 기반으로 설정됩니다.
- ETH_DMAOMR 레지스터에 기록하여 비트 13과 1을 설정하고 전송을 시작합니다.
리셋션.
- 전송 및 수신 엔진은 실행 상태로 들어가고 획득을 시도합니다.
해당 설명자 목록의 설명자입니다. 그런 다음 수신 및 전송 엔진은 수신 및 전송 작업 처리를 시작합니다. 전송 및 수신 프로세스는 서로 독립적이며 별도로 시작하거나 중지할 수 있습니다.

33.6.2 호스트 버스 버스트 액세스

DMA는 구성된 경우 AHB 마스터 인터페이스에서 고정 길이 버스트 전송을 실행하려고 시도합니다(ETH_DMABMR의 FB 비트). 최대 버스트 길이는 PBL 필드(ETH_DMABMR [13:8])에 의해 표시되고 제한됩니다. 수신 및 전송 설명자는 다음과 같습니다.

읽을 16바이트에 대해 항상 가능한 최대 버스트 크기(PBL로 제한)로 액세스됩니다.

전송 DMA는 전송 FIFO에 구성된 버스트 또는 프레임 끝까지의 바이트 수(구성된 버스트 길이보다 작은 경우)를 수용할 수 있는 충분한 공간이 있는 경우에만 데이터 전송을 시작합니다. DMA는 AHB 마스터 인터페이스에 필요한 시작 주소와 전송 횟수를 나타냅니다. AHB 인터페이스가 고정 길이 버스트용으로 구성된 경우 INCR4, INCR8, INCR16 및 SINGLE 트랜잭션의 최상의 조합을 사용하여 데이터를 전송합니다. 그렇지 않으면(고정 길이 버스트 없음) INCR(정의되지 않은 길이) 및 SINGLE 트랜잭션을 사용하여 데이터를 전송합니다.

수신 DMA는 구성된 버스트에 대한 충분한 데이터가 수신 FIFO에서 사용 가능하거나 프레임 끝(구성된 버스트 길이보다 짧은 경우)이 수신 FIFO에서 감지되는 경우에만 데이터 전송을 시작합니다. DMA는 AHB 마스터 인터페이스에 필요한 시작 주소와 전송 횟수를 나타냅니다. AHB 인터페이스가 고정 길이 버스트용으로 구성된 경우 INCR4, INCR8, INCR16 및 SINGLE 트랜잭션의 최상의 조합을 사용하여 데이터를 전송합니다. AHB 인터페이스에서 고정 버스트가 끝나기 전에 프레임 끝에 도달하면 고정 길이 버스트를 완료하기 위해 더미 전송이 수행됩니다. 그렇지 않으면(ETH_DMABMR의 FB 비트가 재설정됨) INCR(정의되지 않은 길이) 및 SINGLE 트랜잭션을 사용하여 데이터를 전송합니다.

AHB 인터페이스가 주소 정렬 비트에 대해 구성되면 두 DMA 엔진 모두 AHB가 시작하는 첫 번째 버스트 전송이 구성된 PBL의 크기보다 작거나 같도록 보장합니다. 따라서 모든 후속 비트는 구성된 PBL에 정렬된 주소에서 시작됩니다.

AHB 인터페이스는 INCR16 이상을 지원하지 않기 때문에 DMA는 최대 크기 16(PBL > 16)의 비트에 대해서만 주소를 정렬할 수 있습니다.

33.6.3 호스트 데이터 버퍼 정렬

송신 및 수신 데이터 버퍼에는 시작 주소 정렬에 대한 제한이 없습니다. 32비트 메모리를 사용하는 시스템에서는 버퍼의 시작 주소를 4바이트 중 하나로 정렬할 수 있습니다. 그러나 DMA는 항상 필요하지 않은 바이트 레인에 대한 더미 데이터를 사용하여 버스 폭에 맞춰 주소를 정렬하여 전송을 시작합니다. 이는 일반적으로 이더넷 프레임의 시작 또는 끝을 전송하는 동안 발생합니다.

- 버퍼 읽기의 예:

전송 버퍼 주소가 0x0000 0FF2이고 15바이트를 전송해야 하는 경우 DMA는 주소 0x0000 0FF0에서 5개의 전체 단어를 읽지만 데이터를 전송 FIFO로 전송할 때 추가 바이트(처음 2바이트)는 삭제되거나 무시되었습니다.

마찬가지로 마지막 전송의 마지막 3바이트도 무시됩니다. DMA는 프레임의 끝이 아닌 한 항상 전체 32비트 데이터 항목을 전송 FIFO로 전송하도록 보장합니다.

- 버퍼 쓰기의 예:

수신 버퍼 주소가 0x0000 0FF2이고 수신 프레임의 16바이트를 전송해야 하는 경우 DMA는 주소 0x0000 0FF0에서 5개의 전체 32비트 데이터 항목을 씁니다. 그러나 첫 번째 전송의 처음 2바이트와 세 번째 전송의 마지막 2바이트에는 더미 데이터가 있습니다.

33.6.4 버퍼 크기 계산

DMA는 전송 및 수신 설명자의 크기 필드를 업데이트하지 않습니다. DMA는 설명자의 상태 필드(xDES0)만 업데이트합니다. 운전자는 크기를 계산해야 합니다. 전송 DMA는 MAC 코어를 향해 정확한 바이트 수(TDES1의 버퍼 크기 필드에 표시됨)를 전송합니다. 설명자가 첫 번째로 표시되면(TDES0의 FS 비트가 설정됨) DMA는 버퍼의 첫 번째 전송을 프레임의 시작으로 표시합니다. 설명자가 다음과 같은 경우

마지막(TDES0의 LS 비트)으로 표시된 경우 DMA는 해당 데이터 버퍼의 마지막 전송을 프레임 끝으로 표시합니다. 수신 DMA는 버퍼가 가득 차거나 프레임 끝이 수신될 때까지 데이터를 버퍼로 전송합니다. 설명자가 마지막으로 표시되지 않은 경우(RDES0의 LS 비트) 설명자에 해당하는 버퍼는 가득 차고 버퍼의 유효한 데이터 양은 버퍼 크기 필드에서 데이터 버퍼 포인터를 뺀 값으로 정확하게 표시됩니다. 설명자의 FS 비트가 설정되면 오프셋입니다. 데이터 버퍼 포인터가 데이터 버스 너비에 맞춰 정렬되면 오프셋은 0입니다. 설명자가 마지막으로 표시되면 버퍼가 가득 차지 않을 수 있습니다(RDES1의 버퍼 크기로 표시됨). 이 최종 버퍼의 유효한 데이터 양을 계산하려면 드라이버는 프레임 길이(RDES0[29:16]의 FL 비트)를 읽고 이 프레임에 있는 이전 버퍼의 버퍼 크기 합계를 빼야 합니다. 수신 DMA는 항상 새로운 설명자를 사용하여 다음 프레임의 시작을 전송합니다.

메모:

수신 버퍼의 시작 주소가 시스템 데이터 버스 폭에 맞춰져 있지 않은 경우에도 시스템은 시스템 버스 폭에 맞춰진 크기의 수신 버퍼를 할당해야 합니다. 예를 들어 시스템이 주소 0x1000에서 시작하는 1024바이트(1KB) 수신 버퍼를 할당하는 경우 소프트웨어는 수신 설명자의 버퍼 시작 주소가 0x1002 오프셋을 갖도록 프로그래밍할 수 있습니다. 수신 DMA는 처음 두 위치(0x1000 및 0x1001)에 더미 데이터를 사용하여 이 버퍼에 프레임을 기록합니다. 실제 프레임은 0x1002 위치에서 기록됩니다. 따라서 버퍼 크기가 1024바이트로 프로그래밍되었더라도 시작 주소 오프셋으로 인해 이 버퍼의 실제 사용 가능한 공간은 1022바이트입니다.

33.6.5 DMA 중재자

DMA 내부의 중재자는 AHB 마스터 인터페이스에 대한 전송 및 수신 채널 액세스 간의 중재를 관리합니다. 중재에는 라운드 로빈과 고정 우선순위의 두 가지 유형이 가능합니다. 라운드 로빈 중재가 선택되면(ETH_DMABMR의 DA 비트가 재설정됨) 전송 및 수신 DMA가 동시에 액세스를 요청할 때 중재자는 ETH_DMABMR의 PM 비트에 의해 설정된 비율로 데이터버스를 할당합니다.

DA 비트가 설정되면 수신 DMA는 항상 데이터 전송 DMA보다 우선순위를 갖습니다.
입장.

33.6.6 DMA에 대한 오류 응답

DMA 채널에 의해 시작된 데이터 전송의 경우 슬레이브가 오류 응답으로 응답하면 해당 DMA는 모든 작업을 중지하고 상태 레지스터(ETH_DMASR 레지스터)의 오류 비트와 치명적인 버스 오류 비트를 업데이트합니다. 해당 DMA 컨트롤러는 주변 장치를 소프트 또는 하드 재설정하고 DMA를 다시 초기화한 후에만 작동을 재개할 수 있습니다.

33.6.7 Tx DMA 구성

TxDMA 작동: 기본(비OSF) 모드

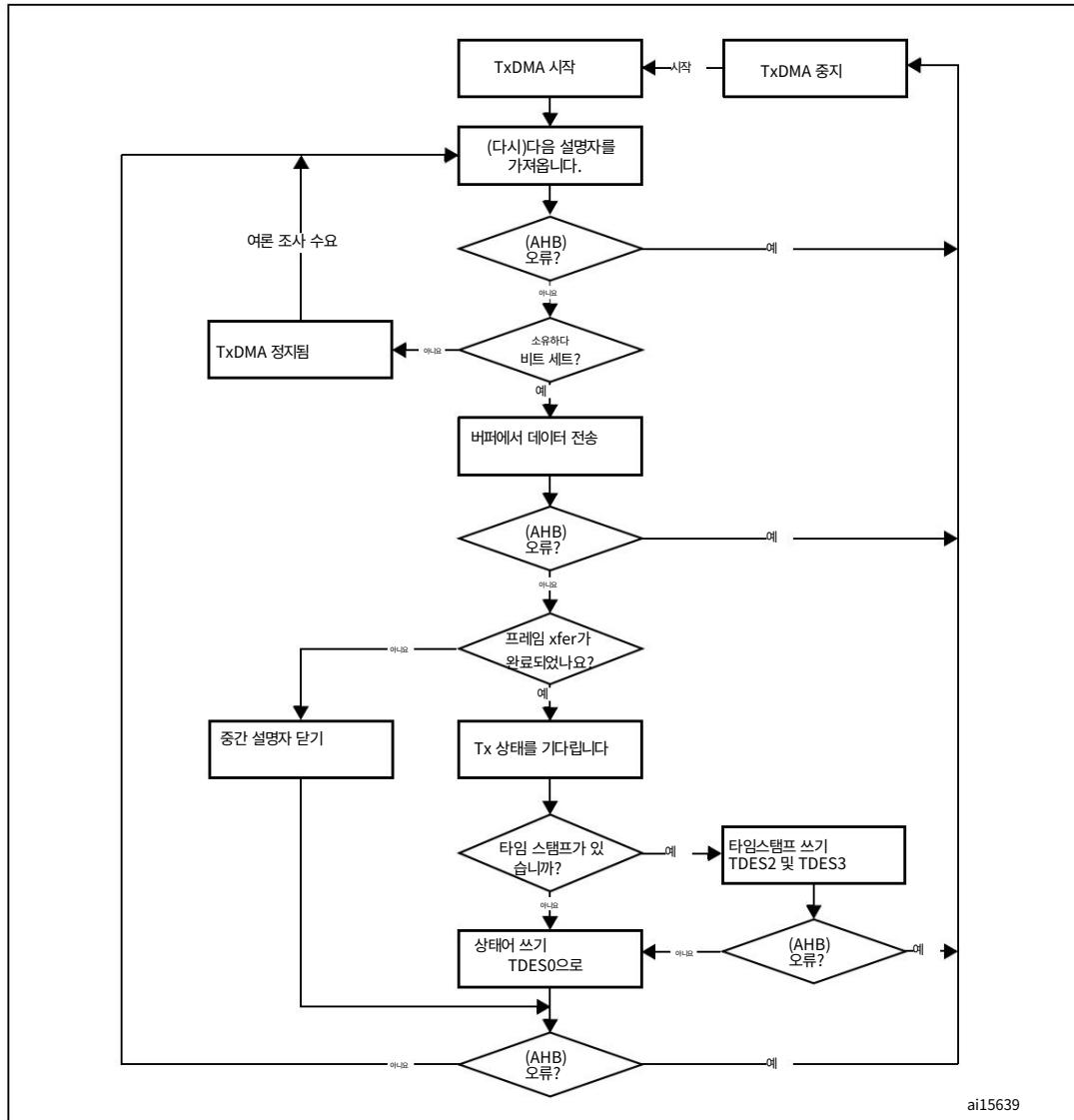
기본 모드의 전송 DMA 엔진은 다음과 같이 진행됩니다.

1. 사용자는 전송 설명자(TDES0-TDES3)를 설정하고 OWN 비트를 설정합니다.
(TDES0[31]) 이더넷 프레임 데이터로 해당 데이터 버퍼를 설정한 후.
2. ST 비트(ETH_DMAOMR 레지스터[13])가 설정되면 DMA는 실행 상태로 들어갑니다.

3. 실행 상태에 있는 동안 DMA는 전송이 필요한 프레임에 대한 전송 설명자 목록을 폴링합니다. 폴링이 시작된 후 순차적 설명자 링 순서 또는 체인 순서로 계속됩니다. DMA가 CPU 소유로 표시된 설명자를 감지하거나 오류 조건이 발생하는 경우 전송이 일시 중단되고 전송 버퍼 사용 불가(ETH_DMASR 레지스터[2]) 및 일반 인터럽트 요약(ETH_DMASR 레지스터[16]) 비트가 모두 설정됩니다. 전송 엔진은 9단계로 진행됩니다.
4. 획득된 디스크립터가 DMA 소유로 플래그 지정되면(TDES0[31]이 설정됨) DMA는 획득된 디스크립터에서 전송 데이터 버퍼 주소를 디코딩합니다.
5. DMA는 STM32F4xx 메모리에서 전송 데이터를 가져와서 전송합니다.
6. 이더넷 프레임이 여러 설명자의 데이터 버퍼에 저장된 경우 DMA는 중간 설명자를 닫고 다음 설명자를 가져옵니다. 이더넷 프레임 데이터가 전송될 때까지 3, 4, 5단계를 반복합니다.
7. 프레임 전송이 완료되면 프레임에 대해 IEEE 1588 타임스탬프가 활성화된 경우(전송 상태에 표시된 대로) 타임스탬프 값은 프레임 끝 버퍼를 포함하는 전송 설명자(TDES2 및 TDES3)에 기록됩니다. 그런 다음 상태 정보가 이 전송 설명자(TDES0)에 기록됩니다. 이 단계에서 OWN 비트가 지워지기 때문에 이제 CPU는 이 설명자를 소유합니다. 이 프레임에 대해 타임스탬프가 활성화되지 않은 경우 DMA는 TDES2 및 TDES3의 내용을 변경하지 않습니다.
8. 전송 인터럽트(ETH_DMASR 레지스터 [0])는 마지막 설명자에 완료 시 인터럽트(TDES1[31])가 설정된 프레임의 전송을 완료한 후 설정됩니다. 그런 다음 DMA 엔진은 3단계로 돌아갑니다.
9. Suspend 상태에서 DMA는 전송 풀 요청을 수신하면 설명자를 다시 획득하려고 시도하며(따라서 3단계로 돌아감) Underflow Interrupt Status 비트가 지워집니다.

[그림 377은](#) 기본 모드에서의 TxDMA 전송 흐름을 보여줍니다.

그림 377. 기본 모드의 TxDMA 작동



TxDMA 작동: OSF 모드

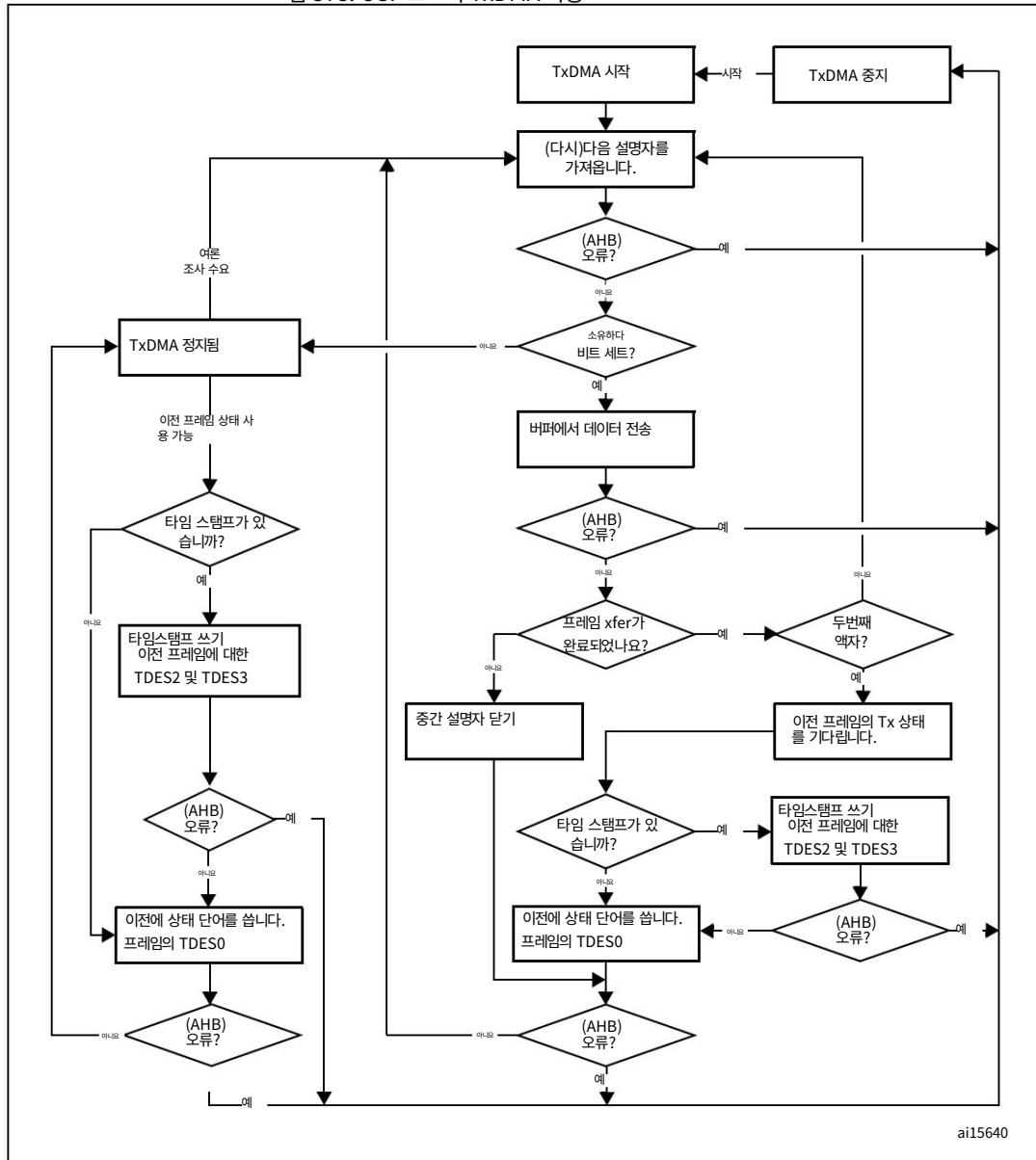
Run 상태에 있는 동안 전송 프로세스는 첫 번째 상태 설명자를 닫지 않고도 두 프레임을 동시에 획득할 수 있습니다 (OSF 비트가 ETH_DMAOMR 레지스터[2]에 설정된 경우).

전송 프로세스가 첫 번째 프레임 전송을 마치면 즉시 두 번째 프레임에 대한 전송 설명자 목록을 폴링합니다. 두 번째 프레임이 유효하면 전송 프로세스는 첫 번째 프레임의 상태 정보를 쓰기 전에 이 프레임을 전송합니다. OSF 모드에서 실행 상태 전송 DMA는 다음 순서에 따라 작동합니다.

1. DMA는 TxDMA의 1~6단계(기본 모드)에 설명된 대로 작동합니다.
2. 이전 프레임의 마지막 설명자를 닫지 않고 DMA는 다음 프레임을 가져옵니다.
설명자.
 - 삼. DMA가 획득한 설명자를 소유한 경우 DMA는 이 설명자의 전송 버퍼 주소를 디코딩합니다. DMA가 설명자를 소유하지 않으면 DMA는 일시 중지 모드로 전환되고 7단계로 건너뜁니다.
4. DMA는 STM32F4xx 메모리에서 전송 프레임을 가져오고 프레임 데이터가 전송될 때까지 프레임을 전송합니다. 이 프레임이 여러 설명자에 걸쳐 분할되면 중간 설명자를 닫습니다.
5. DMA는 이전 프레임의 전송 상태와 타임 스탬프를 기다립니다. 상태가 사용 가능한 경우 DMA는 타임스탬프가 캡처된 경우(상태 비트로 표시됨) TDES2 및 TDES3에 타임스탬프를 기록합니다. 그런 다음 DMA는 OWN 비트가 지워진 상태를 해당 TDES0에 기록하여 설명자를 닫습니다. 이전 프레임에 대해 타임스탬프가 활성화되지 않은 경우 DMA는 TDES2 및 TDES3의 내용을 변경하지 않습니다.
6. 활성화되면 전송 인터럽트가 설정되고 DMA는 다음 설명자를 가져온 다음 3단계(상태가 정상인 경우)로 진행됩니다. 이전 전송 상태가 언더플로우 오류를 나타내는 경우 DMA는 일시 중단 모드로 전환됩니다(7단계).
7. 일시 중지 모드에서 보류 상태 및 타임 스탬프가 DMA에 의해 수신되면 타임 스탬프(현재 프레임에 대해 활성화된 경우)를 TDES2 및 TDES3에 기록한 다음 해당 상태를 해당 TDES0에 씁니다. 그런 다음 관련 인터럽트를 설정하고 일시 중단 모드로 돌아갑니다.
8. DMA는 전송 폴 요청(ETH_DMATPDR 레지스터)을 수신한 후에만 일시 중지 모드를 종료하고 실행 상태(보류 상태에 따라 1단계 또는 2단계로 이동)로 들어갈 수 있습니다.

[그림 378](#)은 OSF 모드의 기본 흐름도를 보여줍니다.

그림 378. OSF 모드의 TxDMA 작동



전송 프레임 처리

전송 DMA는 데이터 버퍼에 프리앰블, 패드 바이트 및 FCS 필드를 제외한 완전한 이더넷 프레임이 포함될 것으로 예상합니다. DA, SA 및 Type/Len 필드에는 유효한 데이터가 포함되어 있습니다. 전송 설명자가 MAC 코어가 CRC 또는 패드 삽입을 비활성화해야 함을 나타내는 경우 버퍼에는 CRC 바이트를 포함하여 완전한 이더넷 프레임(프리앰블 제외)이 있어야 합니다. 프레임은 데이터 체인으로 연결될 수 있으며 여러 버퍼에 걸쳐 있을 수 있습니다. 프레임은 첫 번째 설명자(TDES0[28])와 마지막 설명자(TDES0[29])로 구분되어야 합니다. 전송이 시작되면 첫 번째 설명자에 TDES0[28]이 설정되어야 합니다. 이 경우 프레임 데이터가 메모리 버퍼에서 전송 FIFO로 전송됩니다. 동시에 현재 프레임의 마지막 설명자(TDES0[29])가 지워지면 전송 프로세스는 다음 설명자를 얻으려고 시도합니다. 전송 프로세스에서는 이 설명자에서 TDES0[28]이 지워질 것으로 예상합니다. TDES0[29]가 지워지면 중간 버퍼를 나타냅니다. TDES0[29]가 설정되면

프레임의 마지막 버퍼를 나타냅니다. 프레임의 마지막 버퍼가 전송된 후 DMA는 전송 설명자 0(TDESO[29])에 설정된 마지막 세그먼트가 있는 설명자의 전송 설명자 0(TDESO) 워드에 최종 상태 정보를 다시 씁니다. 이때, 완료 시 인터럽트(TDESO[30])가 설정되면 전송 인터럽트(ETH_DMASR 레지스터 [0]에 있음)가 설정되고 다음 디스크립터를 가져오며 프로세스가 반복됩니다. 실제 프레임 전송은 전송 FIFO가 프로그래밍 가능한 전송 임계값(ETH_DMAOMR 레지스터[16:14])에 도달하거나 전체 프레임이 FIFO에 포함된 후에 시작됩니다. 저장 및 전달 모드(ETH_DMAOMR 레지스터[21])에 대한 옵션도 있습니다. DMA가 프레임 전송을 완료하면 설명자가 해제됩니다(OWN 비트 TDESO[31]이 지워짐).

폴링 전송이 일시 중지되었습니다.

폴링 전송은 다음 조건 중 하나로 일시 중단될 수 있습니다

- DMA는 CPU가 소유한 설명자(TDOS[31]=0)를 감지하고 전송 버퍼 사용 불가능 플래그가 설정됩니다(ETH_DMASR 레지스터[2]). 재개하려면 드라이버는 설명자 소유권을 DMA에 부여한 다음 Poll Demand 명령을 실행해야 합니다.
 - 언더플로로 인한 전송 오류가 감지되면 프레임 전송이 중단됩니다.

적절한 전송 설명자 0(TDESO) 비트가 설정됩니다. 두 번째 조건이 발생하면 비정상적인 인터럽트 요약(ETH_DMASR 레지스터 [15])과 전송 언더플로우 비트(ETH_DMASR 레지스터[5])가 모두 설정되고 해당 정보가 전송 설명자 0에 기록되어 일시 중단됩니다. 첫 번째 조건으로 인해 DMA가 일시 중단 상태가 되면 일반 인터럽트 요약(ETH_DMASR 레지스터 [16]) 및 전송 버퍼 사용 불가(ETH_DMASR 레지스터[2]) 비트가 모두 설정됩니다. 두 경우 모두 전송 목록의 위치가 유지됩니다. 유지된 위치는 DMA에 의해 닫힌 마지막 설명자 뒤의 설명자의 위치입니다. 드라이버는 일시 중단 원인을 수정한 후 Transmit Poll Demand 명령을 명시적으로 실행해야 합니다.

일반 Tx DMA 설명자

일반적인 전송 설명자 구조는 그림 379에 표시된 대로 4개의 32비트 단어로 구성됩니다. TDES0, TDES1, TDES2 및 TDES3의 비트 설명은 아래에 제공됩니다.

타임스탬프가 활성화된 경우(ETH_PTPSCR 비트 0, TSE=1) 또는 IPv4 체크섬 오프로드가 활성화된 경우(ETH_MACCR 비트 10, IPCO=1) 향상된 설명자를 사용해야 합니다.

그림 379. 일반 전송 설명자

	31		0
TDES 0	영령 여 N	Ctrl 키 [30:26]	티 티 예스 예스 24
TDES 1	예약된 [31:29]	결의안. 24	Ctrl 키 [23:20]
TDES 2	예약된 [19:18]		
TDES 3	티 티 예스 예스 상태 [16:0]		
TDES 1	버퍼 2바이트 수 [28:16]	예약된 [15:13]	버퍼 1바이트 수 [12:0]
TDES 2	버퍼 1 주소[31:0] / 타임스탬프 낮음[31:0]		
TDES 3	버퍼 2 주소[31:0] 또는 다음 설명자 주소[31:0] / 타임스탬프 상위[31:0]		

- TDES0: 전송 설명자 Word0

애플리케이션 소프트웨어는 설명자 초기화 중에 제어 비트 [30:26]+[23:20]와 OWN 비트 [31]를 프로그래밍 해야 합니다. DMA가 설명자를 업데이트하거나 다시 쓸 때 모든 제어 비트와 OWN 비트를 재설정하고 상태 비트만 보고합니다.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
자체 IC		엑세스	FS DC	DP TTSE			해상도	CIC	TER TCH			결의안.	TTSS IHE		
rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw		rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	상	2	1	0
에스제이[E]		FF	IPE LCA NC LCO	EC			VF		CC			ED University of Florida의 DB			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

비트 31 OWN: 자체 비트

설정된 경우 이 비트는 설명자가 DMA의 소유임을 나타냅니다. 이 비트가 재설정되면 설명자가 CPU에 의해 소유되었음을 나타냅니다. DMA는 프레임 전송을 완료하거나 설명자에 할당된 버퍼를 완전히 읽을 때 이 비트를 자릅니다. 프레임의 첫 번째 설명자의 소유권 비트는 동일한 프레임에 속하는 모든 후속 설명자가 설정된 후에 설정되어야 합니다.

비트 30 IC: 완료 시 인터럽트

이 비트가 설정되면 현재 프레임이 전송된 후 전송 인터럽트(ETH_DMASR[0])를 설정합니다.

비트 29 LS: 마지막 세그먼트

설정된 경우 이 비트는 버퍼에 프레임의 마지막 세그먼트가 포함되어 있음을 나타냅니다.

비트 28 FS: 첫 번째 세그먼트

설정된 경우 이 비트는 버퍼에 프레임의 첫 번째 세그먼트가 포함되어 있음을 나타냅니다.

비트 27 DC: CRC 비활성화

이 비트가 설정되면 MAC은 전송된 프레임의 끝에 CRC(순환 중복 검사)를 추가하지 않습니다. 첫 번째 세그먼트(TDES0[28])가 설정된 경우에만 유효합니다.

비트 26 DP: 패드 비활성화

설정된 경우 MAC은 64바이트보다 짧은 프레임에 패딩을 자동으로 추가하지 않습니다.

이 비트가 재설정되면 DMA는 64바이트보다 짧은 프레임에 자동으로 패딩 및 CRC를 추가하고 DC(TDES0[27]) 비트 상태에도 불구하고 CRC 필드를 추가합니다. 첫 번째 세그먼트(TDES0[28])가 설정된 경우에만 유효합니다.

비트 25 TTSE: 전송 타임스탬프 활성화

TTSE가 설정되고 TSE가 설정되면(ETH_PTPSCR 비트 0), 설명자에 의해 설정된 전송 프레임에 대해 IEEE1588 하드웨어 타임스탬핑이 활성화됩니다. 이 필드는 첫 번째 세그먼트 제어 비트(TDES0[28])가 설정된 경우에만 유효합니다.

비트 24 예약됨, 재설정 값으로 유지되어야 합니다.

비트 23:22 CIC: 체크섬 삽입 제어

이 비트는 체크섬 계산 및 삽입을 제어합니다. 비트 인코딩은 아래와 같습니다.

00: 체크섬 삽입이 비활성화되었습니다.

01: IP 헤더 체크섬 계산 및 삽입만 활성화됩니다.

10: IP 헤더 체크섬과 페이로드 체크섬 계산 및 삽입이 활성화되지만 의사 헤더 체크섬은 하드웨어에서 계산되지 않습니다.

11: IP 헤더 체크섬과 페이로드 체크섬 계산 및 삽입이 활성화되고 의사 헤더 체크섬이 하드웨어에서 계산됩니다.

비트 21 TER: 링 끝 전송

설정된 경우 이 비트는 설명자 목록이 최종 설명자에 도달했음을 나타냅니다. DMA는 목록의 기본 주소로 돌아가 설명자 링을 생성합니다.

비트 20 TCH: 두 번째 주소 체인

설정된 경우 이 비트는 설명자의 두 번째 주소가 두 번째 버퍼 주소가 아닌 다음 설명자 주소임을 나타냅니다. TDES0[20]이 설정된 경우 TBS2(TDES1[28:16])는 "상관 없음" 값입니다. TDES0[21]은 TDES0[20]보다 우선합니다.

비트 19:18 예약됨, 재설정 값으로 유지되어야 합니다.

비트 17 TTSS: 타임스탬프 상태 전송

이 필드는 설명된 전송 프레임에 대해 타임스탬프가 캡처되었음을 나타내는 상태 비트로 사용됩니다. 이 비트가 설정되면 TDES2 및 TDES3은 전송 프레임에 대해 캡처된 타임스탬프 값을 갖습니다. 이 필드는 설명자의 마지막 세그먼트 제어 비트(TDES0[29])가 설정된 경우에만 유효합니다.

향상된 설명자가 활성화된 경우(ETH_DMABMR의 EDFE=1) TTSS=1은 TDES6 및 TDES7에 타임스탬프 값이 있음을 나타냅니다.

비트 16 IHE: IP 헤더 오류

설정된 경우 이 비트는 MAC 송신기가 IP 데이터그램 헤더에서 오류를 감지했음을 나타냅니다. 송신기는 IPv4 패킷의 헤더 길이를 애플리케이션에서 수신한 헤더 바이트 수와 비교하여 확인하고 불일치가 있는 경우 오류 상태를 표시합니다. IPv6 프레임의 경우 기본 헤더 길이가 40바이트가 아니면 헤더 오류가 보고됩니다. 또한 IPv4 또는 IPv6 프레임의 이더넷 길이/유형 필드 값은 패킷과 함께 수신된 IP 헤더 버전과 일치해야 합니다. IPv4 프레임의 경우 헤더 길이 필드의 값이 0x5보다 작은 경우에도 오류 상태가 표시됩니다.

비트 15 ES: 오류 요약

다음 비트의 논리적 OR를 나타냅니다.

- TDES0[14]: Jabber 시간 초과
- TDES0[13]: 프레임 플러시
- TDES0[11]: 캐리어 손실
- TDES0[10]: 캐리어 없음
- TDES0[9]: 늦은 충돌
- TDES0[8]: 과도한 충돌
- TDES0[2]: 과도한 연기
- TDES0[1]: 언더플로우 오류
- TDES0[16]: IP 헤더 오류
- TDES0[12]: IP 페이로드 오류

비트 14 JT: Jabber 시간 초과

설정된 경우 이 비트는 MAC 송신기에서 재버 시간 초과가 발생했음을 나타냅니다. 이 비트는 MAC 구성 레지스터의 JD 비트가 설정되지 않은 경우에만 설정됩니다.

비트 13 FF: 프레임 플러시

설정된 경우 이 비트는 CPU가 제공한 소프트웨어 플러시 명령으로 인해 DMA/MTL이 프레임을 플러시했음을 나타냅니다.

비트 12 IPE: IP 페이로드 오류

설정된 경우 이 비트는 MAC 송신기가 TCP, UDP 또는 ICMP IP 데이터그램 페이로드에서 오류를 감지했음을 나타냅니다. 송신기는 IPv4 또는 IPv6 헤더에서 수신된 페이로드 길이를 애플리케이션에서 수신된 TCP, UDP 또는 ICMP 패킷 바이트의 실제 수와 비교하여 확인하고 불일치하는 경우 오류 상태를 발행합니다.

RM0090

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

비트 11 LCA: 반송파 손실

이 비트가 설정되면 프레임 전송 중에 반송파 손실이 발생했음을 나타냅니다. 즉, MII_CRS 신호가 프레임 전송 중 하나 이상의 전송 클럭 기간 동안 비활성화되었습니다. 이는 MAC이 Half-duplex 모드로 동작할 때 충돌 없이 전송되는 프레임에만 유효합니다.

비트 10 NC: 캐리어 없음

이 비트가 설정되면 PHY의 캐리어 감지 신호가 전송 중에 어설션되지 않았음을 나타냅니다.

비트 9 LCO: 늦은 충돌

이 비트가 설정되면 충돌 창(MII 모드에서 프리앰프 포함 64바이트 시간) 이후에 충돌이 발생하여 프레임 전송이 중단되었음을 나타냅니다. 언더플로우 오류 비트가 설정된 경우 이 비트는 유효하지 않습니다.

비트 8 EC: 과도한 충돌

이 비트가 설정되면 현재 프레임을 전송하려고 시도하는 동안 16번의 연속 충돌 후에 전송이 중단되었음을 나타냅니다. MAC 구성 레지스터의 RD(Disable retry) 비트가 설정되면 이 비트는 첫 번째 충돌 후에 설정되고 프레임 전송이 중단됩니다.

비트 7 VF: VLAN 프레임

설정된 경우 이 비트는 전송된 프레임이 VLAN 유형 프레임인지를 나타냅니다.

비트 6:3 CC: 충돌 횟수

이 4비트 카운터 값은 프레임이 전송되기 전에 발생한 충돌 횟수를 나타냅니다. 과도한 충돌 비트(TDES0[8])가 설정된 경우 카운트는 유효하지 않습니다.

비트 2 ED: 과도한 지연

설정된 경우 이 비트는 MAC 제어 레지스터의 지연 검사(DC) 비트가 높게 설정된 경우 24 288비트 시간 이상의 과도한 지연으로 인해 전송이 종료되었음을 나타냅니다.

비트 1 UF: 언더플로우 오류

이 비트가 설정되면 데이터가 RAM 메모리에서 늦게 도착했기 때문에 MAC이 프레임을 중단했음을 나타냅니다. 언더플로 오류는 DMA가 프레임을 전송하는 동안 빈 전송 버퍼를 발견했음을 나타냅니다. 전송 프로세스는 Suspended 상태에 진입하고 전송 언더플로우(ETH_DMASR[5])와 전송 인터럽트(ETH_DMASR[0])를 모두 설정합니다.

비트 0 DB: 지연된 비트

이 비트가 설정되면 캐리어가 있기 때문에 MAC가 전송 전에 연기된다는 것을 나타냅니다. 이 비트는 반이중 모드에서만 유효합니다.

• TDES1: 전송 설명자 Word1

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

예약됨	TBS2								예약됨	TBS1								
	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw

31:29 예약됨, 재설정 값으로 유지되어야 합니다.

28:16 TBS2: 전송 버퍼 2 크기

이 비트는 두 번째 데이터 버퍼 크기(바이트)를 나타냅니다. TDES0[20]이 설정된 경우 이 필드는 유효하지 않습니다.

15:13 예약됨, 재설정 값으로 유지되어야 합니다.

12:0 TBS1: 전송 버퍼 1 크기

이 비트는 첫 번째 데이터 버퍼 바이트 크기(바이트)를 나타냅니다. 이 필드가 0이면 DMA는 이 버퍼를 무시하고 TCH(TDES0[20]) 값에 따라 버퍼 2 또는 다음 설명자를 사용합니다.

- TDES2: 전송 설명자 Word2

TDES2에는 설명자의 첫 번째 버퍼에 대한 주소 포인터가 포함되어 있거나 타임스탬프 데이터가 포함되어 있습니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TBAP1/TBAP/TTSL
rw

비트 31:0 TBAP1: 전송 버퍼 1 주소 포인터/전송 프레임 타임스탬프 낮을

이러한 비트에는 두 가지 다른 기능이 있습니다. 즉, 메모리 내 데이터 위치를 DMA에 표시하고, 모든 데이터가 전송된 후 DMA는 이 비트를 사용하여 타임스탬프 데이터를 다시 전달할 수 있습니다.

TBAP: 소프트웨어가 이 설명자를 DMA에서 사용할 수 있게 만들 때(TDES0에서 OWN 비트가 1로 설정된 순간), 이 비트는 버퍼 1의 물리적 주소를 나타냅니다. 버퍼 주소 정렬에는 제한이 없습니다. 버퍼 주소 정렬에 대한 자세한 내용은 [호스트 데이터 버퍼 정렬](#)을 참조하세요.

TTSL: TDES0에서 OWN 비트를 지우기 전에 DMA는 해당 전송 프레임에 대해 캡처된 타임 스템프의 최하위 32비트로 이 필드를 업데이트합니다 (TBAP1의 값을 덮어씁니다). 이 필드에는 이 프레임에 대해 타임스탬프가 활성화되고(TTSE, TDES0 비트 25 참조) 설명자의 마지막 세그먼트 제어 비트(LS)가 설정된 경우에만 타임스탬프가 있습니다.

- TDES3: 전송 설명자 Word3

TDES3은 설명자의 두 번째 버퍼나 다음 설명자에 대한 주소 포인터를 포함하거나 타임스탬프 데이터를 포함합니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TBAP2/TBAP2/TTSH
rw

비트 31:0 TBAP2: 전송 버퍼 2 주소 포인터(다음 설명자 주소) / 전송 프레임 시간

스탬프 하이

이비한 비트에는 두 가지 다른 기능이 있습니다. 즉, 메모리 내 데이터 위치를 DMA에 표시하고, 모든 데이터가 전송된 후 DMA는 이 비트를 사용하여 타임스탬프 데이터를 다시 전달할 수 있습니다.

TBAP2: 소프트웨어가 이 디스크립터를 DMA에서 사용할 수 있게 만들 때(TDES0에서 OWN 비트가 1로 설정된 순간), 이 비트는 디스크립터 링 구조가 사용될 때 버퍼 2의 물리적 주소를 나타냅니다. 두 번째 주소 체인(TDES1 [20]) 비트가 설정된 경우 이 주소에는 다음 설명자가 있는 실제 메모리에 대한 포인터가 포함됩니다. 버퍼 주소 포인터는 TDES1 [20]이 설정된 경우에만 버스 너비에 맞춰 정렬되어야 합니다. (LSB는 내부적으로 무시됩니다.)

TTSH: TDES0에서 OWN 비트를 지우기 전에 DMA는 해당 전송 프레임에 대해 캡처된 타임 스탬프의 최상위 32비트로 이 필드를 업데이트합니다 (TBAP2의 값을 덮어씁니다). 이 필드에는 이 프레임에 대해 타임스탬프가 활성화되고(TDES0 비트 25, TTSE 참조) 설명자의 마지막 세그먼트 제어 비트 (LS)가 설정된 경우에만 타임스탬프가 있습니다.

향상된 Tx DMA 설명자

타임스탬프가 활성화된 경우(TSE=1, ETH_PTPSCR 비트 0) 또는 IPv4 체크섬 오프로드가 활성화된 경우(IPCO=1, ETH_MACCR 비트 10) 향상된 설명자(EDFE=1, ETHDMABMR 비트 7로 활성화됨)를 사용해야 합니다.

고급 설명자는 일반 설명자 크기의 두 배인 8개의 32비트 단어로 구성됩니다.

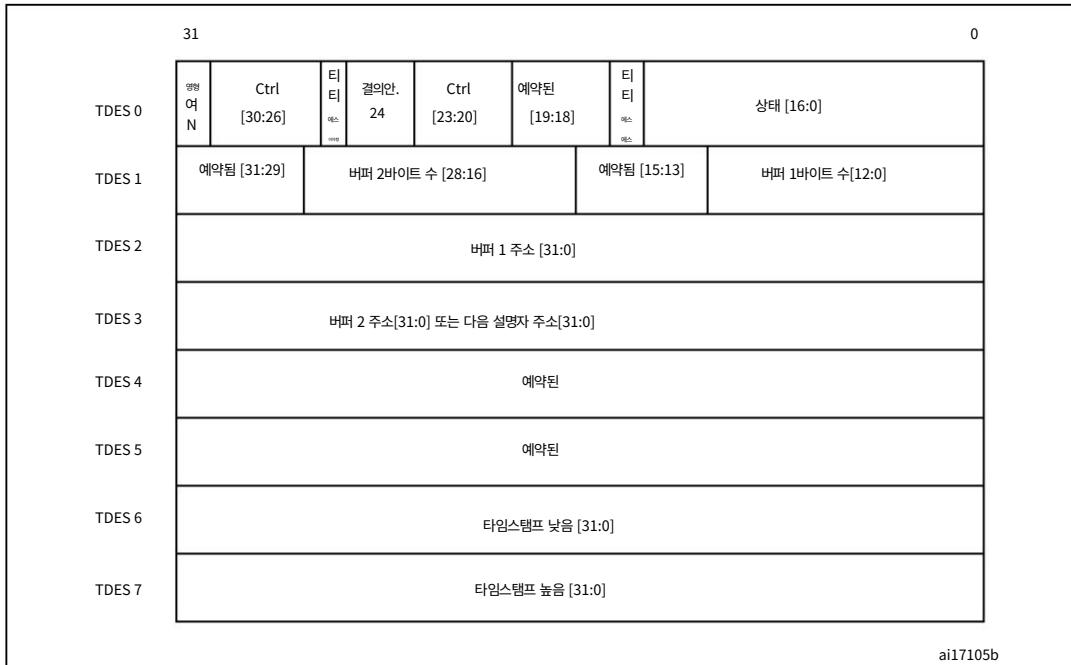
TDES0, TDES1, TDES2 및 TDES3은 일반 전송 설명자(일반 Tx DMA 설명자 참조)와 동일한 정의를 갖습니다 .

TDES6 및 TDES7은 타임스탬프를 보유합니다.

TDES4, TDES5, TDES6 및 TDES7은 아래에 정의되어 있습니다.

고급 설명자 모드를 선택하면 소프트웨어는 모든 설명자에 대해 32바이트(8워드)의 메모리를 할당해야 합니다. 타임스탬프 또는 IPv4 체크섬 오프로드가 사용되지 않는 경우 향상된 설명자 형식이 비활성화될 수 있으며 소프트웨어는 기본 크기가 16비트인 일반 설명자를 사용할 수 있습니다.

그림 380. 향상된 전송 설명자



- TDES4: 전송 설명자 Word4

예약된

- TDES5: 전송 설명자 Word5

예약된

- TDES6: 전송 설명자 Word6

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TTSL
rw

비트 31:0 TTSL: 전송 프레임 타임 스탬프 낮음 이 필드는 해당 전송 프

레임에 대해 캡처된 타임 스탬프의 최하위 32비트로 DMA에 의해 업데이트됩니다. 이 필드에는 설명자의 마지막 세그먼트 제어 비트(LS)가 설정된 경우에만 타임스탬프가 있습니다.

- TDES7: 전송 설명자 Word7

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TTSH
rw

비트 31:0 TTSH: 전송 프레임 타임스탬프 높음

이 필드는 해당 전송 프레임에 대해 캡처된 타임 스탬프의 최상위 32비트로 DMA에 의해 업데이트됩니다. 이 필드에는 설명자의 마지막 세그먼트 제어 비트(LS)가 설정된 경우에만 타임스탬프가 있습니다.

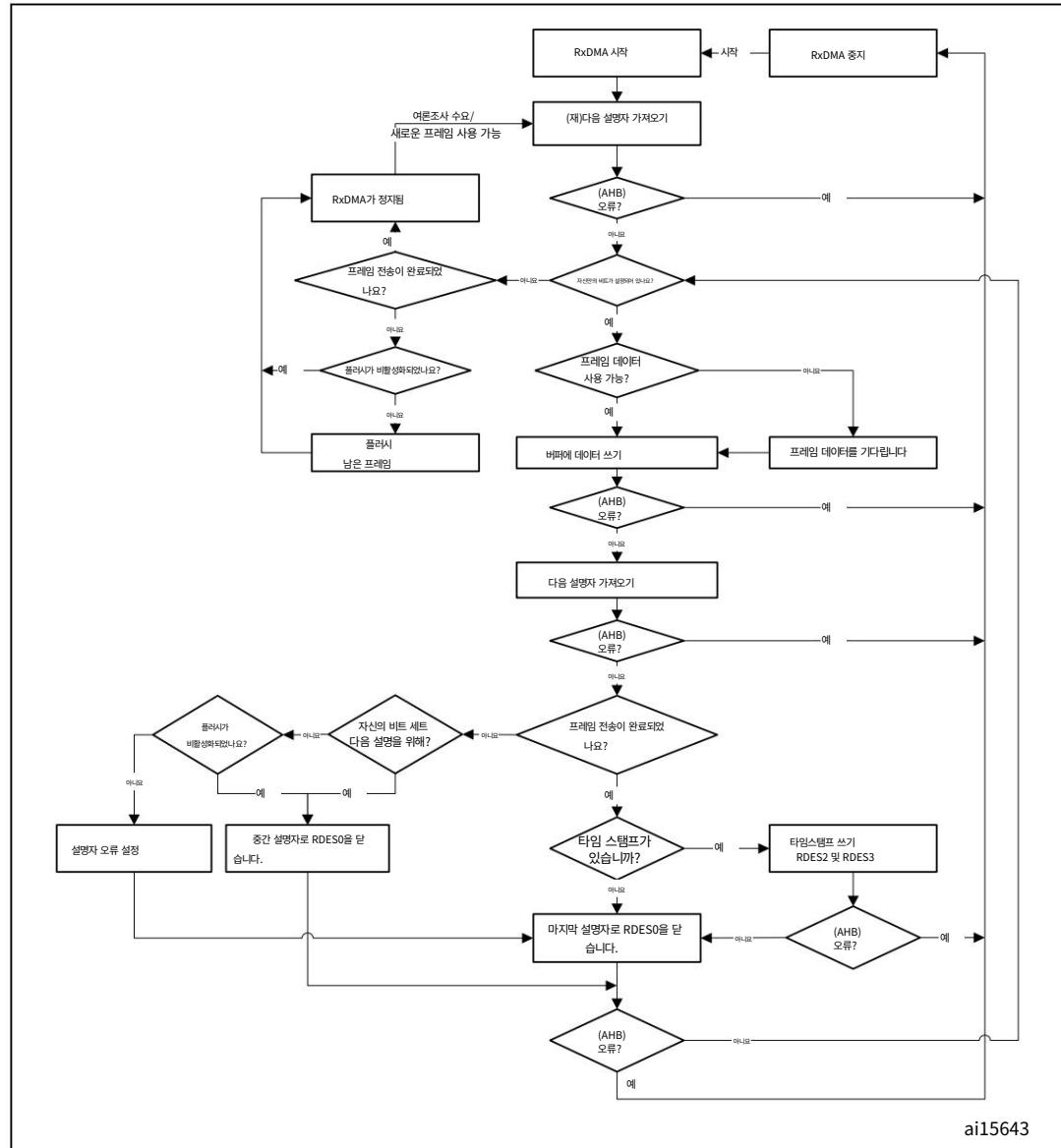
33.6.8 Rx DMA 구성

수신 DMA 엔진의 수신 시퀀스는 [그림 381](#)에 나와 있으며 아래에 설명되어 있습니다.

- CPU는 수신 설명자(RDES0-RDES3)를 설정하고 OWN 비트를 설정합니다.
(RDES0[31]).
- SR(ETH_DMAOMR 레지스터[1]) 비트가 설정되면 DMA는 실행 상태로 들어갑니다.
실행 상태에 있는 동안 DMA는 수신 설명자 목록을 폴링하여 사용 가능한 설명자를 얻으려고 시도합니다. 가져온 설명자가 사용 가능하지 않은 경우(CPU 소유) DMA는 일시 중단 상태로 들어가고 9단계로 점프합니다.
- DMA는 획득된 설명자로부터 수신 데이터 버퍼 주소를 디코딩합니다.
- 들어오는 프레임은 처리되어 획득한 설명자의 데이터 버퍼에 배치됩니다.
- 버퍼가 가득 차거나 프레임 전송이 완료되면 수신 엔진이
다음 설명자.
- 현재 프레임 전송이 완료되면 DMA는 7단계로 진행합니다. DMA가 다음 가져온 설명자를 소유하지 않고 프레임 전송이 완료 되지 않은 경우(EOF가 아직 전송되지 않은 경우) DMA는 RDES0에 설명자 오류 비트를 설정합니다(플러시가 비활성화되지 않은 경우). DMA는 현재 설명자를 닫고(OWN 비트 지우기) RDES1 값에서 마지막 세그먼트(LS) 비트를 지워 이를 중간으로 표시한 다음(플러싱이 비활성화되지 않은 경우 마지막 설명자로 표시) 8단계로 진행합니다. DMA가 다음 디스크립터를 소유하고 있지만 현재 프레임 전송이 완료되지 않은 경우 DMA는 현재 디스크립터를 중간으로 닫고 4단계로 돌아갑니다.
- IEEE 1588 타임스탬프가 활성화된 경우 DMA는 타임스탬프(사용 가능한 경우)를 현재 설명자의 RDES2 및 RDES3에 기록합니다. 그런 다음 수신된 프레임의 상태를 가져와서 OWN 비트가 지워지고 마지막 세그먼트 비트가 설정된 상태로 현재 설명자의 RDES0에 상태 워드를 씁니다.
- 수신 엔진은 최신 설명자의 OWN 비트를 확인합니다. CPU가 디스크립터를 소유한 경우(OWN 비트가 0임) 수신 버퍼 사용 불가능 비트(ETH_DMASR 레지스터[7]에 있음)가 설정되고 DMA 수신 엔진은 일시 중단 상태로 들어갑니다(9 단계). DMA가 설명자를 소유한 경우 엔진은 4단계로 돌아가 다음 프레임을 기다립니다.
- 수신 엔진이 일시 중단 상태에 들어가기 전에 부분 프레임이 수신 FIFO에서 플러시됩니다(ETH_DMAOMR 레지스터의 비트 24를 사용하여 플러시를 제어할 수 있음).
- 수신 풀 요청이 주어지거나 수신 FIFO에서 다음 프레임의 시작이 가능해지면 수신 DMA는 일시 중단 상태를 종료합니다. 엔진은 2단계로 진행하여 다음 설명자를 다시 가져옵니다.

DMA는 타임스탬프 쓰기 저장을 완료하고 설명자에 대한 상태 쓰기 저장을 수행할 준비가 될 때까지 상태 수락을 승인하지 않습니다. 소프트웨어가 CSR을 통해 타임스탬프를 활성화한 경우 프레임에 유효한 타임스탬프 값을 사용할 수 없는 경우(예: 타임스탬프를 기록하기 전에 수신 FIFO가 꽉 찬지 때문에) DMA는 모든 값을 RDES2에 쓰고 RDES3. 그렇지 않은 경우(즉, 타임스탬프가 활성화되지 않은 경우) RDES2 및 RDES3은 변경되지 않은 상태로 유지됩니다.

그림 381. DMA 작업 수신



디스크립터 획득 수신

수신 엔진은 항상 들어오는 프레임을 예상하여 추가 설명자를 얻으려고 시도합니다. 다음 조건 중 하나라도 충족되면 설명자 획득이 시도됩니다.

- 수신 시작/정지 비트(ETH_DMAOMR 레지스터[1])는 직후에 설정되었습니다.
DMA가 실행 상태로 전환되었습니다.
- 현재 전송 중인 프레임이 끝나기 전에 현재 설명자의 데이터 버퍼가 가득 창습니다.
- 컨트롤러가 프레임 수신을 완료했지만 현재 수신 설명자는
아직 문을 닫지 않았습니다.
- CPU 소유 버퍼(RDES0[31] = 0)로 인해 수신 프로세스가 일시 중지되었으며 새 프레임이 수신되었습니다.
- 수신 플링 요청이 발생되었습니다.

수신 프레임 처리

MAC는 프레임이 주소 필터를 통과하고 프레임 크기가 수신 FIFO에 대해 설정된 구성 가능한 임계 바이트보다 크거나 같을 때 또는 전체 프레임이 저장소의 FIFO에 기록될 때만 수신된 프레임을 STM32F4xx 메모리로 전송합니다. - 및 앞으로 모드. 프레임이 주소 필터링에 실패하면 MAC 블록 자체에 삭제됩니다(Receive All ETH_MACFFR [31] 비트가 설정되지 않은 경우). 충돌이 나 조기 종료로 인해 64바이트보다 짧은 프레임은 수신 FIFO에서 제거될 수 있습니다. 64(구성 가능한 임계값) 바이트가 수신된 후 DMA 블록은 현재 설명자가 가리키는 수신 버퍼로 프레임 데이터를 전송하기 시작합니다. DMA는 DMA AHB 인터페이스가 데이터 전송을 수신할 준비가 된 후(DMA가 메모리에서 전송 데이터를 가져오지 않는 경우) 첫 번째 설명자(RDES0[9])를 설정하여 프레임을 구분합니다. 데이터 버퍼가 가득 차거나 프레임의 마지막 세그먼트가 수신 버퍼로 전송될 때 OWN(RDES0[31]) 비트가 0으로 재설정되면 설명자가 해제됩니다.

프레임이 단일 설명자에 포함된 경우 마지막 설명자(RDES0[8])와 첫 번째 설명자(RDES0[9]) 비트가 모두 설정됩니다. DMA는 다음 설명자를 가져오고 마지막 설명자(RDES0[8]) 비트를 설정하며 이전 프레임 설명자의 RDES0 상태 비트를 해제합니다. 그런 다음 DMA는 수신 인터럽트 비트 (ETH_DMASR 레지스터 [6])를 설정합니다. DMA가 CPU가 소유한 것으로 표시된 설명자를 만나지 않는 한 동일한 프로세스가 반복됩니다. 이런 일이 발생하면 수신 프로세스는 수신 버퍼를 사용할 수 없는 비트(ETH_DMASR 레지스터[7])를 설정한 다음 일시 중단 상태로 들어갑니다. 수신 목록의 위치는 유지됩니다.

수신 프로세스가 일시 중지되었습니다.

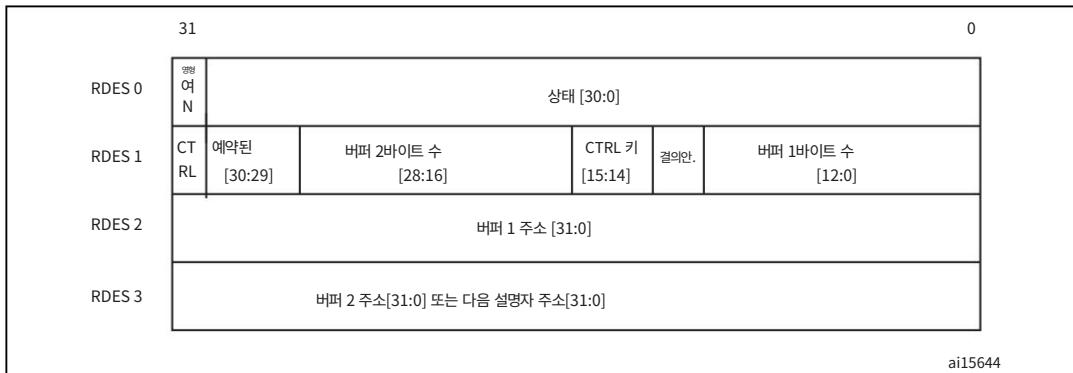
수신 프로세스가 Suspend 상태에 있는 동안 새로운 수신 프레임이 도착하면 DMA는 STM32F4xx 메모리의 현재 설명자를 다시 가져옵니다. 설명자가 이제 DMA에 의해 소유된 경우 수신 프로세스는 실행 상태로 다시 들어가 프레임 수신을 시작합니다. 설명자를 여전히 호스트가 소유하고 있는 경우 기본적으로 DMA는 Rx FIFO 상단의 현재 프레임을 삭제하고 누락된 프레임 카운터를 증가시킵니다. Rx FIFO에 두 개 이상의 프레임이 저장되어 있으면 프로세스가 반복됩니다. Rx FIFO 상단의 프레임 폐기 또는 플러시는 DMA 작동 모드 레지스터 비트 24(DFRF)를 설정하여 방지할 수 있습니다. 이러한 상황에서 수신 프로세스는 수신 버퍼를 사용할 수 없음 상태 비트를 설정하고 일시 중단 상태로 돌아갑니다.

일반 Rx DMA 설명자

일반 수신 설명자 구조는 4개의 32비트 단어(16바이트)로 구성됩니다. 이는 [그림 382](#)에 나와 있습니다. RDES0, RDES1, RDES2 및 RDES3의 비트 설명은 아래에 나와 있습니다.

타임스탬프가 활성화된 경우(TSE=1, ETH_PTPTSCR 비트 0) 또는 IPv4 체크섬 오프로드가 활성화된 경우(IPCO=1, ETH_MACCR 비트 10) 향상된 설명자를 사용해야 합니다.

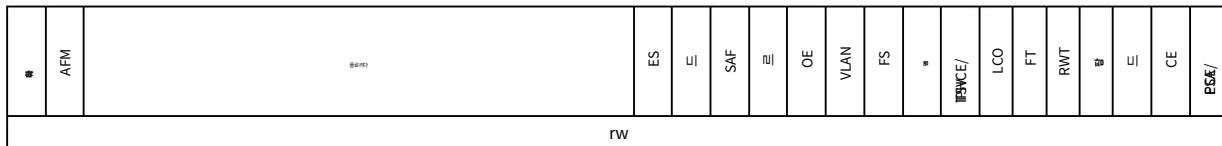
그림 382. 일반 Rx DMA 설명자 구조



- RDES0: 설명자 Word0 수신

RDES0에는 수신된 프레임 상태, 프레임 길이 및 설명자 소유권 정보가 포함됩니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



비트 31 OWN: 자체 비트

설정된 경우 이 비트는 설명자가 MAC 하위 시스템의 DMA에 의해 소유되었음을 나타냅니다.

이 비트가 재설정되면 호스트가 설명자를 소유하고 있음을 나타냅니다. DMA는 프레임 수신을 완료하거나 이 설명자와 연결된 버퍼가 가득 찼을 때 이 비트를 지웁니다.

비트 30 AFM: 대상 주소 필터 실패

설정된 경우 이 비트는 MAC Core의 DA 필터에 실패한 프레임을 나타냅니다.

비트 29:16 FL: 프레임 길이

이 비트는 호스트 메모리(CRC 포함)로 전송된 수신 프레임의 바이트 길이를 나타냅니다. 이 필드는 마지막 설명자(RDES0[8])가 설정되고 설명자 오류(RDES0[14])가 재설정되는 경우에만 유효합니다.

이 필드는 마지막 설명자(RDES0[8])가 설정된 경우 유효합니다. 마지막 설명자와 오류 요약 비트가 설정되지 않은 경우 이 필드는 현재 프레임에 대해 전송된 누적 바이트 수를 나타냅니다.

비트 15 ES: 오류 요약

다음 비트의 논리적 OR을 나타냅니다.

RDES0[1]: CRC 오류

RDES0[3]: 수신 오류

RDES0[4]: 위치독 시간 초과

RDES0[6]: 늦은 충돌

RDES0[7]: 거대 프레임(RDES0[7]이 IPv4 헤더 체크섬 오류를 나타내는 경우에는 적용되지 않습니다.)

RDES0[11]: 오버플로 오류

RDES0[14]: 설명자 오류입니다.

이 필드는 마지막 설명자(RDES0[8])가 설정된 경우에만 유효합니다.

비트 14 DE: 설명자 오류

설정된 경우 이 비트는 현재 설명자 버퍼 내에 맞지 않는 프레임으로 인해 발생하는 프레임 잘림과 DMA가 다음 설명자를 소유하지 않음을 나타냅니다. 프레임이 잘립니다.

이 필드는 마지막 설명자(RDES0[8])가 설정된 경우에만 유효합니다.

비트 13 SAF: 소스 주소 필터 실패

이 비트가 설정되면 프레임의 SA 필드가 MAC 코어의 SA 필터에 실패했음을 나타냅니다.

비트 12 LE: 길이 오류

이 비트가 설정된 경우 수신된 프레임의 실제 길이가 길이/유형 필드의 값과 일치하지 않음을 나타냅니다. 이 비트는 프레임 유형(RDES0[5]) 비트가 재설정된 경우에만 유효합니다.

비트 11 OE: 오버플로 오류

이 비트가 설정되면 버퍼 오버플로로 인해 수신된 프레임이 손상되었음을 나타냅니다.

비트 10 VLAN: VLAN 태그

설정되면 이 비트는 이 설명자가 가리키는 프레임이 MAC 코어에 의해 태그가 지정된 VLAN 프레임임을 나타냅니다.

비트 9 FS: 첫 번째 설명자

설정되면 이 비트는 이 설명자가 프레임의 첫 번째 버퍼를 포함하고 있음을 나타냅니다. 첫 번째 버퍼의 크기가 0이면 두 번째 버퍼에는 프레임의 시작 부분이 포함됩니다. 두 번째 버퍼의 크기도 0이면 다음 설명자에는 프레임의 시작 부분이 포함됩니다.

비트 8 LS: 마지막 설명자

설정되면 이 비트는 이 설명자가 가리키는 버퍼가 프레임의 마지막 버퍼임을 나타냅니다.

비트 7 IPHCE/TSV: IPv4 헤더 체크섬 오류/타임스탬프 유효

IPHCE가 설정된 경우 IPv4 또는 IPv6 헤더에 오류가 있음을 나타냅니다. 이 오류는 이더넷 유형 필드와 IP 헤더 바전 필드 값이 일관되지 않거나, IPv4의 헤더 체크섬 불일치 또는 예상 IP 헤더 바이트 수가 부족한 이더넷 프레임으로 인해 발생할 수 있습니다. 이 비트는 표 194 에 정된 대로 특별한 의미를 가질 수 있습니다.

향상된 설명자 형식이 활성화된 경우(EDFE=1, ETH_DMABMR의 비트 7) 이 비트는 TSV 기능을 사용합니다(그렇지 않은 경우 IPHCE). TSV가 설정되면 타임스탬프의 스냅샷이 설명자 단어 6(RDES6) 및 7(RDES7)에 기록된다는 것을 나타냅니다. TSV는 마지막 설명자 비트 (RDES0[8])가 설정된 경우에만 유효합니다.

비트 6 LCO: 늦은 충돌

이 비트가 설정되면 Half-duplex 모드에서 프레임을 수신하는 동안 늦은 충돌이 발생했음을 나타냅니다.

비트 5 FT: 프레임 유형

설정된 경우 이 비트는 수신 프레임이 이더넷 유형 프레임(LT 필드가 0x0600보다 크거나 같음)임을 나타냅니다. 이 비트가 재설정되면 수신된 프레임이 IEEE802.3 프레임임을 나타냅니다. 이 비트는 14바이트 미만의 Runt 프레임에는 유효하지 않습니다. 일반 설명자 형식 이 사용되는 경우(ETH_DMABMR_EDFE=0), FT는 [표 194](#)에 지정된 대로 특별한 의미를 가질 수 있습니다.

비트 4 RWT: 위치독 타이마아웃 수신

설정된 경우 이 비트는 현재 프레임을 수신하는 동안 수신 감시 타이머가 만료되었으며 감시 시간 초과 후 현재 프레임이 잘린다는 것을 나타냅니다.

비트 3 RE: 수신 오류

설정된 경우 이 비트는 프레임 수신 중에 RX_DV가 선언되는 동안 RX_ERR 신호가 선언됨을 나타냅니다.

비트 2 DE: 드리블 비트 오류

설정된 경우 이 비트는 수신된 프레임에 정수가 아닌 바이트 배수(홀수 니블)가 있음을 나타냅니다. 이 비트는 MII 모드에서만 유효합니다.

비트 1 CE: CRC 오류

이 비트가 설정된 경우 수신된 프레임에서 CRC(순환 중복 검사) 오류가 발생했음을 나타냅니다. 이 필드는 마지막 설명자(RDES0[8])가 설정된 경우에만 유효합니다.

비트 0 PCE/ESA: 페이로드 체크섬 오류/확장 상태 사용 가능

설정되면 코어가 계산한 TCP, UDP 또는 ICMP 체크섬이 수신된 캡슐화된 TCP, UDP 또는 ICMP 세그먼트의 체크섬 필드와 일치하지 않음을 나타냅니다. 이 비트는 수신된 페이로드 바이트 수가 수신된 이더넷 프레임에 캡슐화된 IPv4 또는 IPv6 데이터그램의 길이 필드에 표시된 값과 일치하지 않는 경우에도 설정됩니다.

이 비트는 [표 194](#)에 지정된 대로 특별한 의미를 가질 수 있습니다.

항상 설명자 형식이 활성화된 경우(EDFE=1, ETH_DMABMR의 비트 7) 이 비트는 ESA 기능을 사용합니다(그렇지 않으면 PCE). ESA가 설정되면 설명자 단어 4(RDES4)에서 확장 상태를 사용할 수 있음을 나타냅니다. ESA는 마지막 설명자 비트(RDES0[8])가 설정된 경우에만 유효합니다.

비트 5, 7, 0은 [표 194](#)에 설명된 조건을 반영합니다.

표 194. 수신 설명자 0 - 비트 7, 5 및 0에 대한 인코딩(일반 설명자 형식만, EDFE=0)

비트 5: 프레임 유형	비트 7: IPC 체크섬 오류	비트 0: 페이로드 체 크섬 오류	프레임 상태
00 0			IEEE 802.3 유형 프레임(길이 필드 값이 0x0600보다 작습니다.)
1	0	0	IPv4/IPv6 유형 프레임, 체크섬 오류가 감지되지 않음
10 1			페이로드 체크섬 오류(PCE에 대해 설명된 대로)가 있는 IPv4/IPv6 유형 프레임이 감지되었습니다.
11 0			IP 헤더 체크섬 오류(IPC CE에 대해 설명된 대로)가 있는 IPv4/IPv6 유형 프레임이 감지되었습니다.
11 1			IP 헤더와 페이로드 체크섬 오류가 모두 감지된 IPv4/IPv6 유형 프레임
00 1			지원되지 않는 페이로드로 인해 IP 헤더 체크섬 오류가 없고 페이로드 검사가 우회되는 IPv4/IPv6 유형 프레임
01 1			IPv4 또는 IPv6이 아닌 유형 프레임(체크섬 오프로드 엔진은 체크섬을 완전히 우회합니다.)
0	1	0	예약됨

- RDES1: 설명자 Word1 수신

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

DIC	RBS2	RBS2												RER	RC		RBS											
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

비트 31 DIC: 완료 시 인터럽트 비활성화

이 비트가 설정되면 이 설명자가 나타내는 버퍼에서 끝나는 수신 프레임에 대한 상태 레지스터의 RS 비트(CSR5[6]) 설정을 방지합니다. 그러면 해당 프레임에 대한 RS로 인해 호스트에 대한 인터럽트 어설션이 비활성화됩니다.

비트 30:29 예약됨, 재설정 값으로 유지되어야 합니다.

비트 28:16 RBS2: 수신 버퍼 2 크기

이 비트는 두 번째 데이터 버퍼 크기(바이트)를 나타냅니다. 버퍼 크기는 RDES3(버퍼2 주소 포인터)의 값이 버스 너비에 맞춰 정렬되지 않은 경우에도 버스 너비(각각 32, 64 또는 128)에 따라 4, 8 또는 16의 배수여야 합니다. 버퍼 크기가 4, 8 또는 16의 적절한 배수가 아닌 경우 결과 동작은 정의되지 않습니다. RDES1 [14]가 설정된 경우 이 필드는 유효하지 않습니다.

비트 15 RER: 링 끝 수신

설정된 경우 이 비트는 설명자 목록이 최종 설명자에 도달했음을 나타냅니다. DMA는 목록의 기본 주소로 돌아가 설명자 링을 생성합니다.

비트 14 RCH: 두 번째 주소 체인

설정된 경우 이 비트는 설명자의 두 번째 주소가 두 번째 버퍼 주소가 아닌 다음 설명자 주소임을 나타냅니다. 이 비트가 설정되면 RBS2(RDES1[28:16])는 "상관 없음" 값입니다. RDES1[15]는 RDES1[14]보다 우선합니다.

비트 13 예약됨, 재설정 값으로 유지되어야 합니다.

비트 12:0 RBS1: 수신 버퍼 1 크기

첫 번째 데이터 버퍼 크기(바이트)를 나타냅니다. 버퍼 크기는 RDES2(버퍼1 주소 포인터) 값이 정렬되지 않은 경우에도 버스 폭(32, 64 또는 128)에 따라 4, 8 또는 16의 배수여야 합니다. 버퍼 크기가 4, 8 또는 16의 배수가 아닌 경우 결과 동작은 정의되지 않습니다. 이 필드가 0이면 DMA는 이 버퍼를 무시하고 RCH(비트 14) 값에 따라 버퍼 2 또는 다음 설명자를 사용합니다.

• RDES2: 설명자 Word2 수신

RDES2에는 설명자의 첫 번째 데이터 버퍼에 대한 주소 포인터가 포함되어 있거나 타임스탬프 데이터가 포함되어 있습니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RBP1/RTSL																													
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

비트 31:0 RBAP1 / RTSL: 수신 버퍼 1 주소 포인터 / 수신 프레임 타임스탬프 낮음

이러한 비트는 두 가지 다른 기능을 수행합니다. 애플리케이션은 이를 사용하여 메모리의 데이터를 저장할 위치를 DMA에 표시하고, 모든 데이터를 전송한 후 DMA는 이 비트를 사용하여 타임스탬프 데이터를 다시 전달할 수 있습니다.

RBAP1: 소프트웨어가 이 설명자를 DMA에서 사용할 수 있게 만들 때(RDES0에서 OWN 비트가 1로 설정된 순간), 이 비트는 버퍼 1의 물리적 주소를 나타냅니다. 다음 조건: RDES2 값이 프레임 시작을 저장하는 데 사용될 때 DMA는 주소 생성을 위해 구성된 값을 사용합니다. DMA는 프레임 시작 전송 중에 RDES2[3/2:1:0] 비트를 0으로 사용하여 쓰기 작업을 수행하지만 프레임 데이터는 실제 버퍼 주소 포인터에 따라 이동됩니다. 주소 포인터가 프레임의 중간 또는 마지막 부분이 저장된 버퍼에 대한 것인 경우 DMA는 RDES2[3/2:1:0](버스 폭 128/64/32에 해당)을 무시합니다.

RTSL: RDES0에서 OWN 비트를 지우기 전에 DMA는 해당 수신 프레임에 대해 캡처된 타임스탬프의 최하위 32비트로 이 필드를 업데이트 합니다(RBAP1의 값을 덮어씁니다). 이 필드에는 이 프레임에 대해 타임스탬프가 활성화되고 설명자의 마지막 세그먼트 제어 비트(LS)가 설정된 경우에만 타임스탬프가 있습니다.

- RDES3: 설명자 Word3 수신

RDES3에는 설명자의 두 번째 데이터 버퍼 또는 다음 설명자에 대한 주소 포인터가 포함되어 있거나 타임스탬프 데이터가 포함되어 있습니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RBP2/RTSH																														
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

비트 31:0 RBAP2 / RTSH: 수신 버퍼 2 주소 포인터(다음 설명자 주소) / 수신 프레임 타임스탬프 높음

이러한 비트는 두 가지 다른 기능을 수행합니다. 애플리케이션은 이를 사용하여 메모리에 데이터를 저장할 위치를 DMA에 표시하고, 모든 데이터를 전송한 후 DMA는 이 비트를 사용하여 타임스탬프 데이터를 다시 전달할 수 있습니다.

RBAP1: 소프트웨어가 이 설명자를 DMA에서 사용할 수 있게 만들 때(RDES0에서 OWN 비트가 1로 설정된 순간) 이 비트는 설명자 링 구조가 사용될 때 버퍼 2의 물리적 주소를 나타냅니다. 두 번째 주소 체인(RDES1[24]) 비트가 설정되면 이 주소에는 다음 설명자가 있는 실제 메모리에 대한 포인터가 포함됩니다. RDES1[24]가 설정된 경우 버퍼(다음 설명자) 주소 포인터는 버스 너비로 정렬되어야 합니다(RDES3[3, 2 또는 1:0] = 0, 버스 너비 128, 64 또는 32에 해당). LSB 내부적으로 무시됩니다.)

그러나 RDES1[24]이 재설정되면 다음 조건을 제외하고 RDES3 값에 제한이 없습니다. 즉, RDES3 값이 프레임 시작을 저장하는 데 사용될 때 DMA는 버퍼 주소 생성을 위해 구성된 값을 사용합니다. 주소 포인터가 프레임의 중간 또는 마지막 부분이 저장된 버퍼에 대한 것인 경우 DMA는 RDES3[3, 2 또는 1:0](버스 폭 128, 64 또는 32에 해당)을 무시합니다.

RTSH: RDES0에서 OWN 비트를 지우기 전에 DMA는 해당 수신 프레임에 대해 캡처된 타임스탬프의 최상위 32비트로 이 필드를 업데이트 합니다(RBAP2의 값을 덮어씁니다). 이 필드에는 타임스탬프가 활성화되고 설명자의 마지막 세그먼트 제어 비트(LS)가 설정된 경우에만 타임스탬프가 있습니다.

IEEE1588 타임스탬프가 포함된 향상된 Rx DMA 설명자 형식

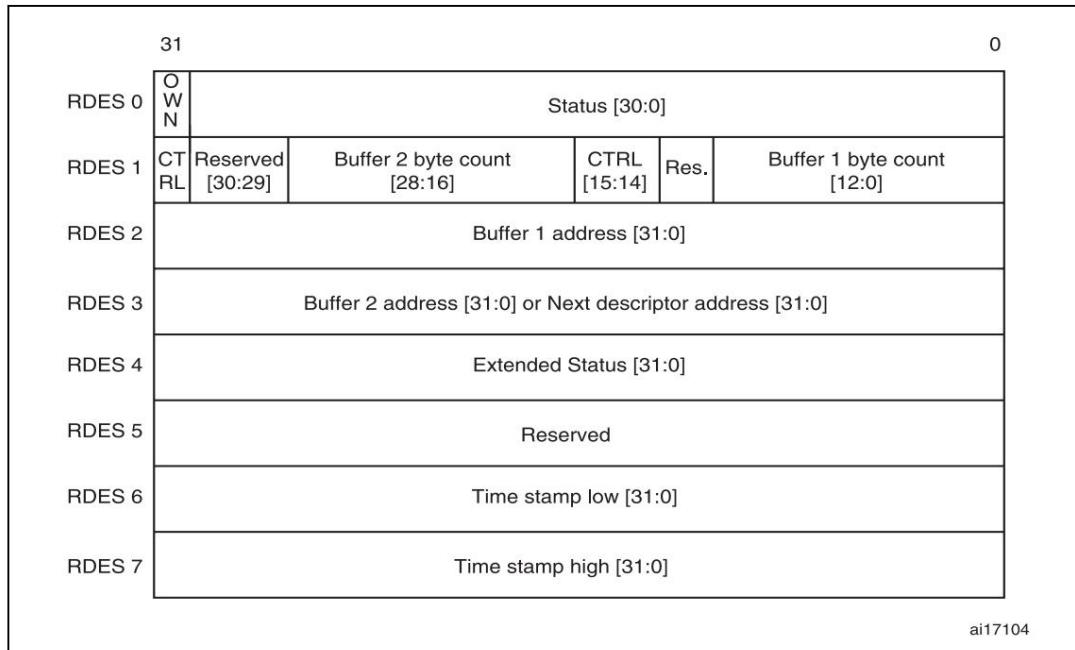
타임스탬프가 활성화된 경우(TSE=1, ETH_PTPSCR 비트 0) 또는 IPv4 체크섬 오프로드가 활성화된 경우(IPCO=1, ETH_MACCR 비트 10) 향상된 설명자(EDFE=1, ETHDMABMR 비트 7로 활성화됨)를 사용해야 합니다.

고급 설명자는 일반 설명자 크기의 두 배인 8개의 32비트 단위로 구성됩니다.

RDES0, RDES1, RDES2 및 RDES3은 일반 수신 설명자와 동일한 정의를 갖습니다([일반 Rx DMA 설명](#) 참조). RDES4에는 확장 상태가 포함되어 있고 RDES6 및 RDES7에는 타임스탬프가 포함되어 있습니다. RDES4, RDES5, RDES6 및 RDES7은 아래에 정의되어 있습니다.

고급 설명자 모드를 선택하면 소프트웨어는 모든 설명자에 대해 32바이트(8워드)의 메모리를 할당해야 합니다. 타임스탬프 또는 IPv4 체크섬 오프로드가 사용되지 않는 경우 향상된 설명자 형식이 비활성화될 수 있으며 소프트웨어는 기본 크기가 16바이트인 일반 설명자를 사용할 수 있습니다.

그림 383. IEEE1588 타임스탬프가 활성화된 향상된 수신 설명자 필드 형식



- RDES4: 설명자 Word4 수신

아래 표시된 확장 상태는 RDES0의 비트 0으로 표시된 대로 사용 가능한 IPv4 체크섬 또는 타임스탬프와 관련된 상태가 있는 경우에만 유효합니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

예약됨	PV	PFT	오후				IPv6 FR	IPv4 FR	IPCB	IPPE	IPHE	IPPT
	rw	rw	rw	rw	rw	rw	rw	rw				

비트 31:14 예약됨, 재설정 값으로 유지되어야 합니다.

비트 13 PV: PTP 버전

설정된 경우 수신된 PTP 메시지가 IEEE 1588 버전 2 형식을 사용함을 나타냅니다.

선택을 취소하면 버전 1 형식을 사용합니다. 이는 메시지 유형이 0이 아닌 경우에만 유효합니다.

비트 12 PFT: PTP 프레임 유형

설정된 경우 이 비트는 PTP 메시지가 이더넷을 통해 직접 전송됨을 나타냅니다. 이 비트가 지워지고 메시지 유형이 0이 아닌 경우 PTP 메시지가 UDP-IPv4 또는 UDP-IPv6를 통해 전송되었음을 나타냅니다. IPv4 또는 IPv6에 대한 정보는 비트 6과 7에서 얻을 수 있습니다.

RM0090

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

비트 11:8 PMT: PTP 메시지 유형

- 이 비트는 수신된 메시지의 유형을 제공하기 위해 인코딩됩니다.
- 0000: PTP 메시지가 수신되지 않았습니다.
 - 0001: SYNC(모든 시계 유형)
 - 0010: Follow_Up(모든 시계 유형)
 - 0011: Delay_Req(모든 클록 유형)
 - 0100: Delay_Resp(모든 클럭 유형)
 - 0101: Pdelay_Req(Peer-to-Peer 투명 시계에서) 또는 Announce(일반 또는 경계에서)
 시계)
 - 0110: Pdelay_Resp(피어 투 피어 투명 시계) 또는 관리(일반 또는
 경계시계)
 - 0111: Pdelay_Follow_Up(피어 투 피어 투명 클록에서) 또는 신호(일반용)
 또는 경계 시계)
 - 1xxx - 예약됨

비트 7 IPV6PR: IPv6 패킷 수신됨

설정된 경우 이 비트는 수신된 패킷이 IPv6 패킷임을 나타냅니다.

비트 6 IPV4PR: IPv4 패킷 수신됨

설정된 경우 이 비트는 수신된 패킷이 IPv4 패킷임을 나타냅니다.

비트 5 IPCB: IP 체크섬 우회

설정된 경우 이 비트는 체크섬 오프로드 엔진이 우회됨을 나타냅니다.

비트 4 IPPE: IP 페이로드 오류

이 비트가 설정된 경우 코어가 계산한 16비트 IP 페이로드 체크섬(즉, TCP, UDP 또는 ICMP 체크섬)이 수신된 세그먼트의 해당 체크섬 필드와 일치하지 않음을 나타냅니다. TCP, UDP 또는 ICMP 세그먼트 길이가 IP 헤더 필드의 페이로드 길이 값과 일치하지 않는 경우에도 설정 됩니다.

비트 3 IPHE: IP 헤더 오류

이 비트가 설정된 경우 코어에서 계산한 16비트 IPv4 헤더 체크섬이 수신된 체크섬 바이트와 일치하지 않거나 IP 데이터그램 버전이 이더넷 유형 값과 일치하지 않음을 나타냅니다.

비트 2:0 IPPT: IP 페이로드 유형

IPv4 체크섬 오프로드가 활성화된 경우(IPCO=1, ETH_MACCR 비트 10), 이 비트는 IP 데이터그램에 캡슐화된 페이로드 유형을 나타냅니다. IP 헤더 오류나 조각화된 IP가 있는 경우 이 비트는 '00'입니다.

- 000: 알 수 없거나 IP 페이로드를 처리하지 않았습니다.
- 001: UDP
- 010: TCP
- 011: ICMP
- 1xx: 예약됨

- RDES5: 설명자 Word5 수신

예약됨.

- RDES6: 설명자 Word6 수신

아래 표에서는 수신 설명자가 닫히고 타임스탬프가 활성화된 경우 RDES6에 대해 다른 의미를 갖는 필드에 대해 설명합니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RTSL																														
rw	w	rw																												

비트 31:0 RTSL: 수신 프레임 타임스탬프 낮음

DMA는 해당 수신 프레임에 대해 캡처된 타임 스템프의 최하위 32비트로 이 필드를 업데이트합니다. DMA는 마지막 설명자 상태 비트(RDES0[8])에 의해 표시된 수신 프레임의 마지막 설명자에 대해서만 이 필드를 업데이트합니다. 이 필드와 RDES7의 RTSH 필드가 모두 1로 표시되면 타임스탬프가 손상된 것으로 처리되어야 합니다.

- RDES7: 설명자 Word7 수신

아래 표에서는 수신 설명자가 닫히고 타임스탬프가 활성화된 경우 RDES7에 대해 다른 의미를 갖는 필드에 대해 설명합니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RTSH																														
rw	w	rw																												

비트 31:0 RTSH: 수신 프레임 타임스탬프 높음

DMA는 해당 수신 프레임에 대해 캡처된 타임스탬프의 최상위 32비트로 이 필드를 업데이트합니다. DMA는 마지막 설명자 상태 비트(RDES0[8])에 의해 표시된 수신 프레임의 마지막 설명자에 대해서만 이 필드를 업데이트합니다.

이 필드와 RDES7의 RTSL 필드가 모두 1로 표시되면 타임스탬프가 손상된 것으로 처리되어야 합니다.

33.6.9 DMA 인터럽트

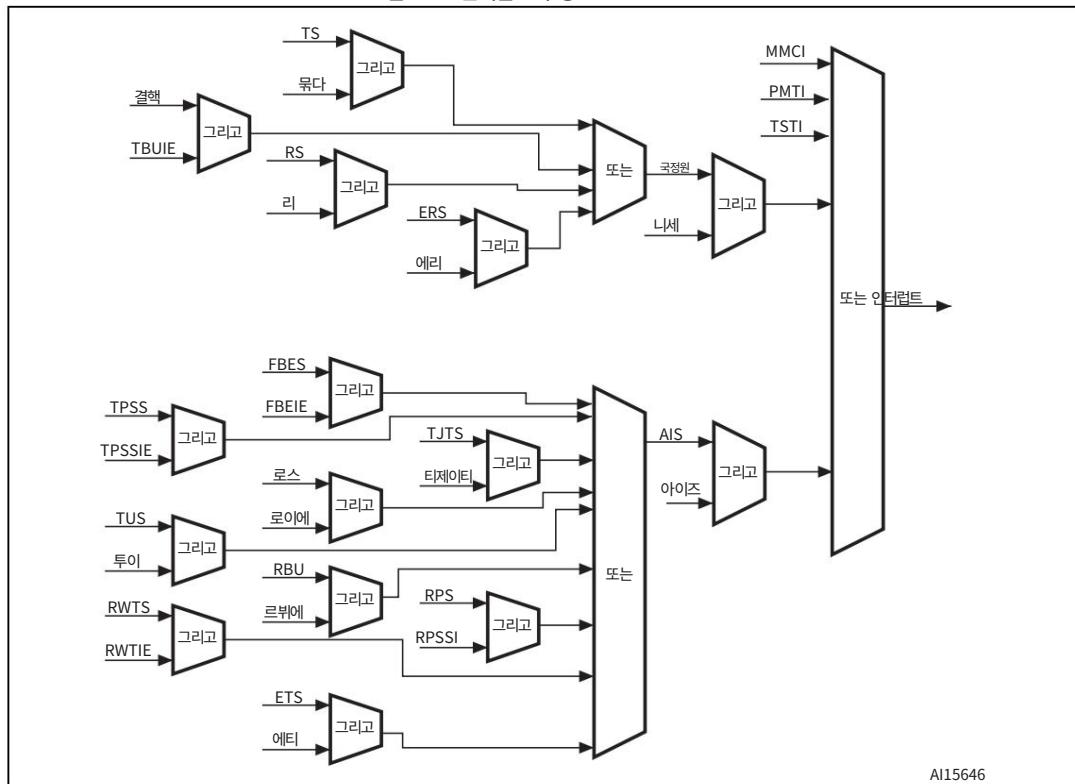
다양한 이벤트의 결과로 인터럽트가 생성될 수 있습니다. ETH_DMASR 레지스터에는 인터럽트를 일으킬 수 있는 모든 비트가 포함되어 있습니다. ETH_DMAIER 레지스터에는 인터럽트를 일으킬 수 있는 각 이벤트에 대한 활성화 비트가 포함되어 있습니다.

ETH_DMASR 레지스터에 설명된 대로 인터럽트에는 정상 및 비정상의 두 그룹이 있습니다. 해당 비트 위치에 1을 쓰면 인터럽트가 지워집니다. 그룹 내에서 활성화된 모든 인터럽트가 지워지면 해당 요약 비트가 지워집니다. MAC 코어가 인터럽트 선언의 원인인 경우 ETH_DMASR 레지스터의 TSTS 또는 PMTS 비트 중 하나가 높게 설정됩니다.

인터럽트는 대기열에 추가되지 않으며 드라이버가 응답하기 전에 인터럽트 이벤트가 발생하면 추가 인터럽트가 생성되지 않습니다. 예를 들어, 수신 인터럽트 비트(ETH_DMASR 레지스터 [6])는 하나 이상의 프레임이 STM32F4xx 버퍼로 전송되었음을 나타냅니다. 드라이버는 마지막으로 기록된 위치부터 DMA가 소유한 첫 번째 위치까지 모든 설명자를 스캔해야 합니다.

인터럽트는 동시에 여러 이벤트에 대해 한 번만 생성됩니다. 드라이버는 인터럽트 원인을 찾기 위해 ETH_DMASR 레지스터를 스캔해야 합니다. 드라이버가 ETH_DMASR 레지스터에서 해당 비트를 지운 후 새로운 인터럽트 이벤트가 발생하지 않는 한 인터럽트는 다시 생성되지 않습니다. 예를 들어, 컨트롤러는 수신 인터럽트(ETH_DMASR 레지스터[6])를 생성하고 드라이버는 ETH_DMASR 레지스터 읽기를 시작합니다. 다음으로 수신 버퍼 사용 불가(ETH_DMASR 레지스터[7])가 발생합니다. 드라이버는 수신 인터럽트를 지웁니다. 그럼에도 불구하고 활성 또는 보류 중인 수신 버퍼를 사용할 수 없는 인터럽트로 인해 새로운 인터럽트가 생성됩니다.

그림 384. 인터럽트 구성표



33.7 이더넷 인터럽트

이더넷 컨트롤러에는 두 개의 인터럽트 벡터가 있습니다. 하나는 일반 이더넷 작업 전용이고 다른 하나는 EXTI Line19에 매핑될 때 이더넷 깨우기 이벤트(깨우기 프레임 또는 Magic Packet 감지 포함)에만 사용됩니다.

첫 번째 이더넷 벡터는 [MAC 인터럽트](#) 및 [DMA 인터럽트](#) 섹션에 나열된 MAC 및 DMA에 의해 생성된 인터럽트용으로 예약되어 있습니다.

두 번째 벡터는 웨이크업 이벤트 시 PMT에 의해 생성된 인터럽트를 위해 예약되어 있습니다. EXTI 라인19의 웨이크업 이벤트 매핑으로 인해 STM32F4xx가 저전력 모드를 종료하고 인터럽트가 생성됩니다.

EXTI Line19에 매핑된 이더넷 웨이크업 이벤트가 발생하고 MAC PMT 인터럽트가 활성화되고 상승 에지 감지 기능이 있는 EXTI Line19 인터럽트도 활성화되면 두 인터럽트가 모두 생성됩니다.

RS 비트(ETH_DMASR 레지스터)의 유연한 제어를 위해 감시 타이머(ETH_DMARSWTR 레지스터 참조)가 제공됩니다. 이 감시 타이머가 0이 아닌 값으로 프로그래밍되면 해당 수신 설명자(RDES1[31]에서 활성화되지 않기 때문에 RxDMA가 수신 상태를 주장하지 않고 수신된 프레임을 시스템 메모리로 전송하는 것을 완료하자마자 활성화됩니다.). 이 타이머가 프로그래밍된 값에 따라 실행되면 RS 비트가 설정되고 ETH_DMAIER 레지스터에서 해당 RIE가 활성화된 경우 인터럽트가 발생합니다. 이 타이머는 프레임이 메모리로 전송되고 RS가 해당 설명자에 대해 활성화되어 설정될 때 실행되기 전에 비활성화됩니다.

메모: PMT 제어 및 상태 레지스터를 읽으면 웨이크업 프레임 수신 및 매직 패킷 수신 PMT 인터럽트 플래그가 자동으로 지워집니다. 그러나 이러한 플래그에 대한 레지스터는 CLK_RX 도메인에 있으므로 이 업데이트가 펌웨어에 표시되기까지 상당한 지연이 있을 수 있습니다. 자연은 RX 클록이 느리고(10Mbit 모드에서) AHB 버스가 고주파일 때 특히 길어집니다.

PMT에서 CPU로의 인터럽트 요청은 CLK_RX 도메인의 동일한 레지스터를 기반으로 하기 때문에 CPU는 PMT_CSR을 읽은 후에도 인터럽트 루틴을 두 번째로 하위로 호출할 수 있습니다. 따라서 펌웨어는 웨이크업 프레임 수신 및 매직 패킷 수신 비트를 풀링하고 해당 비트가 '0'인 것으로 확인된 경우에만 인터럽트 서비스 루틴을 종료해야 할 수 있습니다.

33.8 이더넷 레지스터 설명

주변 장치 레지스터는 바이트(8비트), 하프워드(16비트) 또는 워드(32-비트)로 액세스할 수 있습니다.
비트).

33.8.1 MAC 레지스터 설명

이더넷 MAC 구성 레지스터(ETH_MACCR)

주소 오프셋: 0x0000

재설정 값: 0x0000 8000

MAC 구성 레지스터는 MAC의 동작 모드 레지스터입니다. 수신 및 전송 작동 모드를 설정합니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1	예약됨	CSTF	*	WD	JD	■	IFG	CSD	*	■	■	LM	DM	IPCO	RD	■	APCS		DC	■	■	0
		RW	*	RW	RW	■	RW	RW	*	—						■	RW	RW	RW	RW	*	

비트 31:26 예약됨, 재설정 값으로 유지되어야 합니다.

CSTF: 유형 프레임에 대한 CRC 스트리밍

비트 25 설정되면 프레임을 애플리케이션에 전달하기 전에 Ether 유형(0x0600보다 큰 유형 필드)의 모든 프레임의 마지막 4바이트(FCS)가 제거되고 삭제됩니다.

비트 24 예약됨, 재설정 값으로 유지되어야 합니다.

비트 23 WD: 위치독 비활성화

이 비트가 설정되면 MAC는 수신기의 감시 타이머를 비활성화하고 최대 16,384바이트의 프레임을 수신할 수 있습니다.

이 비트가 재설정되면 MAC는 수신되는 프레임의 최대 2,048바이트를 허용하고 그 이후에 수신되는 모든 바이트를 차단합니다.

비트 22 JD: Jabber 비활성화

이 비트가 설정되면 MAC는 송신기의 재버 타이머를 비활성화하고 최대 16,384바이트의 프레임을 전송할 수 있습니다.

이 비트가 재설정되면 응용 프로그램이 전송 중에 2,048바이트 이상의 데이터를 보내는 경우 MAC은 송신기를 차단합니다.

비트 21:20 예약됨, 재설정 값으로 유지되어야 합니다.

RM0090

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

비트 19:17 IFG: 프레임 간 간격

이 비트는 전송 중 프레임 간 최소 프레임 간 간격을 제어합니다.

- 000: 96비트 시간
- 001: 88비트 시간
- 010: 80비트 시간

~

- 111: 40비트 시간

참고: 반이중 모드에서는 최소 IFG를 64비트 시간(IFG = 100)으로만 구성할 수 있습니다. 더 낮은 값은 고려되지 않습니다.

비트 16 CSD: 캐리어 감지 비활성화

이 비트를 높게 설정하면 MAC 송신기가 Half-duplex 모드에서 프레임을 전송하는 동안 MII CRS 신호를 무시하게 됩니다. 이러한 전송 중에는 캐리어 손실(Loss of Carrier) 또는 캐리어 없음(No Carrier)으로 인해 오류가 발생하지 않습니다.

이 비트가 낮으면 MAC 송신기는 캐리어 감지로 인해 이러한 오류를 생성하고 전송을 중단하기도 합니다.

비트 15 예약됨, 재설정 값으로 유지되어야 합니다.**비트 14 FES: 빠른 이더넷 속도**

고속 이더넷(MII) 모드의 속도를 나타냅니다.

- 0: 10Mbit/초
- 1: 100Mbit/s

비트 13 ROD: 자체 비활성화 수신

이 비트가 설정되면 MAC는 반이중 모드에서 프레임 수신을 비활성화합니다.

이 비트가 재설정되면 MAC은 전송 중에 PHY에서 제공하는 모든 패킷을 수신합니다.

MAC이 전이중 모드에서 작동하는 경우 이 비트는 적용되지 않습니다.

비트 12 LM: 루프백 모드

이 비트가 설정되면 MAC는 MII에서 루프백 모드로 작동합니다. 송신 클록이 내부적으로 루프백되지 않으므로 루프백이 제대로 작동하려면 MII 수신 클록 입력(RX_CLK)이 필요합니다.

비트 11 DM: 이중 모드

이 비트가 설정되면 MAC는 동시에 전송하고 수신할 수 있는 전이중 모드로 작동합니다.

비트 10 IPCO: IPv4 체크섬 오프로드

이 비트를 설정하면 수신된 프레임 헤더에 대한 IPv4 체크섬 검사가 활성화됩니다.

TCP/UDP/ICMP 헤더. 이 비트가 재설정되면 수신기의 체크섬 오프로드 기능이 비활성화되고 해당 PCE 및 IP HCE 상태 비트(표 191 참조) 가 항상 지워집니다.

비트 9 RD: 재시도 비활성화

이 비트가 설정되면 MAC는 1번의 전송만 시도합니다. MII에서 충돌이 발생하면 MAC은 현재 프레임 전송을 무시하고 전송 프레임 상태에 과도한 충돌 오류가 있는 Frame Abort를 보고합니다.

이 비트가 재설정되면 MAC은 BL 설정에 따라 재시도를 시도합니다.

참고: 이 비트는 반이중 모드에서만 적용 가능합니다.

비트 8 예약됨, 재설정 값으로 유지되어야 합니다.

비트 7 APCS: 자동 패드/CRC 스트리밍

이 비트가 설정되면 MAC은 길이 필드 값이 1,500바이트보다 작거나 같은 경우에만 수신 프레임에서 Pad/FCS 필드를 제거합니다. 길이 필드가 1,501바이트보다 크거나 같은 모든 수신 프레임은 Pad/FCS 필드를 제거하지 않고 애플리케이션에 전달됩니다.

이 비트가 재설정되면 MAC는 모든 수신 프레임을 수정되지 않은 상태로 전달합니다.

비트 6:5 BL: 백오프 제한

백오프 제한은 MAC가 재시도 동안 전송 시도를 다시 예약하기 전에 대기하는 슬롯 시간 지연(1000Mbit/s의 경우 4,096비트 시간, 10/100Mbit/s의 경우 512비트 시간)의 무작위 정수(r)를 결정합니다. 총들.

참고: 이 비트는 반이중 모드에만 적용 가능합니다.

00: $k =$ 최소 ($n, 10$)

01: $k =$ 최소 ($n, 8$)

10: $k =$ 최소 ($n, 4$)

11: $k =$ 최소 ($n, 1$),

여기서 $n =$ 재전송 시도. 임의의 정수 r 은 $0 \leq r < 2k$ 범위의 값을 취합니다.

비트 4 DC: 지연 확인

이 비트가 설정되면 MAC에서 지연 확인 기능이 활성화됩니다. MAC는 전송 상태 머신이 10/100-1에서 24,288비트 시간 이상 지연될 때 전송 프레임 상태에 설정된 과도한 지연 오류 비트와 함께 프레임 중단 상태를 발행합니다.

Mbit/s 모드. 지연은 송신기가 전송할 준비가 되면 시작되지만 MII의 활성 CRS(반송파 감지) 신호로 인해 방지됩니다. 지연 시간은 누적되지 않습니다. 송신기가 10,000비트 시간 동안 지연한 후 전송하고, 충돌하고, 백오프하고, 백오프가 완료된 후 다시 지연해야 하는 경우 지연 타이머는 0으로 재설정되고 다시 시작됩니다.

이 비트가 재설정되면 지연 확인 기능이 비활성화되고 MAC는 CRS 신호가 비활성화될 때까지 지연됩니다. 이 비트는 Half-duplex 모드에서만 적용 가능합니다.

비트 3 TE: 송신기 활성화

이 비트가 설정되면 MAC의 전송 상태 머신이 MII에서의 전송을 위해 활성화됩니다. 이 비트가 재설정되면 현재 프레임 전송이 완료된 후 MAC 전송 상태 머신이 비활성화되고 더 이상 프레임을 전송하지 않습니다.

비트 2 RE: 수신기 활성화

이 비트가 설정되면 MAC의 수신자 상태 머신이 MII로부터 프레임을 수신할 수 있도록 활성화됩니다. 이 비트가 재설정되면 현재 프레임 수신이 완료된 후 MAC 수신 상태 머신이 비활성화되고 MII로부터 더 이상 프레임을 수신하지 않습니다.

비트 1:0 예약됨, 재설정 값으로 유지되어야 합니다.

RM0090

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

이더넷 MAC 프레임 필터 레지스터(ETH_MACFFR)

주소 오프셋: 0x0004

재설정 값: 0x0000 0000

MAC 프레임 필터 레지스터에는 프레임 수신을 위한 필터 컨트롤이 포함되어 있습니다. 이 레지스터의 제어 중 일부는 주소 필터링의 첫 번째 수준을 수행하는 MAC의 주소 확인 블록으로 이동합니다. 필터링의 두 번째 수준은 통과 불량 프레임 및 통과 제어 프레임과 같은 다른 제어를 기반으로 수신 프레임에 대해 수행됩니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																
라 rw	예약됨															
	HPF	SaF	#	PCF				BFD	IP	DNS	IP	포	포	포	포	포
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

비트 31 RA: 모두 수신

이 비트가 설정되면 MAC 수신기는 주소 필터를 통과했는지 여부에 관계없이 수신된 모든 프레임을 애플리케이션에 전달합니다. SA/DA 필터링 결과는 수신 상태 워드의 해당 비트에서 업데이트(통과 또는 실패)됩니다. 이 비트가 재설정되면 MAC 수신기는 SA/DA 주소 필터를 통과한 프레임만 애플리케이션에 전달합니다.

비트 30:11 예약됨, 재설정 값으로 유지되어야 합니다.

비트 10 HPF: 해시 또는 완벽한 필터

이 비트가 설정되고 HM 또는 HU 비트가 설정되면 주소 필터는 완벽한 필터링이나 해시 필터링과 일치하는 프레임을 전달합니다.

이 비트가 지워지고 HU 또는 HM 비트가 설정된 경우 해시 필터와 일치하는 프레임만 전달됩니다.

비트 9 SaF: 소스 주소 필터

MAC 코어는 수신된 프레임의 SA 필드를 활성화된 SA 레지스터에 프로그래밍된 값과 비교합니다. 비교가 일치하면 RxStatus 워드의 SAMatch 비트가 높게 설정됩니다. 이 비트가 높게 설정되고 SA 필터가 실패하면 MAC는 프레임을 삭제합니다.

이 비트가 재설정되면 MAC 코어는 수신된 프레임을 애플리케이션에 전달합니다. 또한 SA 주소 비교에 따라 RxStatus의 업데이트된 SA 일치 비트를 전달합니다.

비트 8 SAIF: 소스 주소 역 필터링

이 비트가 설정되면 주소 확인 블록은 SA 주소 비교를 위해 역 필터링 모드로 작동합니다. SA가 SA 레지스터와 일치하는 프레임은 SA 주소 필터에 실패한 것으로 표시됩니다.

이 비트가 재설정되면 SA가 SA 레지스터와 일치하지 않는 프레임은 SA 주소 필터에 실패한 것으로 표시됩니다.

비트 7:6 PCF: 패스 제어 프레임

이 비트는 모든 제어 프레임(유니캐스트 및 멀티캐스트 PAUSE 프레임 포함)의 전달을 제어합니다. PAUSE 제어 프레임의 처리는 흐름 제어 레지스터[2]의 RFCE에만 의존한다는 점에 유의하십시오.

00: MAC는 모든 제어 프레임이 애플리케이션에 도달하는 것을 방지합니다.

01: MAC은 Pause 제어 프레임을 제외한 모든 제어 프레임을 응용 프로그램에 전달합니다. 10: MAC는 주소 필터에 실패하더라도 모든 제어 프레임을 응용 프로그램에 전달합니다.

11: MAC은 주소 필터를 통과하는 제어 프레임을 전달합니다.

이 비트는 모든 제어 프레임(유니캐스트 및 멀티캐스트 PAUSE 프레임 포함)의 전달을 제어합니다. PAUSE 제어 프레임의 처리는 흐름 제어 레지스터[2]의 RFCE에만 의존한다는 점에 유의하십시오.

00 또는 01: MAC은 모든 제어 프레임이 애플리케이션에 도달하는 것을 방지합니다.

10: MAC은 주소 필터에 실패하더라도 모든 제어 프레임을 애플리케이션에 전달합니다.

11: MAC은 주소 필터를 통과하는 제어 프레임을 전달합니다.

비트 5 BFD: 브로드캐스트 프레임 비활성화

이 비트가 설정되면 주소 필터는 들어오는 모든 브로드캐스트 프레임을 필터링합니다.

이 비트가 재설정되면 주소 필터는 수신된 모든 브로드캐스트 프레임을 통과합니다.

비트 4 PAM: 모든 멀티캐스트 통과

이 비트가 설정된 경우 멀티캐스트 대상 주소(대상 주소 필드의 첫 번째 비트는 '1'임)가 있는 모든 수신 프레임이 전달되었음을 나타냅니다.

재설정 시 멀티캐스트 프레임 필터링은 HM 비트에 따라 달라집니다.

비트 3 DAIF: 대상 주소 역 필터링

이 비트가 설정되면 주소 확인 블록은 유니캐스트 및 멀티캐스트 프레임 모두에 대한 DA 주소 비교를 위해 역 필터링 모드에서 작동합니다.

재설정하면 프레임의 일반 필터링이 수행됩니다.

비트 2 HM: 해시 멀티캐스트

설정되면 MAC은 해시 테이블에 따라 수신된 멀티캐스트 프레임의 대상 주소 필터링을 수행합니다.

재설정되면 MAC은 멀티캐스트 프레임에 대한 완벽한 대상 주소 필터링을 수행합니다. 즉, DA 필드를 DA 레지스터에 프로그래밍된 값과 비교합니다.

비트 1 HU: 해시 유니캐스트

설정되면 MAC은 해시 테이블에 따라 유니캐스트 프레임의 대상 주소 필터링을 수행합니다.

재설정되면 MAC은 유니캐스트 프레임에 대한 완벽한 대상 주소 필터링을 수행합니다. 즉, DA 필드를 DA 레지스터에 프로그래밍된 값과 비교합니다.

비트 0 PM: 무차별 모드

이 비트가 설정되면 주소 필터는 대상 또는 소스 주소에 관계없이 들어오는 모든 프레임을 전달합니다. PM이 설정되면 수신 상태 워드의 SA/DA 필터 실패 상태 비트가 항상 지워집니다.

이더넷 MAC 해시 테이블 상위 레지스터(ETH_MACHTHR)

주소 오프셋: 0x0008

재설정 값: 0x0000 0000

64비트 해시 테이블은 그룹 주소 필터링에 사용됩니다. 해시 필터링의 경우 수신 프레임의 대상 주소 내용이 CRC 논리를 통해 전달되고 CRC 레지스터의 상위 6비트는 해시 테이블의 내용을 인덱싱하는 데 사용됩니다. 이 CRC는 다음 다항식으로 코딩된 32비트 값입니다(자세한 내용은 섹션 33.5.3 참조).

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4$$

RM0090

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

가장 중요한 비트는 사용할 레지스터(해시 테이블 하이/해시 테이블 로우)를 결정하고 나머지 5비트는 레지스터 내의 비트를 결정합니다. 해시 값 0b0 0000은 선택된 레지스터에서 비트 0을 선택하고, 값 0b1 1111은 선택된 레지스터에서 비트 31을 선택합니다.

예를 들어 들어오는 프레임의 DA가 0x1F52 419C B6AF(0x1F는 MII 인터페이스에서 수신된 첫 번째 바이트)로 수신되면 내부적으로 계산된 6비트 해시 값은 0x2C이고 HTL 레지스터 비트[12]가 확인됩니다. 필터링을 위해. 들어오는 프레임의 DA가 0xA00A 9800 0045로 수신되면 계산된 6비트 해시 값은 0x07이고 HTL 레지스터 비트[7]는 필터링을 위해 확인됩니다.

레지스터의 해당 비트 값이 1이면 프레임이 승인됩니다. 그렇지 않으면 거부됩니다. ETH_MACFFR 레지스터에 PAM(모든 멀티캐스트 통과) 비트가 설정된 경우 멀티캐스트 해시 값에 관계없이 모든 멀티캐스트 프레임이 허용됩니다.

해시 테이블 상위 레지스터에는 멀티캐스트 해시 테이블의 상위 32비트가 포함되어 있습니다.

비트 31:0 HTH: 해시 테이블 높음
이 필드에는 Hash 테이블의 상위 32비트가 포함됩니다.

이더넷 MAC 해시 테이블 하위 레지스터(ETH_MACHTLR)

주소 오프셋: 0x000C

재설정 값: 0x0000 0000

해시 테이블 하위 레지스터에는 멀티캐스트 해시 테이블의 하위 32비트가 포함됩니다.

비트 31:0 HTL: 해시 테이블 로우
이 필드에는 해시 테이블의 하위 32비트가 포함됩니다.

이더넷 MAC MII 주소 레지스터(ETH_MACMIIAR)

주소 오프셋: 0x0010

재설정 값: 0x0000 0000

MII 주소 레지스터는 관리 인터페이스를 통해 외부 PHY에 대한 관리 주기를 제어합니다.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2		1	0																																																																																																																																																																																																																																																																																																																																																																																																																																																														
예약된																																																																																																																																																																																																																																																																																																																																																																																																																																																																																														

비트 31:16 예약됨, 재설정 값으로 유지되어야 합니다.

비트 15:11 PA: PHY 주소

이 필드는 32개의 가능한 PHY 장치 중 어느 장치에 액세스되고 있는지 알려줍니다.

비트 10:6 MR: MII 레지스터

이 비트는 선택된 PHY 장치에서 원하는 MII 레지스터를 선택합니다.

비트 5 예약됨, 재설정 값으로 유지되어야 합니다.

비트 4:2 CR: 클럭 범위

CR 클록 범위 선택은 HCLK 주파수를 결정하고 MDC 클록의 주파수를 결정하는 데 사용됩니다.

선택 HCLK MDC 클록

000 60-100MHz HCLK/42

001 100-150MHz HCLK/62

010 20-35MHz HCLK/16

011 35-60MHz HCLK/26

100 150-180MHz HCLK/102

101, 110, 111 예약됨 -

비트 1MW : MII 쓰기

이 비트가 설정되면 MII 데이터 레지스터를 사용하는 쓰기 작업임을 PHY에 알립니다. 이 비트가 설정되지 않은 경우 이는 읽기 작업이며 MII 데이터 레지스터에 데이터를 배치합니다.

비트 0MB : MII 사용 중

이 비트는 ETH_MACMIIAR 및 ETH_MACMIIDR에 쓰기 전에 논리 0을 읽어야 합니다. 이 비트는 ETH_MACMIIAR에 쓰는 동안에도 0으로 재설정되어야 합니다. PHY 레지스터 액세스 중에 이 비트는 읽기 또는 쓰기 액세스가 진행 중임을 나타내기 위해 애플리케이션에 의해 0b1로 설정됩니다.

ETH_MACMIIDR(MII 데이터)은 PHY 쓰기 작업 중에 MAC에 의해 이 비트가 지워질 때까지 유효한 상태로 유지되어야 합니다. ETH_MACMIIDR은 PHY 읽기 작업 중에 MAC에 의해 이 비트가 지워질 때까지 유효하지 않습니다. 이 비트가 지워질 때까지 ETH_MACMIIAR(MII 주소)에 기록하면 안 됩니다.

이더넷 MAC MII 데이터 레지스터(ETH_MACMIIDR)

주소 오프셋: 0x0014

재설정 값: 0x0000 0000

MAC MII 데이터 레지스터는 ETH_MACMIIAR에 지정된 주소에 있는 PHY 레지스터에 쓸 쓰기 데이터를 저장합니다.

ETH_MACMIIDR은 또한 ETH_MACMIIAR에 지정된 주소에 있는 PHY 레지스터에서 읽은 데이터를 저장합니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2

1 0

예약됨	MD															
	rw															

비트 31:16 예약됨, 재설정 값으로 유지되어야 합니다.

비트 15:0 MD: MII 데이터

여기에는 관리 읽기 작업 후 PHY에서 읽은 16비트 데이터 값 또는 관리 쓰기 작업 전에 PHY에 쓸 16비트 데이터 값이 포함됩니다.

RM0090

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

이더넷 MAC 흐름 제어 레지스터(ETH_MACFCR)

주소 오프셋: 0x0018

재설정 값: 0x0000 0000

흐름 제어 레지스터는 MAC에 의한 제어(일시 중지 명령) 프레임의 생성 및 수신을 제어합니다. Busy 비트가 '1'로 설정된 레지스터에 쓰기를 수행하면 MAC이 일시 중지 제어 프레임을 생성하게 됩니다. 제어 프레임의 필드는 802.3x 사양에 지정된 대로 선택되며 이 레지스터의 Pause Time 값은 제어 프레임의 Pause Time 필드에 사용됩니다. Busy 비트는 제어 프레임이 케이블로 전송될 때까지 설정된 상태로 유지됩니다. 호스트는 레지스터에 쓰기 전에 Busy 비트가 지워졌는지 확인해야 합니다.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PT																예약된		ZQPD	PLT	UPO	GE	TCE	FCB/BPA								
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rc_w1/rw																			

비트 31:16 PT: 일시정지 시간

이 필드는 전송 제어 프레임의 일시 중지 시간 필드에 사용되는 값을 보유합니다. 일시 정지 시간 비트가 MII 클록 도메인에 이중 동기화되도록 구성된 경우 이 레지스터에 대한 연속 쓰기 작업은 대상 클록 도메인에서 최소 4 클록 사이클 후에만 수행되어야 합니다.

비트 15:8 예약됨, 재설정 값으로 유지되어야 합니다.

비트 7 ZQPD: 제로 콘타 일시 중지 비활성화

설정되면 이 비트는 FIFO 라이너의 흐름 제어 신호를 해제할 때 제로 콘타 일시 중지 제어 프레임의 자동 생성을 비활성화합니다.

이 비트가 재설정되면 자동 제로 콘타 일시 정지 제어 프레임 생성을 통한 정상 작동이 활성화됩니다.

비트 6 예약됨, 재설정 값으로 유지되어야 합니다.

비트 5:4 PLT: 낮은 임계값 일시 중지

이 필드는 Pause 프레임이 자동으로 재전송되는 Pause 타이머의 임계값을 구성합니다. 임계값은 항상 비트[31:16]로 구성된 일시 중지 시간보다 작아야 합니다. 예를 들어, PT = 100H(256 슬롯타임)이고 PLT = 01인 경우 첫 번째 PAUSE 프레임이 전송된 후 228(256 – 28) 슬롯타임에 시작되면 두 번째 PAUSE 프레임이 자동으로 전송됩니다.

선택 임계값

00 일시정지 시간 - 4 슬롯 시간

01 일시 정지 시간 - 28 슬롯 시간

10 일시 정지 시간 - 144 슬롯 시간

11 일시 정지 시간 - 256 슬롯 시간

슬롯 시간은 MII 인터페이스에서 512비트(64바이트)를 전송하는 데 걸리는 시간으로 정의됩니다.

비트 3 UPFD: 유니캐스트 일시정지 프레임 감지

이 비트가 설정되면 MAC는 고유한 멀티캐스트 주소로 일시 정지 프레임을 감지하는 것 외에도 ETH_MACA0HR 및 ETH_MACA0LR 레지스터에 지정된 스테이션의 유니캐스트 주소로 일시 정지 프레임을 감지합니다.

이 비트가 재설정되면 MAC는 802.3x 표준에 지정된 고유 멀티캐스트 주소가 있는 Pause 프레임만 감지합니다.

비트 2 RFCE: 수신 흐름 제어 활성화

이 비트가 설정되면 MAC는 수신된 일시 중지 프레임을 디코딩하고 지정된(일시 중지 시간) 시간 동안 송신기를 비활성화합니다.

이 비트가 재설정되면 일시 중지 프레임의 디코드 기능이 비활성화됩니다.

비트 1 TFCE: 전송 흐름 제어 활성화

전이중 모드에서 이 비트가 설정되면 MAC는 흐름 제어 작업을 활성화하여 일시 중지 프레임을 전송합니다. 이 비트가 재설정되면 MAC의 흐름 제어 작업이 비활성화되고 MAC은 일시 중지 프레임을 전송하지 않습니다.

반이중 모드에서 이 비트가 설정되면 MAC는 역암 작동을 활성화합니다.

이 비트가 재설정되면 역암 기능이 비활성화됩니다.

비트 0 FCB/BPA: 흐름 제어 사용 중/배압 활성화

이 비트는 전이중 모드에서 일시 정지 제어 프레임을 시작하고 TFCE 비트가 설정된 경우 반이중 모드에서 역암 기능을 활성화합니다.

전이중 모드에서는 흐름 제어 레지스터에 쓰기 전에 이 비트를 0으로 읽어야 합니다.

일시 중지 제어 프레임을 시작하려면 애플리케이션이 이 비트를 1로 설정해야 합니다. 제어 프레임 전송 중에 이 비트는 계속 설정되어 프레임 전송이 진행 중임을 나타냅니다. 일시 중지 제어 프레임 전송이 완료된 후 MAC는 이 비트를 0으로 재설정합니다. 이 비트가 자워질 때까지 흐름 제어 레지스터에 기록하면 안 됩니다.

반이중 모드에서 이 비트가 설정되고 TFCE가 설정되면 MAC 코어에 의해 백 프레셔가 어설션됩니다. 배압 중에 MAC이 새 프레임을 수신하면 송신기는 JAM 패턴 전송을 시작하여 충돌이 발생합니다. MAC가 전이중 모드로 구성되면 BPA가 자동으로 비활성화됩니다.

이더넷 MAC VLAN 태그 레지스터(ETH_MACVLANTR)

주소 오프셋: 0x001C

재설정 값: 0x0000 0000

VLAN 태그 레지스터에는 VLAN 프레임을 식별하기 위한 IEEE 802.1Q VLAN 태그가 포함되어 있습니다.

MAC는 수신 프레임(길이/유형)의 13번째와 14번째 바이트를 0x8100과 비교하고, 다음 2바이트는 VLAN 태그와 비교합니다. 일치하는 경우 수신 프레임 상태에서 수신된 VLAN 비트가 설정됩니다. 프레임의 합법적인 길이가 1518바이트에서 1522바이트로 늘어났습니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

예약된	VLANID	VLANTI													
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

RM0090

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

비트 31:17 예약됨, 재설정 값으로 유지되어야 합니다.

비트 16 VLANTC: 12비트 VLAN 태그 비교

이 비트가 설정되면 전체 16비트 VLAN 태그가 아닌 12비트 VLAN 식별자가 비교 및 필터링에 사용됩니다. VLAN 태그의 비트[11:0]는 수신된 VLAN 태그가 지정된 프레임의 해당 필드와 비교됩니다.

이 비트가 재설정되면 수신된 VLAN 프레임의 15번째 및 16번째 바이트 중 16비트가 모두 비교에 사용됩니다.

비트 15:0 VLANTI: VLAN 태그 식별자(수신 프레임용)

여기에는 VLAN 프레임을 식별하기 위한 802.1Q VLAN 태그가 포함되어 있으며 VLAN 프레임에 대해 수신되는 프레임의 15번째 및 16번째 바이트와 비교됩니다. 비트[15:13]은 사용자 우선 순위이고, 비트[12]는 CFI(표준 형식 표시기)이고, 비트[11:0]는 VLAN 태그의 VID(VLAN 식별자) 필드입니다. VLANTC 비트가 설정되면 VID(비트[11:0])만 비교에 사용됩니다.

VLANTI(VLANTC가 설정된 경우 VLANTI[11:0])가 모두 0인 경우 MAC는 VLAN 태그 비교를 위해 15번째 및 16번째 바이트를 확인하지 않고 유형 필드 값이 0x8100인 모든 프레임을 VLAN 프레임으로 선언합니다.

이더넷 MAC 원격 웨이크업 프레임 필터 레지스터(ETH_MACRWUFFR)

주소 오프셋: 0x0028

재설정 값: 0x0000 0000

애플리케이션이 원격 wake-up 프레임 필터 레지스터를 쓰고/읽는 주소입니다. 웨이크업 프레임 필터 레지스터는 실제로 웨이크업 프레임 필터 레지스터 8개(투명하지 않음)에 대한 포인터입니다. 오프셋(0x0028)을 사용하여 이 주소에 대한 8개의 순차적 쓰기 작업은 모든 웨이크업 프레임 필터 레지스터를 쓹습니다. 오프셋(0x0028)을 사용하여 이 주소에서 8개의 순차적 읽기 작업을 수행하면 모든 웨이크업 프레임 필터 레지스터를 읽습니다. 이 레지스터에는 7번째 MAC 주소의 상위 16비트가 포함됩니다. 자세한 내용은 [원격 깨우기 프레임 필터 레지스터](#) 섹션을 참조하세요.

그림 385. 이더넷 MAC 원격 웨이크업 프레임 필터 레지스터(ETH_MACRWUFFR)

웨이크업 프레임 필터 reg0	0바이트 마스크 필터링											
웨이크업 프레임 필터 reg1	1바이트 마스크 필터링											
웨이크업 프레임 필터 reg2	2바이트 마스크 필터링											
웨이크업 프레임 필터 reg3	3바이트 마스크 필터링											
웨이크업 프레임 필터 reg4	RSVD	필터 3 명령	RSVD	필터 2 명령	RSVD	필터 1 명령	RSVD	필터 0 명령				
웨이크업 프레임 필터 reg5	필터 3 오프셋		필터 2 오프셋		필터 1 오프셋		필터 0 오프셋					
웨이크업 프레임 필터 reg6	필터 1 CRC - 16				필터 0 CRC - 16							
웨이크업 프레임 필터 reg7	필터 3 CRC - 16				필터 2 CRC - 16							

ai15648



이더넷 MAC PMT 제어 및 상태 레지스터(ETH_MACPMTCSR)

주소 오프셋: 0x002C

재설정 값: 0x0000 0000

ETH_MACPMTCSR은 요청 웨이크업 이벤트를 프로그래밍하고 웨이크업 이벤트를 모니터링합니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

	예약됨	기록	비트 31 WFFRPR: 웨이크업 프레임 필터 레지스터 포인터 재설정	WFR MPR	비트 30:10 예약됨, 재설정 값으로 유지되어야 합니다.	WFE MPE	비트 0 PD: 전원 차단
RS	결의안.	rw	설정되면 원격 깨우기 프레임 필터 레지스터 포인터가 0b000으로 재설정됩니다. 1 클럭 사이클 후에 자동으로 클리어됩니다.	rc_r rc_r	비트 9 GU: 글로벌 유니캐스트	설정되면 MAC(DAF) 주소 인식에 의해 필터링된 모든 유니캐스트 패킷이 웨이크업 프레임이 될 수 있습니다.	비트 6 WFR: 웨이크업 프레임 수신됨

비트 30:10 예약됨, 재설정 값으로 유지되어야 합니다.

비트 9 GU: 글로벌 유니캐스트

설정되면 MAC(DAF) 주소 인식에 의해 필터링된 모든 유니캐스트 패킷이 웨이크업 프레임이 될 수 있습니다.

비트 8:7 예약됨, 재설정 값으로 유지되어야 합니다.

비트 6 WFR: 웨이크업 프레임 수신됨

이 비트가 설정되면 웨이크업 프레임 수신으로 인해 전원 관리 이벤트가 생성되었음을 나타냅니다. 이 비트는 이 레지스터를 읽으면 자워집니다.

비트 5 MPR: 매직 패킷 수신됨

설정된 경우 이 비트는 매직 패킷 수신으로 인해 전원 관리 이벤트가 생성되었음을 나타냅니다. 이 비트는 이 레지스터를 읽으면 자워집니다.

비트 4:3 예약됨, 재설정 값으로 유지되어야 합니다.

비트 2 WFE: 웨이크업 프레임 활성화

이 비트를 설정하면 웨이크업 프레임 수신으로 인해 전원 관리 이벤트가 생성될 수 있습니다.

비트 1 MPE: 매직 패킷 활성화

이 비트를 설정하면 Magic Packet 수신으로 인해 전원 관리 이벤트가 생성됩니다.

비트 0 PD: 전원 차단

이 비트가 설정되면 수신된 모든 프레임이 삭제됩니다. 이 비트는 매직 패킷이나 웨이크업 프레임이 수신되면 자동으로 지워지고 전원 차단 모드가 비활성화됩니다. 이 비트가 지워진 후 수신된 프레임은 애플리케이션으로 전달됩니다. 이 비트는 매직 패킷 활성화 또는 웨이크업 프레임 활성화 비트가 높게 설정된 경우에만 설정해야 합니다.

RM0090

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

이더넷 MAC 디버그 레지스터(ETH_MACDBGR)

주소 오프셋: 0x0034

재설정 값: 0x0000 0000

이 디버그 레지스터는 전송 및 수신 데이터 경로와 FIFO의 모든 기본 모듈 상태를 제공합니다. 모두 0인 상태는 MAC 코어가 유휴 상태이고(FIFO가 비어 있음) 데이터 경로에서 진행 중인 활동이 없음을 나타냅니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																
	TFF	TFNE		TFWA	TFRS	MTP	MTFCS	MMTEA	예약됨	RFFL		RFRCS	RFWRA		MSFRWCS	
로로				로로로로로로로로					로로			로로로			로로로	

비트 31:26 예약됨, 재설정 값으로 유지되어야 합니다.

비트 25 TFF: Tx FIFO 가득 참

높으면 Tx FIFO가 가득 차서 전송을 위해 더 이상 프레임이 허용되지 않음을 나타냅니다.

비트 24 TFNE: Tx FIFO가 비어 있지 않음

높으면 Tx FIFO가 비어 있지 않고 전송을 위한 일부 데이터가 남아 있음을 나타냅니다.

비트 23 예약됨, 재설정 값으로 유지되어야 합니다.

비트 22 TFWA: Tx FIFO 쓰기 활성

높으면 Tx FIFO 쓰기 컨트롤러가 활성화되어 Tx FIFO로 데이터를 전송하고 있음을 나타냅니다.

비트 21:20 TFRS: Tx FIFO 읽기 상태

이는 Tx FIFO 읽기 컨트롤러의 상태를 나타냅니다.

00: 유휴 상태

01: 읽기 상태(MAC 송신기로 데이터 전송 중)

10: MAC 송신기로부터 TxStatus를 기다리는 중

11: 수신된 TxStatus 쓰기 또는 Tx FIFO 플러시

비트 19 MTP: 일시 중지된 MAC 송신기

높으면 MAC 송신기가 일시 중지 상태(전이중 모드에서만)에 있으므로 전송을 위해 어떤 프레임도 예약하지 않음을 나타냅니다.

비트 18:17 MTFCS: MAC 전송 프레임 컨트롤러 상태

이는 MAC 전송 프레임 컨트롤러의 상태를 나타냅니다.

00: 유휴

01: 이전 프레임의 상태 또는 IFG/백오프 기간이 끝나기를 기다리는 중

10: Pause 제어 프레임 생성 및 전송(전이중 모드)

11: 전송을 위한 입력 프레임 전송

비트 16 MMTEA: MAC MII 전송 엔진 활성

높으면 MAC MII 전송 엔진이 활발하게 데이터를 전송하고 있으며 유휴 상태가 아님을 나타냅니다.

비트 15:10 예약됨, 재설정 값으로 유지되어야 합니다.



비트 9:8 RFFL: Rx FIFO 채우기 레벨

이는 Rx FIFO 채우기 레벨의 상태를 제공합니다.

00: RxFIFO 비어 있음

01: 흐름 제어 비활성화 임계값보다 낮은 RxFIFO 채우기 레벨

10: 흐름 제어 활성화 임계값을 초과하는 RxFIFO 채우기 레벨

11: RxFIFO 가득 찬

비트 7 예약됨, 재설정 값으로 유지되어야 합니다.

비트 6:5 RFCS: Rx FIFO 읽기 컨트롤러 상태

Rx FIFO 읽기 컨트롤러의 상태를 제공합니다.

00: 유휴 상태

01: 프레임 데이터 읽기

10: 판독 프레임 상태(또는 타임스탬프)

11: 프레임 데이터 및 상태 플리시

비트 4 RFWRA: Rx FIFO 쓰기 컨트롤러 활성

높으면 Rx FIFO 쓰기 컨트롤러가 활성화되어 수신된 프레임을 FIFO로 전송하고 있음을 나타냅니다.

비트 3 예약됨, 재설정 값으로 유지되어야 합니다.

비트 2:1 MSFRWCS: MAC 소형 FIFO 읽기/쓰기 컨트롤러 상태

높으면 이 비트는 MAC 수신 프레임 컨트롤러 모듈의 소형 FIFO 읽기 및 쓰기 컨트롤러의 각 활성 상태를 나타냅니다.

비트 0 MMRPEA: MAC MII 수신 프로토콜 엔진 활성화

높으면 MAC MII 수신 프로토콜 엔진이 활발하게 데이터를 수신하고 있으며 유휴 상태가 아님을 나타냅니다.

RM0090

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

이더넷 MAC 인터럽트 상태 레지스터(ETH_MACSR)

주소 오프셋: 0x0038

재설정 값: 0x0000 0000

ETH_MACSR 레지스터 내용은 인터럽트를 생성할 수 있는 MAC의 이벤트를 식별합니다.

15	14	13	12	11	10	9	8	7	6	5	4	상	2	1	0
예약됨				TSTS		예약됨	MMCTS	MMCRS	MMCS	PMTS				예약됨	
				rc_r			-	-	-	-					

비트 15:10 예약됨, 재설정 값으로 유지되어야 합니다.

비트 9 TSTS: 타임스탬프 트리거 상태

이 비트는 시스템 시간 값이 목표 시간 상한 및 하한 레지스터에 지정된 값과 같거나 초과할 때 높게 설정됩니다. 이 비트는 ETH_PTPTSSR 레지스터를 읽으면 지워집니다.

비트 8:7 예약됨, 재설정 값으로 유지되어야 합니다.

비트 6 MMCTS: MMC 전송 상태

이 비트는 ETH_MMCTIR 레지스터에서 인터럽트가 생성될 때마다 높게 설정됩니다. 이 비트는 이 인터럽트 레지스터(ETH_MMCTIR)의 모든 비트가 클리어될 때 클리어됩니다.

비트 5 MMCRS: MMC 수신 상태

이 비트는 ETH_MMCRIR 레지스터에서 인터럽트가 생성될 때마다 높게 설정됩니다. 이 비트는 이 인터럽트 레지스터(ETH_MMCRIR)의 모든 비트가 지워지면 지워집니다.

비트 4 MMCS: MMC 상태

이 비트는 비트 6:5 중 하나가 하이로 설정될 때마다 하이로 설정됩니다. 두 비트가 모두 로우인 경우에만 클리어됩니다.

비트 3 PMTS: PMT 상태

이 비트는 매직 패킷 또는 Wake-on-LAN 프레임이 전원 차단 모드에서 수신될 때마다 설정됩니다(ETH_MACPMTCSR 레지스터 [이더넷 MAC PMT 제어 및 상태 레지스터\(ETH_MACPMTCSR\)의 비트 5 및 6 참조](#)). 이 비트는 ETH_MACPMTCSR 레지스터에 대한 읽기 작업으로 인해 이 마지막 레지스터의 두 비트[6:5]가 모두 지워지면 지워집니다.

비트 2:0 예약됨, 재설정 값으로 유지되어야 합니다.

이더넷 MAC 인터럽트 마스크 레지스터(ETH_MACIMR)

주소 오프셋: 0x003C

재설정 값: 0x0000 0000

ETH_MACIMR 레지스터 비트를 사용하면 ETH_MACSR 레지스터의 해당 이벤트로 인한 인터럽트 신호를 마스크할 수 있습니다.

15	14	13	12	11	10	9	8	7	6	5	4	삼	2	1	0
예약된					TSTIM				예약된		PMTIM		예약된		

비트 15:10 예약됨, 재설정 값으로 유지되어야 합니다.

비트 9 TSTIM: 타임스탬프 트리거 인터럽트 마스크 설정되면 이 비트는 타

임스탬프 인터럽트 생성을 비활성화합니다.

비트 8:4 예약됨, 재설정 값으로 유지되어야 합니다.

비트 3 PMTIM: PMT 인터럽트 마스크 설정되면 이

비트는 ETH_MACSR의 PMT 상태 비트 설정으로 인해 인터럽트 신호의 어설션을 비활성화합니다.

비트 2:0 예약됨, 재설정 값으로 유지되어야 합니다.

이더넷 MAC 주소 0 상위 레지스터(ETH_MACA0HR)

주소 오프셋: 0x0040

재설정 값: 0x8000FFFF

MAC 주소 0 상위 레지스터는 스테이션의 첫 번째 6바이트 MAC 주소 중 상위 16비트를 보유합니다. MII 인터페이스에서 수신된 첫 번째 DA 바이트는 MAC 주소 하위 레지스터의 LS 바이트(비트[7:0])에 해당합니다. 예를 들어, 0x1122 3344 5566이 MII에 대상 주소로 수신되면(0x11은 첫 번째 바이트) MAC 주소 0 레지스터 [47:0]가 0x6655 4433 2211과 비교됩니다.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
#																																		
1																																		

비트 31 MO: 항상 1입니다.

비트 30:16 예약됨, 재설정 값으로 유지되어야 합니다.

비트 15:0 MACA0H: MAC 주소0 높음 [47:32]

이 필드에는 6바이트 MAC 주소0의 상위 16비트(47:32)가 포함됩니다. 이는 MAC에서 수신된 프레임을 필터링하고 전송 흐름 제어(일시 종지) 프레임에 MAC 주소를 삽입하는 데 사용됩니다.

RM0090

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

이더넷 MAC 주소 0 하위 레지스터(ETH_MACA0LR)

주소 오프셋: 0x0044

재설정 값: 0xFFFF FFFF

MAC 주소 0 하위 레지스터는 스테이션의 첫 번째 6바이트 MAC 주소 중 하위 32비트를 보유합니다.

비트 31:0 MACA0L: MAC 주소0 낮음[31:0]

이 필드에는 6바이트 MAC 주소의 하위 32비트가 포함됩니다. 이는 MAC에서 수신된 프레임을 필터링하고 전송 흐름 제어(일시 중지) 프레임에 MAC 주소를 삽입하는 데 사용됩니다.

이더넷 MAC 주소 1 상위 레지스터(ETH_MACA1HR)

주소 오프셋: 0x0048

재설정 값: 0x0000FFFF

MAC 주소 1 상위 레지스터에는 스테이션의 6바이트 두 번째 MAC 주소 중 상위 16비트가 포함됩니다.

비트 31 AE: 주소 활성화

이 비트가 설정되면 주소 필터는 완벽한 필터링을 위해 MAC 주소1을 사용합니다. 이 비트가 지워지면 주소 필터는 필터링할 주소를 무시합니다.

비트 30 SA: 소스 주소

이 비트가 설정되면 MAC 주소1[47:0]은 수신된 프레임의 SA 필드와 비교하는 데 사용됩니다.

이 비트가 클리어되면 MAC 주소1[47:0]은 수신된 프레임의 DA 필드와 비교하는 데 사용됩니다.

비트 29·24 MBC·마스크 바이트 제작

이 비트는 MAC 주소 1 바이트 각각을 비교하기 위한 마스크 제어 비트입니다. 높게 설정되면 MAC 코어는 수신된 DA/SA의 해당 바이트를 MAC 주소 1 레지스터의 내용과 비교하지 않습니다. 각 비트는 다음과 같이 바이트 마스크를 제어합니다.

- 비트 29: ETH_MACA1HR [15:8]
 - 비트 28: ETH_MACA1HR [7:0]
 - 비트 27: ETH_MACA1LR [31:24]
 - ...
 - 비트 24: ETH_MACA1LR [7:0]

비트 23:16 예약됨, 재설정 값으로 유지되어야 합니다.

비트 15:0 MACA1H: MAC 주소1 높음 [47:32]

이 필드에는 6바이트 두 번째 MAC 주소의 상위 16비트(47:32)가 포함됩니다.

이더넷 MAC 주소1 하위 레지스터(ETH_MACA1LR)

주소 오프셋: 0x004C

재설정 값: 0xFFFF FFFF

MAC 주소 1 하위 레지스터는 스테이션의 6바이트 두 번째 MAC 주소 중 하위 32비트를 보유합니다.

비트 31:0 MACA1L: MAC 주소1 낮음[31:0]

이 필드에는 6바이트 MAC 주소1의 하위 32비트가 포함됩니다. 이 필드의 내용은 초기화 프로세스 후 애플리케이션이 로드할 때까지 정의되지 않습니다.

이더넷 MAC 주소 2 상위 레지스터(ETH_MACA2HR)

주소 오프셋: 0x0050

재설정 값: 0x0000FFFF

MAC 주소 2 상위 레지스터는 스테이션의 6바이트 두 번째 MAC 주소 중 상위 16비트를 보유합니다.

RM0090

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

비트 31 AE: 주소 활성화

이 비트가 설정되면 주소 필터는 완벽한 필터링을 위해 MAC 주소 2를 사용합니다. 재설정되면 주소 필터는 필터링할 주소를 무시합니다.

비트 30 SA: 소스 주소

이 비트가 설정되면 MAC 주소 2[47:0]는 수신된 프레임의 SA 필드와 비교하는 데 사용됩니다.

이 비트가 재설정되면 MAC 주소 2[47:0]는 수신된 프레임의 DA 필드와의 비교에 사용됩니다.

비트 29:24 MBC: 마스크 바이트 제어

이 비트는 MAC 주소 2바이트 각각을 비교하기 위한 마스크 제어 비트입니다. 높게 설정되면 MAC 코어는 수신된 DA/SA의 해당 바이트를 MAC 주소 2 레지스터의 내용과 비교하지 않습니다. 각 비트는 다음과 같이 바이트 마스킹을 제어합니다.

- 비트 29: ETH_MACA2HR [15:8]
- 비트 28: ETH_MACA2HR [7:0]
- 비트 27: ETH_MACA2LR [31:24]
- ...
- 비트 24: ETH_MACA2LR [7:0]

비트 23:16 예약됨, 재설정 값으로 유지되어야 합니다.

비트 15:0 MACA2H: MAC 주소 2 높음 [47:32]

이 필드에는 6바이트 MAC 주소2의 상위 16비트(47:32)가 포함됩니다.

이더넷 MAC 주소 2 하위 레지스터(ETH_MACA2LR)

주소 오프셋: 0x0054

재설정 값: 0xFFFF FFFF

MAC 주소 2 하위 레지스터는 스테이션의 6바이트 두 번째 MAC 주소 중 하위 32비트를 보유합니다.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MACA2L																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	

비트 31:0 MACA2L: MAC 주소2 낮음[31:0]

이 필드에는 6바이트 두 번째 MAC 주소2의 하위 32비트가 포함됩니다. 이 필드의 내용은 초기화 프로세스 후 애플리케이션이 로드할 때까지 정의되지 않습니다.

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

RM0090

이더넷 MAC 주소 3 상위 레지스터(ETH_MACA3HR)

주소 오프셋: 0x0058

재설정 값: 0x0000FFFF

MAC 주소 3 상위 레지스터는 스테이션의 6바이트 두 번째 MAC 주소 중 상위 16비트를 보유합니다.

비트 31 AE: 주소 활성화

이 비트가 설정되면 주소 필터는 완벽한 필터링을 위해 MAC 주소3를 사용합니다. 이 비트가 지워지면 주소 필터는 필터링할 주소를 무시합니다.

비트 30 SA: 소스 주소

이 비트가 설정되면 MAC 주소 3[47:0]은 수신된 프레임의 SA 필드와 비교하는 데 사용됩니다.

이 비트가 클리어되면 MAC 주소 3[47:0]은 수신된 프레임의 DA 필드와의 비교에 사용됩니다.

비트 29:24 MBC: 마스크 바이트 제어

이 비트는 MAC 주소 3 바이트 각각을 비교하기 위한 마스크 제어 비트입니다. 이들 비트가 높게 설정되면 MAC 코어는 수신된 DA/SA의 해당 바이트를 MAC 주소 3 레지스터의 내용과 비교하지 않습니다. 각 비트는 다음과 같이 바이트 마스크를 제어합니다.

- 비트 29: ETH_MACA3HR [15:8]
 - 비트 28: ETH_MACA3HR [7:0]
 - 비트 27: ETH_MACA3LR [31:24]
 - ...
 - 비트 24: ETH_MACA3LR [7:0]

비트 23:16 예약됨, 재설정 값으로 유지되어야 합니다.

비트 15:0 MACA3H: MAC 주소3 높음 [47:32]

이 필드에는 6바이트 MAC 주소3의 상위 16비트(47:32)가 포함됩니다.

이더넷 MAC 주소 3 하위 레지스터(ETH_MACA3LR)

주소 오프셋: 0x005C

재설정 값: 0xFFFF FFFF

MAC 주소 3 하위 레지스터는 스테이션의 6바이트 두 번째 MAC 주소 중 하위 32비트를 보유합니다.

비트 31:0 MACA31 : MAC 주소3 낮을[31:0]

이 필드에는 6바이트 두 번째 MAC 주소3의 하위 32비트가 포함됩니다. 이 필드의 내용은 초기화 프로세스 후 애플리케이션이 로드할 때까지 정의되지 않습니다.

RM0090

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

33.8.2 MMC 레지스터 설명

이더넷 MMC 제어 레지스터(ETH_MMCCR)

주소 오프셋: 0x0100

재설정 값: 0x0000 0000

이더넷 MMC 제어 레지스터는 관리 카운터의 작동 모드를 설정합니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

0

	예약된						
		MCFHP	MCP	MCF	ROR	CSR	CR

비트 31:6 예약됨, 재설정 값으로 유지되어야 합니다.

MCFHP: MMC 카운터 Full-Half 프리셋

비트 5 MCFHP가 로우이고 비트4가 설정되면 모든 MMC 카운터는 거의 절반 값으로 사전 설정됩니다. 모든 프레임 카운터는 0x7FFF_FFF0(절반 - 16)으로 사전 설정됩니다.

비트 4 MCFHP가 높고 비트4가 설정되면 모든 MMC 카운터는 거의 전체 값으로 사전 설정됩니다. 모든 프레임 카운터는 0xFFFF_FFF0(전체 - 16)으로 사전 설정됩니다.

MCP: MMC 카운터 프리셋

설정되면 모든 카운터가 초기화되거나 거의 전체 또는 거의 절반으로 사전 설정됩니다.

비트 3 MCP: 비트5. 이 비트는 1 클록 사이클 후에 자동으로 지워집니다. 이 비트는 bit5를 사용하면 MMC로 인한 인터럽트 어설션을 디버깅하고 테스트하는 데 유용합니다.

카운터가 절반쯤 찼거나 가득 찼습니다.

비트 2 MCF: MMC 카운터 동결

설정되면 이 비트는 모든 MMC 카운터를 현재 값으로 고정합니다. (이 비트가 0으로 지워질 때까지 전송 또는 수신된 프레임으로 인해 MMC 카운터가 업데이트되지 않습니다. 읽기 시 재설정 비트가 설정된 상태에서 MMC 카운터를 읽으면 해당 카운터도 이 모드에서 지워집니다.)

비트 1 ROR: 읽기 시 재설정

이 비트가 설정되면 MMC 카운터는 읽은 후 0으로 재설정됩니다(리셋 후 자체 삭제). 카운터는 최하위 바이트 레인(비트 [7:0])을 읽으면 지워집니다.

비트 0 CSR: 카운터 정지 룰오버

이 비트가 설정되면 카운터는 최대값에 도달한 후에도 0으로 룰오버되지 않습니다.

비트 0 CR: 카운터 재설정

설정되면 모든 카운터가 재설정됩니다. 이 비트는 1 클록 사이클 후에 자동으로 지워집니다.

이더넷 MMC 수신 인터럽트 레지스터(ETH_MMCRIR)

주소 오프셋: 0x0104

재설정 값: 0x0000 0000

이더넷 MMC 수신 인터럽트 레지스터는 수신 통계 카운터가 최대값의 절반에 도달할 때 생성된 인터럽트를 유지합니다. (카운터의 MSB가 설정됩니다.) 32비트 와이드 레지스터입니다. 인터럽트 비트는 해당 MMC 카운터가 실행될 때 지워집니다.

인터럽트를 읽었습니다. 인터럽트 비트를 지우려면 해당 카운터의 최하위 바이트 레인(비트 [7:0])을 읽어야 합니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

예약됨	TGUFS	예약됨	RFAES	RFC	예약됨
	rc_r		rc_r	rc_r	

비트 31:18 예약됨, 재설정 값으로 유지되어야 합니다.

비트 17 RGUFS: 양호한 유니캐스트 프레임 상태를 수신함

이 비트는 수신된 양호한 유니캐스트 프레임, 카운터가 최대값의 절반에 도달할 때 설정됩니다.

비트 16:7 예약됨, 재설정 값으로 유지되어야 합니다.

비트 6 RFAES: 수신된 프레임 정렬 오류 상태

이 비트는 정렬 오류가 있는 수신된 프레임이 카운터가 최대값의 절반에 도달할 때 설정됩니다.

비트 5 RFCECS: 수신된 프레임 CRC 오류 상태

이 비트는 CRC 오류가 있는 수신된 프레임이 카운터가 최대값의 절반에 도달할 때 설정됩니다.

비트 4:0 예약됨, 재설정 값으로 유지되어야 합니다.

이더넷 MMC 전송 인터럽트 레지스터(ETH_MMCTIR)

주소 오프셋: 0x0108

재설정 값: 0x0000 0000

이더넷 MMC 전송 인터럽트 레지스터는 전송 통계 카운터가 최대값의 절반에 도달할 때 생성된 인터럽트를 유지합니다. (카운터의 MSB가 설정됩니다.) 32비트 와이드 레지스터입니다. 인터럽트를 발생시킨 해당 MMC 카운터를 읽으면 인터럽트 비트가 지워집니다. 인터럽트 비트를 지우려면 해당 카운터의 최하위 바이트 레인(비트 [7:0])을 읽어야 합니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

예약됨	TGFS	예약됨	TGFCS	예약됨
	rc_r		rc_r rc_r	

비트 31:22 예약됨, 재설정 값으로 유지되어야 합니다.

비트 21 TGFS: 전송된 양호한 프레임 상태

이 비트는 전송된 양호한 프레임 카운터가 최대값의 절반에 도달할 때 설정됩니다.

비트 20:16 예약됨, 재설정 값으로 유지되어야 합니다.

RM0090

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

비트 15 TGFMSCS: 단일 충돌 상태 이상으로 전송된 양호한 프레임

이 비트는 단일 충돌 이후 전송된 양호한 프레임이 카운터가 최대값의 절반에 도달할 때 설정됩니다.

비트 14 TGFSCS: 전송된 양호한 프레임 단일 충돌 상태

이 비트는 단일 충돌 후 전송된 양호한 프레임이 카운터가 최대값의 절반에 도달할 때 설정됩니다.

비트 13:0 예약됨, 재설정 값으로 유지되어야 합니다.

이더넷 MMC 수신 인터럽트 마스크 레지스터(ETH_MMCRIMR)

주소 오프셋: 0x010C

재설정 값: 0x0000 0000

이더넷 MMC 수신 인터럽트 마스크 레지스터는 수신 통계 카운터가 최대값의 절반에 도달할 때 생성된 인터럽트에 대한 마스크를 유지합니다. (카운터의 MSB가 설정됩니다.) 32비트 와이드 레지스터입니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

예약됨	RGUFM <small>rw</small>	예약됨	RFAEM	RFCEM	예약됨
-----	----------------------------	-----	-------	-------	-----

비트 31:18 예약됨, 재설정 값으로 유지되어야 합니다.

비트 17 RGUFM: 양호한 유니캐스트 프레임 마스크를 수신했습니다.

이 비트를 설정하면 수신된 양호한 유니캐스트 프레임, 카운터가 최대값의 절반에 도달할 때 인터럽트가 마스크됩니다.

비트 16:7 예약됨, 재설정 값으로 유지되어야 합니다.

비트 6 RFAEM: 수신된 프레임 정렬 오류 마스크

이 비트를 설정하면 수신된 프레임이 정렬 오류로 인해 카운터가 최대값의 절반에 도달할 때 인터럽트가 마스크됩니다.

비트 5 RFCEM: 수신된 프레임 CRC 오류 마스크

이 비트를 설정하면 수신된 프레임이 CRC 오류로 인해 카운터가 최대값의 절반에 도달할 때 인터럽트가 마스크됩니다.

비트 4:0 예약됨, 재설정 값으로 유지되어야 합니다.



이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

RM0090

이더넷 MMC 전송 인터럽트 마스크 레지스터(ETH_MMCTIMR)

주소 오프셋: 0x0110

재설정 값: 0x0000 0000

이더넷 MMC 전송 인터럽트 마스크 레지스터는 전송 통계 카운터가 최대값의 절반에 도달할 때 생성된 인터럽트에 대한 마스크를 유지합니다. (카운터의 MSB가 설정됩니다.) 32비트 폭의 레지스터이다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

예약된	TGF M rw	예약된		TGFS CM rw rw	예약된
-----	-------------	-----	--	------------------	-----

비트 31:22 예약됨, 재설정 값으로 유지되어야 합니다.

비트 21 TGFМ: 전송된 양호한 프레임 마스크

이 비트를 설정하면 전송된 양호한 프레임 카운터가 최대값의 절반에 도달할 때 인터럽트가 마스크됩니다.

비트 20:16 예약됨, 재설정 값으로 유지되어야 합니다.

비트 15 TGFMSMC: 전송된 양호한 프레임에 더 많은 단일 충돌 마스크

이 비트를 설정하면 단일 출돌 카운터 이후에 전송된 양호한 프레임이 최대값의 절반에 도달할 때 인터럽트가 마스크됩니다.

비트 14 TGFSCM: 전송된 양호한 프레임 단일 충돌 마스크

이 비트를 설정하면 단일 충돌 카운터 이후 전송된 양호한 프레임이 최대값의 절반에 도달할 때 인터럽트가 마스크됩니다.

비트 13:0 예약됨, 재설정 값으로 유지되어야 합니다.

이더넷 MMC는 단일 충돌 카운터 이후에 양호한 프레임을 전송했습니다.

레지스터(ETH_MMCTGFSCCR)

주소 오프셋: 0x014C

재설정 값: 0x0000 0000

이 레지스터에는 반이중 모드에서 단일 총돌 후 성공적으로 전송된 프레임 수가 포함됩니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

TGFSCC

비트 31:0 TGFSCC: 전송된 양호한 프레임 단일 충돌 카운터

단일 충돌 카운터 이후에 양호한 프레임을 전송했습니다.

RM0090

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

이더넷 MMC는 단일 총돌 카운터 레지스터(ETH_MMCTGFMSCCR) 이후에 양호한 프레임을 전송합니다.

주소 오프셋: 0x0150

재설정 값: 0x0000 0000

이 레지스터에는 바이너리 모드에서 한 번 이상의 축들이 발생한 후 성공적으로 전송된 프레임 수가 포함됩니다.

비트 31:0 TGFMSCC: 전송된 양호한 프레임에 더 많은 단일 충돌 카운터
단일 충돌 카운터 이후에 양호한 프레임을 전송합니다.

이더넷 MMC가 전송한 양호한 프레임 카운터 레지스터(ETH_MMCTGFCR)

주소 오프셋: 0x0168

재설정 값: 0x0000 0000

이 레지스터에는 전송된 약호화 프레임 수가 포함됩니다.

Detailed description: This is a horizontal bar chart showing the distribution of TGFCs across the human genome. The x-axis is labeled with genomic coordinates from 31 Mb to 0 Mb. The y-axis represents the count of TGFCs, with major ticks at 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, and 10. Red vertical bars indicate the presence of TGFCs in each 1 Mb bin. The distribution is highly skewed, with most TGFCs found in the first few megabases of chromosome 1.

비트 31:0 TGFC: 전송된 양호한 프레임 카운터

CRC 오류 카운터 레지스터가 있는 이더넷 MMC 수신 프레임(ETH_MMCRFCECR)

주소 오프셋: 0x0194

재설정 값: 0x0000 0000

이 레지스터에는 CRC 오류와 함께 수신된 프레임 수가 포함됩니다.

비트 31:0 RFCEC: 수신된 프레임 CRC 오류 카운터
CRC 오류 카운터가 있는 수신 프레임

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

RM0090

정렬 오류 카운터 레지스터가 있는 이더넷 MMC 수신 프레임(ETH_MMCRFAECR)

주소 오프셋: 0x0198

재설정 값: 0x0000 0000

이 레지스터에는 정렬(드리블) 오류와 함께 수신된 프레임 수가 포함됩니다.

비트 31:0 RFAEC: 수신된 프레임 정렬 오류 카운터

정렬 오류 카운터가 있는 수신된 프레임

MMC가 양호한 유니캐스트 프레임 카운터 레지스터(ETH_MMCRGUFCR)를 수신했습니다.

주소 오프셋: 0x01C4

재설정 값: 0x0000 0000

이 레지스터에는 수신된 약호한 유니캐스트 프레임 수가 포함됩니다.

비트 31:0 RGUEC: 양호한 유틸리티 프레임 카운터를 수신했습니다.

33.8.3 IEEE 1588 타임스탬프 레지스터

이 섹션에서는 IEEE 1588 표준에 따라 정밀 네트워크 클럭 동기화 기능을 지원하는 데 필요한 레지스터에 대해 설명합니다.

이더넷 PTP 타임스탬프 제어 레지스터(ETH_PTPTSCR)

주소 오프셋·0x0700

재설정 값: 0x0000 00002000

이 레지스터는 타임스탬프 생성 및 업데이트 높리를 제어합니다.

비트 31:19 예약됨, 재설정 값으로 유지되어야 합니다.

비트 18 TSPFFMAE: 타임 스탬프 PTP 프레임 필터링 MAC 주소 활성화

설정된 경우 이 비트는 PTP가 이더넷을 통해 직접 전송될 때 MAC 주소(MAC 주소 0 제외)를 사용하여 PTP 프레임을 필터링합니다.

비트 17:16 TSCNT: 타임 스탬프 클럭 노드 유형

사용 가능한 클록 노드 유형은 다음과 같습니다.

00: 일반시계

01: 경계 시계

10: 엔드 투 엔드 투명 시계

11: P2P 투명 시계

비트 15 TSSMRME: 마스터 활성화와 관련된 메시지에 대한 타임 스탬프 스냅샷

이 비트가 설정되면 마스터 노드와 관련된 메시지에 대해서만 스냅샷이 생성됩니다.

이 비트가 지워지면 슬레이브 노드와 관련된 메시지에 대해서만 스냅샷이 생성됩니다.

이는 일반 클럭 및 경계 클럭 노드에만 유효합니다.

비트 14 TSSEME: 이벤트 메시지 활성화를 위한 타임스탬프 스냅샷

이 비트가 설정되면 이벤트 메시지(SYNC, Delay_Req, Pdelay_Req 또는 Pdelay_Resp)에 대해서만 타임스탬프 스냅샷

이 생성됩니다. 이 비트가 지워지면 공지, 관리 및 신호를 제외한 다른 모든 메시지에 대한 스냅샷이 생성됩니다.

비트 13 TSSIPV4FE: IPv4 프레임 활성화를 위한 타임스탬프 스냅샷

이 비트가 설정되면 IPv4 프레임에 대한 타임스탬프 스냅샷이 생성됩니다.

비트 12 TSSIPV6FE: IPv6 프레임 활성화를 위한 타임스탬프 스냅샷

이 비트가 설정되면 IPv6 프레임에 대한 타임스탬프 스냅샷이 생성됩니다.

비트 11 TSSPTPOEFE: 이더넷 프레임을 통한 PTP에 대한 타임스탬프 스냅샷 활성화

이 비트가 설정되면 이더넷 프레임(이더넷을 통한 PTP)에 PTP 메시지가 있는 프레임에 대한 타임스탬프 스냅샷도 생성됩니다. 기본적으로 UDP-IP Ethernet PTP 패킷에 대한 스냅샷이 생성됩니다.

비트 10 TSPTPPSV2E: 버전 2 형식 활성화를 위한 타임스탬프 PTP 패킷 스누핑

이 비트가 설정되면 PTP 패킷은 버전 2 형식을 사용하여 스누핑됩니다. 비트가 지워지면 버전 1 형식을 사용하여 PTP 패킷이 스누핑됩니다.

참고: IEEE 표준 1588-2008에 표시된 IEEE 1588 버전 1 및 버전 2 형식

(IEEE STD 1588-2002 개정).

비트 9 TSSSR: 타임스탬프 1초 미만 룰오버: 디지털 또는 바이너리 룰오버 제어

이 비트가 설정되면 1초 미만 카운터가 0x3B9A C9FF(10진수로 999 999 999) 값에 도달할 때 타임 스탬프 하위 레지스터가 룰오버되고 타임 스탬프(상위) 초기 증가합니다.

이 비트가 클리어되면 서브초 레지스터의 룰오버 값은 0x7FFF FFFF에 도달합니다.

1초 미만의 증분은 PTP의 기준 클럭 주파수와 이 비트 값에 따라 올바르게 프로그래밍되어야 합니다.

비트 8 TSSARFE: 수신된 모든 프레임에 대한 타임스탬프 스냅샷 활성화

이 비트가 설정되면 코어에서 수신한 모든 프레임에 대해 타임스탬프 스냅샷이 활성화됩니다.

비트 7:6 예약됨, 재설정 값으로 유지되어야 합니다.

비트 5 TSARU: 타임 스탬프 가수 레지스터 업데이트

이 비트가 설정되면 타임 스탬프 추가 레지스터의 내용이 미세 수정을 위해 PTP 블록으로 업데이트됩니다. 이 비트는 업데이트가 완료되면 지워집니다. 이 레지스터 비트는 설정하기 전에 0으로 읽어야 합니다.

비트 4 TSITE: 타임스탬프 인터럽트 트리거 활성화

이 비트가 설정되면 시스템 시간이 대상 시간 레지스터에 기록된 값보다 커지면 타임스탬프 인터럽트가 생성됩니다. 타임스탬프 트리거 인터럽트가 생성되면 이 비트가 지워집니다.

비트 3 TSSTU: 타임 스텝프 시스템 시간 업데이트

이 비트가 설정되면 시스템 시간은 타임스탬프 상위 업데이트 및 타임스탬프 하위 업데이트 레지스터에 지정된 값으로 업데이트(더해지거나 뺏나다)됩니다. 이 비트를 설정하기 전에 TSSTU 및 TSSTI 비트를 모두 0으로 읽어야 합니다. 하드웨어 업데이트가 완료되면 이 비트가 지워집니다.

비트 2 TSSTI: 타임스탬프 시스템 시간 초기화

이 비트가 설정되면 시스템 시간은 타임스탬프 상위 업데이트 및 타임스탬프 하위 업데이트 레지스터에 지정된 값으로 초기화(덮어쓰기)됩니다. 이 비트를 설정하려면 먼저 0으로 읽어야 합니다. 초기화가 완료되면 이 비트가 지워집니다.

비트 1 TSFCU: 타임스탬프 미세 또는 대략 업데이트

설정된 경우 이 비트는 Fine Update 방법을 사용하여 시스템 타임스탬프가 업데이트됨을 나타냅니다. 지워지면 시스템 타임스탬프가 Coarse 방법을 사용하여 업데이트된다는 의미입니다.

비트 0 TSE: 타임스탬프 활성화

이 비트가 설정되면 전송 및 수신 프레임에 대해 타임스탬프가 활성화됩니다. 이 비트가 지워지면 타임스탬프 기능이 일시 중지되고 전송 및 수신 프레임에 대해 타임스탬프가 추가되지 않습니다. 유지되는 시스템 시간이 일시 중지되므로 이 비트를 High로 설정한 후 항상 타임스탬프 기능(시스템 시간)을 초기화해야 합니다.

아래 표는 시계에 따라 스냅샷이 생성되는 메시지, 이벤트 메시지 등록 설정에 대한 마스터 활성화 및 스냅샷 활성화를 나타냅니다.

표 195. 레지스터 비트에 대한 타임스탬프 스냅샷 종속성

TSCNT (비트 17:16)	TSSMRME (비트 15)(1)	TSSEME (비트 14)	스냅샷이 찍힌 메시지
00 또는 01	엑스(2)	0	SYNC, Follow_Up, Delay_Req, Delay_Resp
00 또는 01	1	1	지연_요구량
00 또는 01	0	1	동조
10	해당 없음	0	SYNC, Follow_Up, Delay_Req, Delay_Resp
10	해당 없음	1	동기화, 후속 조치
11	해당 없음	0	SYNC, Follow_Up, Delay_Req, Delay_Resp, Pdelay_Req, Pdelay_Resp
11	해당 없음	1	SYNC, Pdelay_Req, Pdelay_Resp

1. 해당 없음 = 해당 없음.

2. X = 상관없음.

RM0090

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

이더넷 PTP 1초 미만 증분 레지스터(ETH_PTPSSIR)

주소 오프셋: 0x0704

재설정 값: 0x0000 0000

이 레지스터에는 서브초 레지스터가 증가되는 8비트 값이 포함되어 있습니다. 대략적인 업데이트 모드(ETH_PTPSCR의 TSFCU 비트)에서는 이 레지스터의 값이 HCLK의 클록 주기마다 시스템 시간에 추가됩니다. 정밀 업데이트 모드에서는 누산기에 오버플로가 발생할 때마다 이 레지스터의 값이 시스템 시간에 추가됩니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1	0
예약된	STSSI

비트 31:8 예약됨. 재설정 값으로 유지되어야 합니다.

비트 7:0 STSSI: 시스템 시간 1초 미만 증분

이 레지스터에 프로그래밍된 값은 업데이트할 때마다 시스템 시간의 1초 미만 값 내용에 추가됩니다.

예를 들어 20ns 정확도를 달성하려면 값은 $20 / 0.467 = \sim 43$ (또는 0x2A)입니다.

이더넷 PTP 타임스탬프 상위 레지스터(ETH_PPTPSHR)

주소 오프셋: 0x0708

재설정 값: 0x0000 0000

이 레지스터에는 최상위(상위) 32시간 비트가 포함되어 있습니다. 이 읽기 전용 레지스터에는 초 시스템 시간 값이 포함되어 있습니다. 타임스탬프 상위 레지스터는 타임스탬프 하위 레지스터와 함께 MAC에 의해 유지되는 시스템 시간의 현재 값을 나타냅니다.

지소적으로 업데이트되지마

비트 31:0 STS: 시스템 시간 초기

이 필드의 값은 코어가 유지하는 시스템 시간의 현재 값(초)을 나타냅니다.

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

RM0090

이더넷 PTP 타임스탬프 하위 레지스터(ETH_PTPTSLR)

주소 오프셋: 0x070C

재설정 값: 0x0000 0000

이 레지스터에는 최하위(하위) 32시간 비트가 포함되어 있습니다. 이 읽기 전용 레지스터에는 1초 미만의 시스템 시간 값이 포함되어 있습니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

비트 31 STPNS: 시스템 시간 양수 또는 음수 부호

이 비트는 양수 또는 음수 시간 값을 나타냅니다. 설정된 경우 비트는 시간 표현이 음수임을 나타냅니다. 지워지면 시간 표현이 양수임을 나타냅니다.

시스템 시간은 항상 양수여야 하므로 이 비트는 일반적으로 0입니다.

비트 30:0 STSS: 시스템 시간 1초 미만

이 필드의 값은 0.46ns 정확도의 1초 미만 시간 표현을 갖습니다.

이더넷 PTP 타임스탬프 상위 업데이트 레지스터(ETH_PTPTSHUR)

주소 오프셋: 0x0710

재설정 값: 0x0000 0000

이 레지스터에는 시스템 시간 값에 쓰거나 더하거나 뺄 시간의 최상위(상위) 32비트가 포함되어 있습니다. 타임스탬프 업데이트 하위 레지스터와 함께 타임스탬프 상위 업데이트 레지스터는 MAC에 의해 유지되는 시스템 시간을 초기화하거나 업데이트합니다. 타임스탬프 제어 레지스터에서 TSSTI 또는 TSSTU 비트를 설정하기 전에 이 두 레지스터를 모두 작성해야 합니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

0

비트 31:0 TSUS: 타임스탬프 업데이트 두 번째

이 필드의 값은 초기화되거나 시스템 시간에 추가되는 시간(초)을 나타냅니다.

RM0090

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

이더넷 PTP 타임스탬프 낮은 업데이트 레지스터(ETH_PTPTSLUR)

주소 오프셋: 0x0714

재설정 값: 0x0000 0000

이 레지스터에는 시스템 시간 값에 쓰거나 더하거나 뺄 시간의 최하위(하위) 32비트가 포함되어 있습니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TSUS																														
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

비트 31 TSUPNS: 타임스탬프 업데이트 양수 또는 음수 부호

이 비트는 양수 또는 음수 시간 값을 나타냅니다. 설정된 경우 비트는 시간 표현이 음수임을 나타냅니다. 지워지면 시간 표현이 양수임을 나타냅니다.

TSSTI가 설정되면(시스템 시간 초기화) 이 비트는 0이어야 합니다. TSSTU가 설정될 때 이 비트가 설정되면 타임스탬프 업데이트 레지스터의 값이 시스템 시간에서 뺍니다. 그렇지 않으면 시스템 시간에 추가됩니다.

비트 30:0 TSUSS: 타임스탬프 업데이트 1초 미만

이 필드의 값은 초기화되거나 시스템 시간에 추가되는 1초 미만의 시간을 나타냅니다. 이 값의 정확도는 0.46ns입니다(즉, 0x0000_0001 값은 0.46ns입니다).

이더넷 PTP 타임스탬프 추가 레지스터(ETH_PTPTSAR)

주소 오프셋: 0x0714

재설정 값: 0x0000 0000

이 레지스터는 소프트웨어에서 마스터 클럭 주파수와 일치하도록 클럭 주파수를 선형적으로 재조정하는 데 사용됩니다. 이 레지스터 값은 시스템 시간이 Fine 업데이트 모드(ETH_PTPTSCR의 TSFCU 비트)로 구성된 경우에만 사용됩니다. 이 레지스터 내용은 매 클럭 사이클마다 32비트 누산기에 추가되며 누산기가 오버플로될 때마다 시스템 시간이 업데이트됩니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

0

TSA																													
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

비트 31:0 TSA: 타임스탬프 가수

이 레지스터는 시간 동기화를 달성하기 위해 누산기 레지스터에 추가될 32비트 시간 값을 나타냅니다.

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

RM0090

이더넷 PTP 목표 시간 상한 레지스터(ETH_PTPTTHR)

주소 오프셋: 0x071C

재설정 값: 0x0000 0000

이 레지스터에는 인터럽트 이벤트 생성을 위한 시스템 시간과 비교할 상위 32비트 시간이 포함됩니다. 목표 시간 상위 레지스터는 목표 시간 하위 레지스터와 함께 시스템 시간이 이 레지스터에 프로그래밍된 값을 초과할 때 인터럽트 이벤트(ETH_PTPSCR의 TSARU 비트)를 예약하는 데 사용됩니다.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTSH																															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	w	rw	w	rw	w	rw	

비트 31:0 TTSW: 목표 타임스탬프 높음

이 레지스터는 시간을 초 단위로 저장합니다. 타임스탬프 값이 두 대상 타임스탬프 레지스터와 일치하거나 초과하는 경우 MAC(활성화된 경우)는 인터럽트를 생성합니다.

이더넷 PTP 목표 시간 하위 레지스터(ETH_PTPTTLR)

주소 오프셋: 0x0720

재설정 값: 0x0000 0000

이 레지스터에는 인터럽트 이벤트 발생을 위한 시스템 시간과 비교할 하위 32비트의 시간이 포함됩니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
TTSL

비트 31:0 TTSL: 목표 타임스탬프 날짜

이 레지스터는 시간을 (부호 있는) 나노초 단위로 저장합니다. 타임스탬프 값이 두 대상 타임스탬프 레지스터 모두와 일치하거나 초과하는 경우 MAC은 활성화된 경우 인터럽트를 생성합니다.

이더넷 PTP 타임스탬프 상태 레지스터(ETH_PTPTSSR)

주소 오프셋·0x0728

재설정 값: 0x0000 0000

이 레지스터에는 타임스탬프 상태 레지스터가 포함되어 있습니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

예약된	1718	860	모로
-----	------	-----	----

RM0090

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

비트 31:2 예약됨, 재설정 값으로 유지되어야 합니다.

비트 1 TSTTR: 타임스탬프 목표 시간에 도달했습니다.

설정된 경우 이 비트는 시스템 시간 값이 목표 시간 상한 및 하한 레지스터에 지정된 값보다 크거나 같음을 나타냅니다. 이 비트는 ETH_PTPTSSR 레지스터를 읽을 때 지워집니다.

비트 0 TSSO: 타임스탬프 두 번째 오버플로

이 비트가 설정된 경우 타임스탬프의 두 번째 값이 0xFFFF FFFF를 초과하여 오버플로되었음을 나타냅니다.

이더넷 PTP PPS 제어 레지스터(ETH_PTPPPSCR)

주소 오프셋: 0x072C

재설정 값: 0x0000 0000

이 레지스터는 PPS 출력의 주파수를 제어합니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1		0
예약됨	PPSFREQ	
	로	로
	로로	

비트 31:4 예약됨, 재설정 값으로 유지되어야 합니다.

비트 3:0 PPSFREQ: PPS 주파수 선택

PPS 출력 주파수는 2PPSFREQHz로 설정됩니다.

0000: 바이너리 롤오버의 경우 125ms 펄스 폭, 디지털 롤오버의 경우 100ms의 1Hz

0001: 바이너리 롤오버를 위한 50% 드레피 사이클의 2Hz(디지털 롤오버는 권장되지 않음)

0010: 바이너리 롤오버를 위한 50% 드레피 사이클의 4Hz(디지털 롤오버는 권장되지 않음)

0011: 바이너리 롤오버를 위한 50% 드레피 사이클의 8Hz(디지털 롤오버는 권장되지 않음)

0100: 바이너리 롤오버를 위한 50% 드레피 사이클의 16Hz(디지털 롤오버는 권장되지 않음)

...

1111: 바이너리 롤오버를 위한 50% 드레피 사이클의 32768Hz(디지털 롤오버는 권장되지 않음)

참고: 디지털 롤오버가 사용되는 경우(TSSSR=1, ETH_PTPTSCR의 비트 9) 1Hz 이외의 주파수로 PPS 출력을 사용하지 않는 것이 좋습니다.

다. 그렇지 않은 경우 디지털 롤오버를 사용하면 PPS 출력은 더 높은 주파수에서 불규칙한 파형을 갖습니다(평균 주파수는 1초
장 동안 항상 정확하지만).

33.8.4 DMA 레지스터 설명

이 섹션에서는 각 DMA 레지스터의 비트를 정의합니다. 주소가 워드로 정렬되어 있는 한 32비트가 아닌 액세스가 허용됩니다.

이더넷 DMA 버스 모드 레지스터(ETH_DMABMR)

주소 오프셋: 0x1000

재설정 값: 0x0002 0101

버스 모드 레지스터는 DMA에 대한 버스 작동 모드를 설정합니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1																	EVE	DSL				0
예약된	M8	AHB	FPM	LSP	RDP				.	오후	PBL				EVE	DSL				亡	%	
	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RS					

비트 31:27 예약됨, 재설정 값으로 유지되어야 합니다.

비트 26 MB : 혼합 버스트

이 비트가 하이로 설정되고 FB 비트가 로우이면 AHB 마스터 인터페이스는 INCR(정의되지 않은 버스트)을 사용하여 16보다 긴 길이의 모든 버스 트를 시작합니다. 이 비트가 지워지면 버스트 길이가 16 이하인 고정 버스트 전송(INCRx 및 SINGLE)으로 되돌아갑니다.

비트 25 AAB: 주소 정렬 비트

이 비트가 높게 설정되고 FB 비트가 1이면 AHB 인터페이스는 시작 주소 LS 비트에 정렬된 모든 버스트를 생성합니다. FB 비트가 0이면 첫 번째 버스트(데이터 버퍼의 시작 주소에 액세스)는 정렬되지 않지만 후속 버스트는 주소에 정렬됩니다.

비트 24 FPM: 4xPBL 모드

높게 설정되면 이 비트는 프로그래밍된 PBL 값(비트[22:17] 및 비트[13:8])을 4배로 곱합니다. 따라서 DMA는 PBL 값에 따라 최대 4, 8, 16, 32, 64 및 128 비트로 데이터를 전송합니다.

비트 23 USP: 별도의 PBL 사용

높게 설정하면 비트 [22:17]에 구성된 값을 PBL로 사용하도록 RxDMA를 구성하고 비트 [13:8]의 PBL 값은 TxDMA 작업에만 적용할 수 있습니다. 이 비트가 지워지면 비트 [13:8]의 PBL 값이 두 DMA 엔진 모두에 적용됩니다.

비트 22:17 RDP: Rx DMA PBL

이 비트는 하나의 RxDMA 트랜잭션에서 전송될 최대 비트 수를 나타냅니다. 이는 단일 블록 읽기/쓰기 작업에 사용되는 최대값입니다.

RxDMA는 호스트 버스에서 버스트 전송을 시작할 때마다 항상 RDP에 지정된 대로 버스트를 시도합니다. RDP는 1, 2, 4, 8, 16, 32의 허용 값으로 프로그래밍할 수 있습니다.

다른 값을 사용하면 정의되지 않은 동작이 발생합니다.

이 비트는 USP가 높게 설정된 경우에만 유효하고 적용 가능합니다.

비트 16 FB: 고정 버스트

이 비트는 AHB 마스터 인터페이스가 고정 버스트 전송을 수행하는지 여부를 제어합니다.

설정된 경우 AHB는 일반 버스트 전송 시작 중에 SINGLE, INCR4, INCR8 또는 INCR16만 사용합니다. 재설정되면 AHB는 SINGLE 및 INCR 버스트 전송 작업을 사용합니다.

비트 15:14 PM: Rx Tx 우선순위 비율

RxDMA 요청에는 다음 비율로 TxDMA 요청보다 우선순위가 부여됩니다.

- 00:1:1
- 01:2:1
- 10:3:1
- 11:4:1

이는 DA 비트가 지워진 경우에만 유효합니다.

비트 13:8 PBL: 프로그래밍 가능한 버스트 길이

이 비트는 하나의 DMA 트랜잭션에서 전송되는 최대 비트 수를 나타냅니다.

이는 단일 블록 읽기/쓰기 작업에 사용되는 최대값입니다. DMA는 호스트 버스에서 버스트 전송을 시작할 때마다 항상 PBL에 지정된 대로 버스트를 시도합니다. PBL은 1, 2, 4, 8, 16, 32의 허용 값으로 프로그래밍할 수 있습니다. 다른 값을 사용하면 정의되지 않은 동작이 발생합니다. USP가 설정되면 이 PBL 값은 TxDMA 트랜잭션에만 적용됩니다.

PBL 값에는 다음과 같은 제한 사항이 있습니다.

- 가능한 최대 비트 수(PBL)는 Tx FIFO 및 Rx의 크기에 따라 제한됩니다. FIFO.
- FIFO에는 지원되는 최대 비트가 FIFO 깊이의 절반이라는 제약이 있습니다.
- PBL이 전송 및 수신 DMA 모두에 공통인 경우 최소 Rx FIFO 및 Tx FIFO 깊이를 고려해야 합니다.
- 범위를 벗어난 PBL 값을 프로그래밍하지 마십시오. 시스템이 제대로 작동하지 않을 수 있습니다.

비트 7 EDFE: 향상된 설명자 형식 활성화

이 비트가 설정되면 향상된 설명자 형식이 활성화되고 설명자 크기가 32바이트(8단어)로 늘어납니다. 이는 타임스탬프가 활성화된 경우(TSE=1, ETH_PTPTSCR 비트 0) 또는 IPv4 체크섬 오프로드가 활성화된 경우(IPCO=1, ETH_MACCR 비트 10)에 필요합니다.

비트 6:2 DSL: 설명자 건너뛰기 길이

이 비트는 연결되지 않은 두 설명자 사이를 건너뛸 단어 수를 지정합니다. 주소 건너뛰기는 현재 설명자의 끝부터 다음 설명자의 시작까지 시작됩니다.

DSL 값이 0이면 설명자 테이블은 링 모드에서 DMA에 의해 연속된 것으로 간주됩니다.

비트 1 DA: DMA 종재

0: Rx:Tx 우선순위가 비트[15:14]로 지정된 라운드 로빈

1: Rx가 Tx보다 우선합니다.

비트 0 SR: 소프트웨어 재설정

이 비트가 설정되면 MAC DMA 컨트롤러는 모든 MAC 하위 시스템 내부 레지스터와 논리를 재설정합니다. 모든 코어 클럭 도메인에서 재설정 작업이 완료된 후 자동으로 지워집니다. 코어의 레지스터를 다시 프로그래밍하기 전에 이 비트에서 0 값을 읽으십시오.

이더넷 DMA 전송 폴 요청 레지스터(ETH_DMATPDR)

주소 오프셋: 0x1004

재설정 값: 0x0000 0000

이 레지스터는 애플리케이션이 DMA에 전송 설명자 목록을 폴링하도록 지시하는 데 사용됩니다. 전송 폴 요구 레지스터를 사용하면 전송 DMA가 현재 설명자가 DMA 소유인지 여부를 확인할 수 있습니다. TxDMA가 일시 중단 모드에 있는 경우 TxDMA를 깨우기 위해 Transmit Poll Demand 명령이 제공됩니다. TxDMA는 전송된 프레임의 언더플로우 오류로 인해 또는 소유한 설명자를 사용할 수 없기 때문에 일시 중지 모드로 들어갈 수 있습니다.

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

RM0090

DMA를 전송합니다. 언제든지 이 명령을 실행할 수 있으며 TxDMA는 호스트 메모리에서 현재 설명자를 다시 가져오기 시작하면 명령을 재설정합니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1
TPD
rw

비트 31:0 TPD: 폴링 요구 전송

이러한 비트가 임의의 값으로 기록되면 DMA는 ETH_DMACHTDR 레지스터가 가리키는 현재 설명자를 읽습니다. 해당 설명자를 사용할 수 없는 경우(호스트 소유) 전송은 일시 중단 상태로 돌아가고 ETH_DMASR 레지스터 비트 2가 지정됩니다. 설명자를 사용할 수 있으면 전송이 재개됩니다.

EHERNET DMA 수신 폴 요청 레지스터(ETH_DMARPDR)

주소 오프셋: 0x1008

재설정 값: 0x0000 0000

이 레지스터는 애플리케이션이 DMA에 수신 설명자 목록을 폴링하도록 지시하는 데 사용됩니다.

수신 폴 요구 레지스터를 사용하면 수신 DMA가 새 설명자를 확인할 수 있습니다.

이 명령은 Suspend 상태에서 RxDMA를 깨우기 위해 제공됩니다. RxDMA는 소유한 설명자를 사용할 수 없기 때문에 일시 중지 상태로 전환될 수 있습니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1
0
RPD
rw_wt

비트 31:0 RPD: 폴링 요구 수신

이러한 비트가 임의의 값으로 기록되면 DMA는 ETH_DMACHRDR 레지스터가 가리키는 현재 설명자를 읽습니다. 해당 설명자를 사용할 수 없는 경우(호스트 소유) 수신은 일시 중단 상태로 돌아가고 ETH_DMASR 레지스터 비트 7은 어설션되지 않습니다. 설명자를 사용 할 수 있으면 수신 DMA가 활성 상태로 돌아갑니다.

이더넷 DMA 수신 설명자 목록 주소 레지스터(ETH_DMARDLAR)

주소 오프셋: 0x100C

재설정 값: 0x0000 0000

수신 설명자 목록 주소 레지스터는 수신 설명자 목록의 시작을 가리킵니다.

설명자 목록은 STM32F4xx의 물리적 메모리 공간에 있으며 워드로 정렬되어야 합니다. DMA는 해당 LS 비트를 로우로 만들어 내부적으로 이를 버스 너비 정렬 주소로 변환합니다. ETH_DMARDLAR 레지스터에 대한 쓰기는 수신이 중지된 경우에만 허용됩니다. 중지되면 수신 시작 명령이 제공되기 전에 ETH_DMARDIAR 레지스터에 기록되어야 합니다.

RM0090

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

비트 31:0 SRL: 수신 목록 시작

이 필드에는 수신 설명자 목록에 있는 첫 번째 설명자의 기본 주소가 포함되어 있습니다. 32/64/128비트 버스 폭에 대한 LSB 비트[1/2/3:0]는 내부적으로 무시되고 DMA에 의해 모두 0으로 간주됩니다. 따라서 이러한 LSB 비트는 읽기 전용입니다.

이더넷 DMA 전송 설명자 목록 주소 레지스터(ETH_DMATDLAR)

주소 오프셋: 0x1010

재설정 값: 0x0000 0000

전송 설명자 목록 주소 레지스터는 전송 설명자 목록의 시작을 가리킵니다.

설명자 목록은 STM32F4xx의 물리적 메모리 공간에 있으며 워드로 정렬되어야 합니다. DMA는 해당 LSB를 로우로 설정하여 내부적으로 이를 버스 너비 정렬 주소로 변환합니다. ETH_DMATDLAR 레지스터에 쓰기는 전송이 중지된 경우에만 허용됩니다. 전송이 중지되면 전송 시작 명령이 제공되기 전에 ETH_DMATDLAR 레지스터를 쓸 수 있습니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

STL

비트 31:0 STL: 전송 목록 시작

이 필드에는 전송 설명자 목록에 있는 첫 번째 설명자의 기본 주소가 포함됩니다. 32/64/128비트 버스 폭에 대한 LSB 비트[1/2:3:0]는 내부적으로 무시되고 DMA에 의해 모두 0으로 간주됩니다. 따라서 이러한 LSB 비트는 읽기 전용입니다.

이더넷 DMA 상태 레지스터(ETH_DMASR)

주소 오프셋: 0x1014

재설정 값: 0x0000 0000

상태 레지스터에는 DMA가 애플리케이션에 보고하는 모든 상태 비트가 포함되어 있습니다. ETH_DMASR 레지스터는 일반적으로 인터럽트 서비스 루틴이나 폴링 중에 소프트웨어 드라이버에 의해 읽혀집니다. 이 레지스터에 있는 대부분의 필드는 호스트를 중단시킵니다. ETH_DMASR 레지스터 비트는 읽을 때 지워지지 않습니다. ETH_DMASR 레지스터[16:0]의 (예약되지 않은) 비트에 1을 쓰면 해당 비트가 지워지고 0을 쓰면 아무런 효과가 없습니다. 각 필드(비트[16:0])는 ETH_DMAIER 레지스터에서 적절한 비트를 마스킹하여 마스킹할 수 있습니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

비트 31:30 예약됨, 재설정 값으로 유지되어야 합니다.

비트 29 TSTS: 타임스탬프 트리거 상태

이 비트는 MAC 코어의 타임스탬프 생성기 블록에 있는 인터럽트 이벤트를 나타냅니다. 소프트웨어는 MAC 코어의 상태 레지스터를 읽고 해당 소스(비트 9)를 지워 이 비트를 0으로 재설정해야 합니다. 이 비트가 높을 때 활성화된 경우 인터럽트가 생성됩니다.

비트 28 PMTS: PMT 상태

이 비트는 MAC 코어 PMT의 이벤트를 나타냅니다. 소프트웨어는 인터럽트의 정확한 원인을 파악하고 해당 소스를 지워 이 비트를 0으로 재설정하기 위해 MAC 코어의 해당 레지스터를 읽어야 합니다. 활성화된 경우 이 비트가 하이일 때 인터럽트가 생성됩니다.

비트 27 MMCS: MMC 상태

이 비트는 MAC 코어의 MMC에 있는 이벤트를 반영합니다. 소프트웨어는 인터럽트의 정확한 원인을 파악하고 인터럽트 소스를 지워 이 비트를 0으로 만들기 위해 MAC 코어의 해당 레지스터를 읽어야 합니다. 활성화된 경우 이 비트가 하이일 때 인터럽트가 생성됩니다.

비트 26 예약됨, 재설정 값으로 유지되어야 합니다.

비트 25:23 EBS: 오류 비트 상태

이 비트는 버스 오류(AHB 인터페이스의 오류 응답)를 일으킨 오류 유형을 나타냅니다. 치명적인 버스 오류 비트(ETH_DMASR 레지스터 [13])가 설정된 경우에만 유효합니다. 이 필드는 인터럽트를 생성하지 않습니다.

비트 231 TxDMA로 데이터 전송 중 오류 0 RxDMA로 데이터 전송

종 오류

비트 24 1 읽기 전송 종 오류

0 쓰기 전송 종 오류

비트 25 1 설명자 액세스 종 오류

0 데이터 버퍼 액세스 종 오류

비트 22:20 TPS: 전송 프로세스 상태

이 비트는 전송 DMA FSM 상태를 나타냅니다. 이 필드는 인터럽트를 생성하지 않습니다.

000: 중지됨; 재설정 또는 전송 중지 명령이 발행됨

001: 실행 중; 전송 전송 설명자를 가져오는 중

010: 실행 중; 상태를 기다리는 중

011: 실행 중; 호스트 메모리 버퍼에서 데이터를 읽고 전송 버퍼에 큐잉(Tx FIFO)

100, 101: 향후 사용을 위해 예약됨

110: 정지됨; 전송 설명자를 사용할 수 없거나 전송 버퍼 언더플로

111: 실행 중; 전송 설명자 닫기

비트 19:17 RPS: 프로세스 상태 수신

이 비트는 수신 DMA FSM 상태를 나타냅니다. 이 필드는 인터럽트를 생성하지 않습니다.

000: 중지됨; 재설정 또는 수신 중지 명령이 실행됨

001: 실행 중: 수신 전송 설명자를 가져오는 중

010: 향후 사용을 위해 예약됨

011: 실행 중: 수신 패킷을 기다리는 중

100: 일시 중단됨: 수신 설명자를 사용할 수 없음

101: 실행 중: 수신 설명자 닫기

110: 향후 사용을 위해 예약됨

111: Running: 수신 버퍼에서 호스트 메모리로 수신 패킷 데이터를 전송하는 중

비트 16 NIS: 일반 인터럽트 요약

일반 인터럽트 요약 비트 값은 해당 인터럽트 비트가 ETH_DMAIER 레지스터에서 활성화될 때 다음의 논리적 OR입니다.

- ETH_DMASR [0]: 전송 인터럽트
- ETH_DMASR [2]: 전송 버퍼를 사용할 수 없음
- ETH_DMASR [6]: 수신 인터럽트
- ETH_DMASR [14]: 조기 수신 인터럽트

마스크되지 않은 비트만 일반 인터럽트 요약 비트에 영향을 미칩니다.

이것은 고정 비트이며 NIS를 설정하는 해당 비트가 지워질 때마다 이 비트에 1을 써서 지워져야 합니다.

비트 15 AIS: 비정상적인 인터럽트 요약

비정상적인 인터럽트 요약 비트 값은 해당 인터럽트 비트가 ETH_DMAIER 레지스터에서 활성화될 때 다음의 논리적 OR입니다.

- ETH_DMASR [1]: 전송 프로세스가 중지되었습니다.
- ETH_DMASR [3]: 재버 전송 시간 초과
- ETH_DMASR [4]: FIFO 오버플로우
- ETH_DMASR [5]: 전송 언더플로우
- ETH_DMASR [7]: 수신 버퍼를 사용할 수 없습니다.
- ETH_DMASR [8]: 수신 프로세스가 중지되었습니다.
- ETH_DMASR [9]: 위치독 타임아웃 수신
- ETH_DMASR [10]: 조기 전송 인터럽트
- ETH_DMASR [13]: 치명적인 버스 오류

마스크되지 않은 비트만 비정상적인 인터럽트 요약 비트에 영향을 미칩니다.

이는 고정 비트이며 AIS를 설정하는 해당 비트가 지워질 때마다 지워져야 합니다.

비트 14 ERS: 조기 수신 상태

이 비트는 DMA가 패킷의 첫 번째 데이터 버퍼를 채웠음을 나타냅니다. 수신 인터럽트 ETH_DMASR [6]은 이 비트를 자동으로 지웁니다.

비트 13 FBES: 치명적인 버스 오류 상태

이 비트는 [25:23]에 자세히 설명된 대로 버스 오류가 발생했음을 나타냅니다. 이 비트가 설정되면 해당 DMA 엔진은 모든 버스 액세스를 비활성화합니다.

비트 12:11 예약됨, 재설정 값으로 유지되어야 합니다.

비트 10 ETS: 조기 전송 상태

이 비트는 전송할 프레임이 전송 FIFO로 완전히 전송되었음을 나타냅니다.

비트 9 RWTS: 위치독 타임아웃 상태 수신

이 비트는 2,048바이트보다 긴 길이의 프레임이 수신될 때 표시됩니다.

비트 8 RPSS: 프로세스 중지 상태 수신

이 비트는 수신 프로세스가 중지됨 상태에 들어갈 때 어설션됩니다.

비트 7 RBUS: 수신 버퍼를 사용할 수 없는 상태

이 비트는 수신 목록의 다음 설명자가 호스트에 의해 소유되고 DMA에 의해 획득될 수 없음을 나타냅니다. 수신 프로세스가 일시 중지되었습니다. 수신 설명자 처리를 재개하려면 호스트는 설명자의 소유권을 변경하고 수신 폴 요구(Receive Poll Demand) 명령을 발행해야 합니다. 수신 폴 요청이 발행되지 않으면 인식된 다음 수신 프레임이 수신될 때 수신 프로세스가 재개됩니다. ETH_DMASR [7]은 이전 수신 설명자가 DMA에 의해 소유된 경우에만 설정됩니다.

비트 6 RS: 수신 상태

이 비트는 프레임 수신이 완료되었음을 나타냅니다. 특정 프레임 상태 정보가 설명자에 게시되었습니다. 수신은 실행 중 상태로 유지됩니다.

비트 5 TUS: 언더플로우 상태 전송

이 비트는 프레임 전송 중에 전송 버퍼에 언더플로우가 발생했음을 나타냅니다. 전송이 일시 중단되고 언더플로 오류 TDES0[1]이 설정됩니다.

비트 4 ROS: 오버플로 상태 수신

이 비트는 프레임 수신 중에 수신 버퍼에 오버플로가 발생했음을 나타냅니다. 부분 프레임이 애플리케이션으로 전송되면 RDES0[11]에 오버플로 상태가 설정됩니다.

비트 3 TJTS: 재버 시간 초과 상태 전송

이 비트는 재버 전송 타이머가 만료되었음을 나타냅니다. 이는 송신기가 과도하게 활성화되었음을 의미합니다. 전송 프로세스가 중단되고 중지됨 상태가 됩니다. 이로 인해 전송 Jabber 시간 초과 TDES0[14] 플래그가 표시됩니다.

비트 2 TBUS: 전송 버퍼를 사용할 수 없는 상태

이 비트는 전송 목록의 다음 설명자가 호스트에 의해 소유되고 DMA에 의해 획득될 수 없음을 나타냅니다. 전송이 일시 중단되었습니다. 비트 [22:20]는 전송 프로세스 상태 전환을 설명합니다. 전송 설명자 처리를 재개하려면 호스트는 설명자 비트의 소유권을 변경한 다음 Transmit Poll Demand 명령을 실행해야 합니다.

비트 1 TPSS: 전송 프로세스가 중지된 상태

이 비트는 전송이 중지될 때 설정됩니다.

비트 0 TS: 전송 상태

이 비트는 프레임 전송이 완료되었으며 첫 번째 디스크립터에 TDES1[31]이 설정되었음을 나타냅니다.

이더넷 DMA 동작 모드 레지스터(ETH_DMAOMR)

주소 오프셋: 0x1018

제설정 값: 0x0000 0000

작동 모드 레지스터는 전송 및 수신 작동 모드와 명령을 설정합니다. ETH_DMAOMR 레지스터는 DMA 초기화의 일부로 기록되는 마지막 CSR이어야 합니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1																		0	
예약된	DTCEFD	RSF	DFRF	■	TSF	FTF	예약된	TTC		■	예약된	FEF	■	■	■	RTC	OSF	SR	■
	rw	rs						RW	RW			RW				RW	RW	RW	

비트 31:27 예약됨, 제설정 값으로 유지되어야 합니다.

비트 26 DTCEFD: TCP/IP 체크섬 오류 프레임 삭제 비활성화

이 비트가 설정되면 코어는 수신 체크섬 오프로드 엔진에서 감지한 오류만 있는 프레임을 삭제하지 않습니다. 이러한 프레임은 MAC에서 수신한 이더넷 프레임에는 오류(FCS 오류 포함)가 없지만 캡슐화된 페이로드에만 오류가 있습니다.

이 비트가 지워지면 FEF 비트가 재설정되면 모든 오류 프레임이 삭제됩니다.

비트 25 RSF: 저장 및 전달 수신

이 비트가 설정되면 전체 프레임이 Rx FIFO에 기록된 후 RTC 비트를 무시하고 Rx FIFO에서 프레임을 읽습니다. 이 비트가 지워지면 Rx FIFO는 RTC 비트에 의해 지정된 임계값에 따라 컷스루 모드에서 작동합니다.

비트 24 DFRF: 수신된 프레임 플라시 비활성화

이 비트가 설정되면 RxDMA는 이 비트가 지워질 때 일반적으로 수행하는 것처럼 수신 설명자/버퍼를 사용할 수 없기 때문에 프레임을 플러시하지 않습니다([수신 프로세스 일시 중단 참조](#)).

비트 23:22 예약됨, 재설정 값으로 유지되어야 합니다.**비트 21 TSF: 저장 및 전달 전송**

이 비트가 설정되면 전송 FIFO에 전체 프레임이 있을 때 전송이 시작됩니다.

이 비트가 설정되면 ETH_DMAOMR 레지스터 비트[16:14]에 의해 지정된 TTC 값이 무시됩니다.

이 비트가 지워지면 ETH_DMAOMR 레지스터 비트[16:14]에 지정된 TTC 값이 고려됩니다.

이 비트는 전송이 중지된 경우에만 변경되어야 합니다.

비트 20 FTF: 전송 FIFO 플라시

이 비트가 설정되면 전송 FIFO 컨트롤러 로직이 기본값으로 재설정되므로 Tx FIFO의 모든 데이터가 손실/플라시됩니다. 이 비트는 플라시 작업이 완료되면 내부적으로 지워집니다. 이 비트가 지워질 때까지 작동 모드 레지스터에 기록하면 안 됩니다.

비트 19:17 예약됨, 재설정 값으로 유지되어야 합니다.**비트 16:14 TTC: 전송 임계값 제어**

이 세 비트는 전송 FIFO의 임계값 레벨을 제어합니다. 전송 FIFO 내의 프레임 크기가 임계값보다 클 때 전송이 시작됩니다. 또한 임계값보다 짧은 길이의 전체 프레임도 전송됩니다. 이 비트는 TSF 비트(비트 21)가 클리어된 경우에만 사용됩니다.

000:64
001:128
010:192
011:256
100:40
101:32
110:24
111:16

비트 13 ST: 전송 시작/중지

이 비트가 설정되면 전송은 Running 상태가 되고 DMA는 전송될 프레임에 대해 현재 위치의 전송 목록을 확인합니다. 디스크립터 획득은 ETH_DMATDLAR 레지스터에 의해 설정된 전송 목록 기본 주소인 목록의 현재 위치 또는 이전에 전송이 중지되었을 때 유지된 위치에서 시도됩니다. 현재 설명자가 DMA에 의해 소유되지 않은 경우 전송은 일시 중단 상태로 들어가고 전송 버퍼 사용 불가능 비트(ETH_DMASR [2])가 설정됩니다. 전송 시작 명령은 전송이 중지된 경우에만 유효합니다. DMA ETH_DMATDLAR 레지스터를 설정하기 전에 명령이 실행되면 DMA 동작을 예측할 수 없습니다.

이 비트가 클리어되면 현재 프레임의 전송이 완료된 후 전송 프로세스가 중지됨 상태가 됩니다. 전송 목록의 다음 설명자 위치가 저장되며, 전송이 다시 시작되면 현재 위치가 됩니다. Stop Transmission 명령은 현재 프레임의 전송이 완료되었거나 전송이 Suspended 상태인 경우에만 유효합니다.

비트 12:8 예약됨, 재설정 값으로 유지되어야 합니다.

비트 7 FEF: 오류 프레임 전달

이 비트가 설정되면 런트 오류 프레임을 제외한 모든 프레임이 DMA로 전달됩니다.

이 비트가 지워지면 Rx FIFO는 오류 상태(CRC 오류, 충돌 오류, 거대 프레임, 감시 시간 초과, 오버플로)가 있는 프레임을 삭제합니다.

그러나 프레임의 시작 바이트(쓰기) 포인터가 이미 읽기 컨트롤러 측(임계값 모드)으로 전송된 경우 프레임은 삭제되지 않습니다. 프레임의 시작 바이트가 ARI 버스에서 전송(출력)되지 않으면 Rx FIFO는 오류 프레임을 삭제합니다.

비트 6 FUGF: 크기가 작은 좋은 프레임을 전달합니다.

이 비트가 설정되면 Rx FIFO는 패드 바이트 및 CRC를 포함하여 크기가 작은 프레임(오류가 없고 길이가 64바이트 미만인 프레임)을 전달합니다.

이 비트가 지워지면 Rx FIFO는 낮은 수신 임계값(예: RTC = 01)으로 인해 해당 프레임이 이미 전송되지 않은 한 64바이트 미만의 모든 프레임을 삭제합니다.

비트 5 예약됨, 재설정 값으로 유지되어야 합니다.

비트 4:3 RTC: 임계값 제어 수신

이 두 비트는 수신 FIFO의 임계값 레벨을 제어합니다. 수신 FIFO 내의 프레임 크기가 임계값보다 클 때 DMA로의 전송(요청)이 시작됩니다. 또한 임계값보다 길이가 짧은 전체 프레임이 자동으로 전송됩니다.

참고: 구성된 수신 FIFO 크기가 128바이트인 경우 값 11은 적용되지 않습니다.

참고: 이 비트는 RSF 비트가 0인 경우에만 유효하며 RSF 비트가 0인 경우에는 무시됩니다.

1로 설정합니다.

00:64

01:32

10:96

11:128

비트 2 OSF: 두 번째 프레임에서 작동

이 비트가 설정되면 이 비트는 첫 번째 프레임의 상태가 획득되기 전에도 전송 데이터의 두 번째 프레임을 처리하도록 DMA에 지시합니다.

비트 1 SR: 수신 시작/중지

이 비트가 설정되면 수신 프로세스가 실행 중 상태가 됩니다. DMA는 수신 목록에서 설명자를 획득하려고 시도하고 들어오는 프레임을 처리합니다. 설명자 획득은 목록의 현재 위치(DMA ETH_DMARDLAR 레지스터에 의해 설정된 주소 또는 수신 프로세스가 이전에 중지되었을 때 유지된 위치)에서 시도됩니다. DMA가 소유한 설명자가 없으면 수신이 일시 중단되고 수신 버퍼 사용 불가능 비트(ETH_DMASR [7])가 설정됩니다. 수신 시작 명령은 수신이 중지된 경우에만 유효합니다. DMA ETH_DMARDLAR 레지스터를 설정하기 전에 명령이 실행된 경우 DMA 동작을 예측할 수 없습니다.

이 비트가 지워지면 현재 프레임 전송 후 RxDMA 작업이 중지됩니다.

수신 목록의 다음 설명자 위치가 저장되고 수신 프로세스가 다시 시작되면 현재 위치가 됩니다. Stop Receiver 명령은 수신 프로세스가 Running(수신 패킷 대기) 상태 또는 Suspended 상태일 때만 유효합니다.

비트 0 예약됨, 재설정 값으로 유지되어야 합니다.

이더넷 DMA 인터럽트 활성화 레지스터(ETH_DMAIER)

주소 오프셋: 0x101C

재설정 값: 0x0000 0000

인터럽트 활성화 레지스터는 ETH_DMASR에 의해 보고된 인터럽트를 활성화합니다. 비트를 1로 설정하면 해당 인터럽트가 활성화됩니다. 하드웨어 또는 소프트웨어 재설정 후에는 모든 인터럽트가 비활성화됩니다.

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
예약된																																				
	RW																																			

비트 31:17 예약됨, 재설정 값으로 유지되어야 합니다.

비트 16 NISE: 일반 인터럽트 요약 활성화

이 비트가 설정되면 일반 인터럽트가 활성화됩니다. 이 비트가 지워지면 일반 인터럽트가 비활성화됩니다. 이 비트는 다음 비트를 활성화합니다. – ETH_DMASR [0]: 전송 인터럽트 – ETH_DMASR [2]: 사용할 수 있는 전송 버퍼 – ETH_DMASR [6]: 수신 인터럽트 –

ETH_DMASR [14]: 조기 수신 인터럽트

비트 15 AISE: 비정상적인 인터럽트 요약 활성화

이 비트가 설정되면 비정상적인 인터럽트가 활성화됩니다. 이 비트가 지워지면 비정상적인 인터럽트가 비활성화됩니다. 이 비트는 다음 비트를 활성화합니다.

- ETH_DMASR [1]: 전송 프로세스가 중지되었습니다.
- ETH_DMASR [3]: 재버 전송 시간 초과
- ETH_DMASR [4]: 수신 오버플로
- ETH_DMASR [5]: 전송 언더플로우
- ETH_DMASR [7]: 수신 버퍼를 사용할 수 없습니다.
- ETH_DMASR [8]: 수신 프로세스가 중지되었습니다.
- ETH_DMASR [9]: 위치독 타입아웃 수신
- ETH_DMASR [10]: 조기 전송 인터럽트
- ETH_DMASR [13]: 치명적인 버스 오류

비트 14 ERIE: 조기 수신 인터럽트 활성화

이 비트가 일반 인터럽트 요약 활성화 비트(ETH_DMAIER 레지스터[16])와 함께 설정되면 조기 수신 인터럽트가 활성화됩니다.

이 비트가 지워지면 조기 수신 인터럽트가 비활성화됩니다.

비트 13 FBEIE: 치명적인 버스 오류 인터럽트 활성화

이 비트가 비정상적인 인터럽트 요약 활성화 비트(ETH_DMAIER 레지스터[15])와 함께 설정되면 치명적인 버스 오류 인터럽트가 활성화됩니다.

이 비트가 지워지면 치명적인 버스 오류 활성화 인터럽트가 비활성화됩니다.

비트 12:11 예약됨, 재설정 값으로 유지되어야 합니다.

비트 10 ETIE: 조기 전송 인터럽트 활성화 이 비트가 비정상적인 인터럽트 요약 활성화 비트(ETH_DMAIER 레지스터 [15])와 함께 설정되면 조기 전송 인터럽트가 활성화됩니다.

이 비트가 지워지면 조기 전송 인터럽트가 비활성화됩니다.

비트 9 RWTIE: 위치독 타임아웃 인터럽트 활성화 수신

이 비트가 비정상적인 인터럽트 요약 활성화 비트(ETH_DMAIER 레지스터[15])와 함께 설정되면 수신 위치독 타임아웃 인터럽트가 활성화됩니다.
이 비트가 지워지면 수신 감시 시간 초과 인터럽트가 비활성화됩니다.

비트 8 RPSIE: 수신 프로세스 종지됨 인터럽트 활성화

이 비트가 비정상적인 인터럽트 요약 활성화 비트(ETH_DMAIER 레지스터[15])와 함께 설정되면 수신 종지 인터럽트가 활성화됩니다. 이 비트가 지워지면 수신 종지 인터럽트가 비활성화됩니다.

비트 7 RBUIE: 수신 버퍼를 사용할 수 없음 인터럽트 활성화

이 비트가 비정상적인 인터럽트 요약 활성화 비트(ETH_DMAIER 레지스터[15])와 함께 설정되면 수신 버퍼 사용 불가 인터럽트가 활성화됩니다.
이 비트가 지워지면 수신 버퍼를 사용할 수 없는 인터럽트가 비활성화됩니다.

비트 6 RIE: 수신 인터럽트 활성화

이 비트가 일반 인터럽트 요약 활성화 비트(ETH_DMAIER 레지스터[16])와 함께 설정되면 수신 인터럽트가 활성화 됩니다.
이 비트가 지워지면 수신 인터럽트가 비활성화됩니다.

비트 5 TUIE: 언더플로우 인터럽트 활성화

이 비트가 비정상적인 인터럽트 요약 활성화 비트(ETH_DMAIER 레지스터[15])와 함께 설정되면 전송 언더플로 인터럽 트가 활성화됩니다.
이 비트가 지워지면 언더플로우 인터럽트가 비활성화됩니다.

비트 4 ROIE: 오버플로 인터럽트 활성화

이 비트가 비정상적인 인터럽트 요약 활성화 비트(ETH_DMAIER 레지스터[15])와 함께 설정되면 수신 오버플로 인터럽 트가 활성화됩니다.
이 비트가 지워지면 오버플로 인터럽트가 비활성화됩니다.

비트 3 TJTIE: 재버 시간 초과 인터럽트 활성화 전송

이 비트가 비정상적인 인터럽트 요약 활성화 비트(ETH_DMAIER 레지스터[15])와 함께 설정되면 재버 전송 시간 초과 인터럽트가 활성화됩니다.
이 비트가 지워지면 재버 전송 시간 초과 인터럽트가 비활성화됩니다.

비트 2 TBUIE: 전송 버퍼를 사용할 수 없음 인터럽트 활성화

이 비트가 일반 인터럽트 요약 활성화 비트(ETH_DMAIER 레지스터[16])와 함께 설정되면 전송 버퍼 사용 불가 인터 럽트가 활성화됩니다.
이 비트가 지워지면 전송 버퍼를 사용할 수 없는 인터럽트가 비활성화됩니다.

비트 1 TPSIE: 전송 프로세스 종지됨 인터럽트 활성화

이 비트가 비정상적인 인터럽트 요약 활성화 비트(ETH_DMAIER 레지스터[15])와 함께 설정되면 전송 종지 인터럽트가 활성화됩니다.
이 비트가 클리어되면 전송 종지 인터럽트가 비활성화됩니다.

비트 0 TIE: 전송 인터럽트 활성화

이 비트가 일반 인터럽트 요약 활성화 비트(ETH_DMAIER 레지스터[16])와 함께 설정되면 전송 인터럽트가 활성화 됩니다.
이 비트가 지워지면 전송 인터럽트가 비활성화됩니다.

이더넷 인터럽트는 DMA 상태 레지스터의 TSTS 또는 PMTS 비트가 해당 인터럽트와 함께 표시되고 마스크가 해제 된 경우 또는 NIS/AIS 상태 비트가 표시되고 해당 인터럽트 활성화 비트(NISE/AISE)가 활성화된 경우에만 생성됩니다.

RM0090

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

이더넷 DMA 누락된 프레임 및 버퍼 오버플로 카운터 레지스터
(ETH_DMAMFBOCR)

주소 오프셋: 0x1020

재설정 값: 0x0000 0000

DMA는 수신 중에 누락된 프레임 수를 추적하기 위해 두 개의 카운터를 유지 관리합니다.

이 레지스터는 카운터의 현재 값을 보고합니다. 카운터는 진단 목적으로 사용됩니다. 비트 [15:0]은 STM32F4xx 버퍼를 사용할 수 없기 때문에 누락된 프레임을 나타냅니다(수신 설명자를 사용할 수 없음). 비트[27:17]는 Rx FIFO 오버플로 조건 및 런트 프레임(64바이트 미만의 양호한 프레임)으로 인해 누락된 프레임을 나타냅니다.

비트 31:29 예약됨, 재설정 값으로 유지되어야 합니다.

비트 28 OFOC: FIFO 오버플로 카운터용 오버플로 비트

비트 27:17 MFA: 애플리케이션에서 누락된 프레임

응용 프로그램에서 놓친 프레임 수를 나타냅니다.

비트 16 OMFC: 누락된 프레임 카운터를 위한 오버플로 비트

리더를 끌어들이거나, 리더를 끌어들이거나, 리더를 끌어들이거나, 리더를 끌어들이거나,

• 指定的文件名或路径不存在。如果要使用此功能，必须先在“我的电脑”或“我的文档”中创建一个名为“我的收藏”的文件夹。

中文字典

이 캐릭터 디자인이나 그림을 다른 사람에게 소개하거나 사용하는 경우 반드시 저작권법과 저작권자의 권리 침해에 대해 고려해야 합니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1	0
예약된	RSWTC

비트 31:8 예약된 재설정 간으로 유지되어야 한다.

비트 7:0 RSWTC: 속상 상태(RS) 간시 타이머 카운트

위치독 타이머가 설정된 256을 곱한 HCLK 클록 사이클 수를 나타냅니다. Watchdog 타이머는 해당 디스크립터의 RDES1[31] 설정으로 인해 RS 상태 비트가 설정되지 않은 프레임의 전송을 RxDMA가 완료한 후 프로그래밍된 값으로 트리거됩니다. 감시 타이머가 종료되면 RS 비트가 설정되고 타이머가 중지됩니다. 위치독 타이머는 수신된 프레임의 RDES1[31]에 따른 RS 자동 설정으로 인해 RS 비트가 하이로 설정되며 재설정됩니다.

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

RM0090

이더넷 DMA 현재 호스트 전송 설명자 레지스터(ETH_DMACHTDR)

주소 오프셋: 0x1048

재설정 값: 0x0000 0000

현재 호스트 전송 설명자 레지스터는 DMA가 읽은 현재 전송 설명자의 시작 주소를 가리킵니다.

비트 31:0 HTDAP: 호스트 전송 설명자 주소 포인터

지워졌습니다. 작동 중에 DMA에 의해 포인터가 업데이트됩니다.

이더넷 DMA 현재 호스트 수신 설명자 레지스터(ETH_DMACHRDR)

주소 오프셋: 0x104C

재설정 값: 0x0000 0000

현재 호스트 수신 설명자 레지스터는 DMA가 읽은 현재 수신 설명자의 시작 주소를 가리킵니다.

비트 31:0 HRDAP: 호스트 수신 설명자 주소 포인터

재설정 시 지원됩니다. 작동 중에 DMA에 의해 포인터가 업데이트됩니다.

이더넷 DMA 현재 호스트 전송 버퍼 주소 레지스터 (ETH_DMACHTBAR)

주소 오프셋: 0x1050

재설정 값: 0x0000 0000

현재 호스트 전송 버퍼 주소 레지스터는 DMA가 읽고 있는 현재 전송 버퍼 주소를 가리킵니다.

The diagram illustrates the structure of the HTBAP gene. It features a top row of numbers representing the genomic coordinates: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1. Below this, a horizontal line represents the gene's DNA sequence. The line is divided into 29 segments, each labeled with a lowercase 'r'. The first 28 segments are of equal length, while the last segment is slightly longer, representing the poly-A tail. Vertical tick marks are placed at the start of each segment, except for the final one. The label "HTBAP" is centered above the line.

비트 31:0 HTBAP: 호스트 전송 버퍼 주소 포인터

재설정 시 지원됩니다. 작동 중에 DMA에 의해 포인터가 업데이트됩니다.

RM0090

이더넷(ETH): DMA 컨트롤러를 갖춘 미디어 액세스 제어(MAC)

이더넷 DMA 현재 호스트 수신 버퍼 주소 레지스터
(ETH_DMACHRBAR)

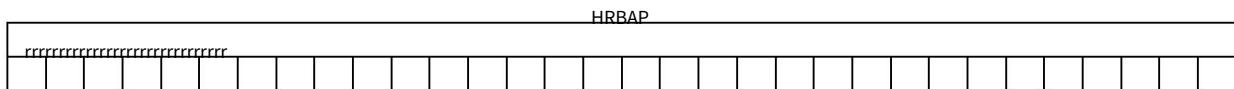
주소 오프셋: 0x1054

재설정 값: 0x0000 0000

현재 호스트 수신 버퍼 주소 레지스터는 DMA가 읽고 있는 현재 수신 버퍼 주소를 가리킵니다.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

0



비트 31:0 HRBAP: 호스트 수신 버퍼 주소 포인터

재설정 시 지워집니다. 작동 중에 DMA에 의해 포인터가 업데이트됩니다.

33.8.5 이더넷 레지스터 맵

표 196은 ETH 레지스터 맵과 재설정 값을 제공합니다.

표 196. 이더넷 레지스터 맵 및 재설정 값

표 196. 이더넷 레지스터 맵 및 재설정 값 (계속)

표 196. 이더넷 레지스터 맵 및 재설정 값 (계속)

표 196. 이더넷 레지스터 맵 및 재설정 값 (계속)

오프셋	0x00000000000000000000000000000000	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
0x728	ETH_PTPSSR																																				
	재설정 값																																				
	ETH_PTPPPSC																																				
0x72C																																					
	재설정 값																																				
0x1000	ETH_DMABMR																																				
	재설정 값																																				
	ETH_DMATPDR																																				
0x1004	재설정 값	00000000000000000000000000000000																																			
	ETH_DMARPDR																																				
0x1008	재설정 값	00000000000000000000000000000000																																			
	ETH_DMARDLA																																				
0x100C	재설정 값	00000000000000000000000000000000																																			
	ETH_DMATDLA																																				
0x1010	재설정 값	00000000000000000000000000000000																																			
	ETH_DMASR																																				
0x1014	재설정 값																																				
	ETH_DMAOMR																																				
0x1018	재설정 값																																				
	ETH_DMAMFB																																				
0x101C	ETH_DMAMFB																																				
	OCR																																				
0x1020	ETH_DMAMFB																																				
	OCR																																				
0x1024	DMARSWTR																																				
	재설정 값																																				
	ETH																																				
0x1048	DMACHTDR																																				
	ETH																																				
0x104C	DMACHRDR																																				
	ETH																																				
0x1050	DMACHTBAR																																				
	ETH																																				
0x1054	DMACHRBAR																																				
	ETH																																				

레지스터 경계 주소에 대해서는 [섹션 2.3: 메모리 맵을](#) 참조하십시오 .