实验三 存储器实验

**一、实验目的**

1、了解随机存取存储器 RAM 的原理。

2、理解 RAM 读取、写入数据的过程。

3、理解计算机中存储器地址编址和数据索引方法。

4、熟悉并运用 verilog 语言进行电路设计。

5、 为后续设计 cpu 的实验打下基础。

**二、实验设备**

1、装有 Xilinx Vivado的计算机一台

2、 LS-CPU-EXB-002教学系统实验箱一套

**三、实验内容**

1. 学习存储器的设计及原理和计算机中内存地址编址和数据索引方法。
2. 搭建一个异步的RAM，能够正确地将数据写入指定地址并读出。
3. 将以上设计作为一个单独的模块，设计一个外围模块去调用它，外围模块中需要调用封装好的触摸屏模块。
4. 向地址为50H-55H的六个单元送70H-75H六个数，验收时任意指定一个地址，输出其存储的数据。
5. 进行综合布局布线，下载到实验箱的FPGA板上进行演示。
6. **实验步骤**

1、启动Vivado，选择File->New Project，输入工程名称，选择工程文件的路径

2、选择RTL Project，勾选Do not specify sources at this time

3、在筛选器中进行如下选择：family->Artix7 package->fbg676 最后选择型号xc7a200tfbg676-2

4、添加源文件Project Manager->Add sources->Add or create design sources->Create File,开始输入程序代码

5、添加外围模块，该模块调用加法器和触摸屏模块以便在实验箱上输入原始数据和输出结果。

6、将封装好的触摸屏模块添加进工程，用户只需要直接调用。继续选择Add sources,添加lcd\_module.dcp.

7、添加引脚绑定的约束文件，扩展名为.xdc。

8、也可以通过Vivado中的I/O Planning功能来产生约束文件。点击Flow Navigator中Synthesis下的Run Synthesis，进行综合，综合完成后选择Open Synthesized Design，查看综合结果。参照实验板原理图和引脚对应关系表，在I/O Ports栏下输入正确的Package Pin，针对本实验板，I/O Std要统一设置为LVCM0S33。设置完成保存为约束文件。

9、综合、布局布线并产生可烧写文件，扩展名为.bit。可以依次双击运行，也可以只双击Generate Bitstream，会自动运行这三步。

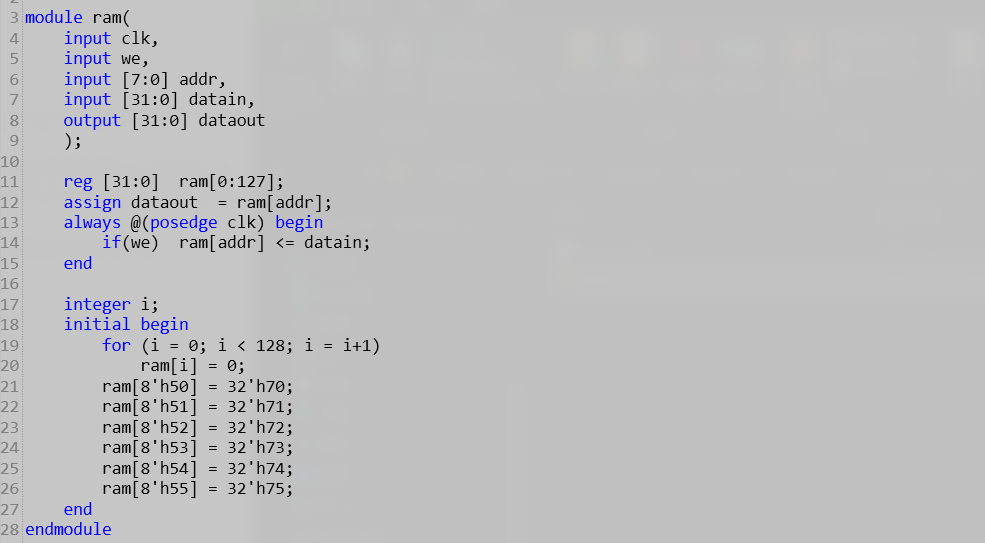
10、打开实验箱电源，在比特流文件生成完成的窗口选择Open Hardware Manager，进入硬件管理界面。在Hardware Manager窗口的提示信息中，点击Open Target，选择Auto Connect自动连接器件。

11、对目标硬件编程，在Hardware窗口右键单击目标器件cx7a200t\_0，选择Program Device…，选择下载的bit流文件，点击Program，完成下载后，窗口下的cx7a200t\_0状态变成Programmed。

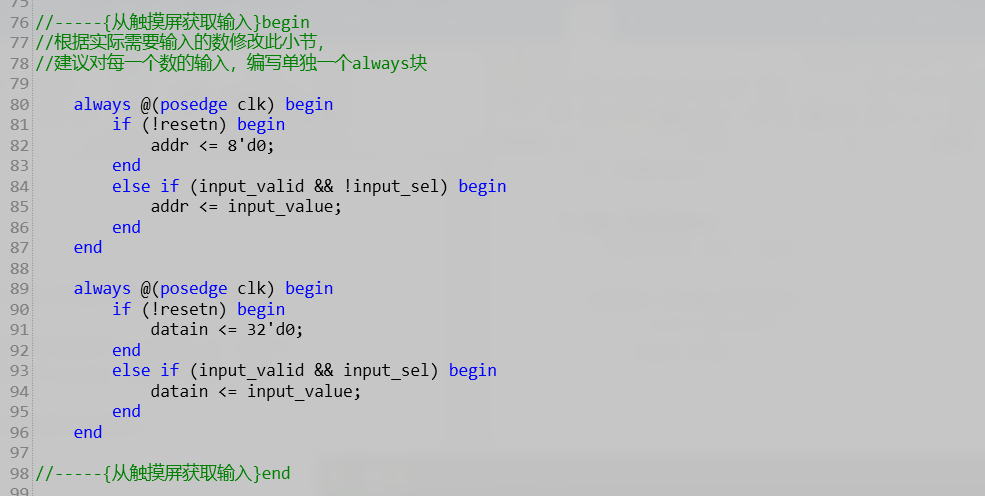
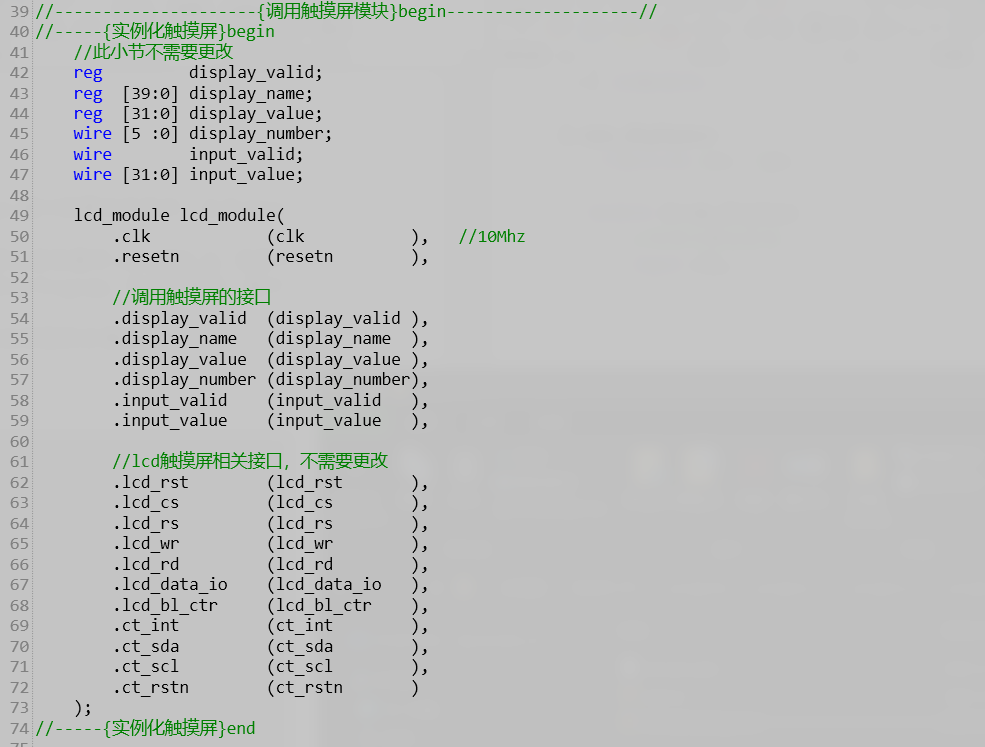
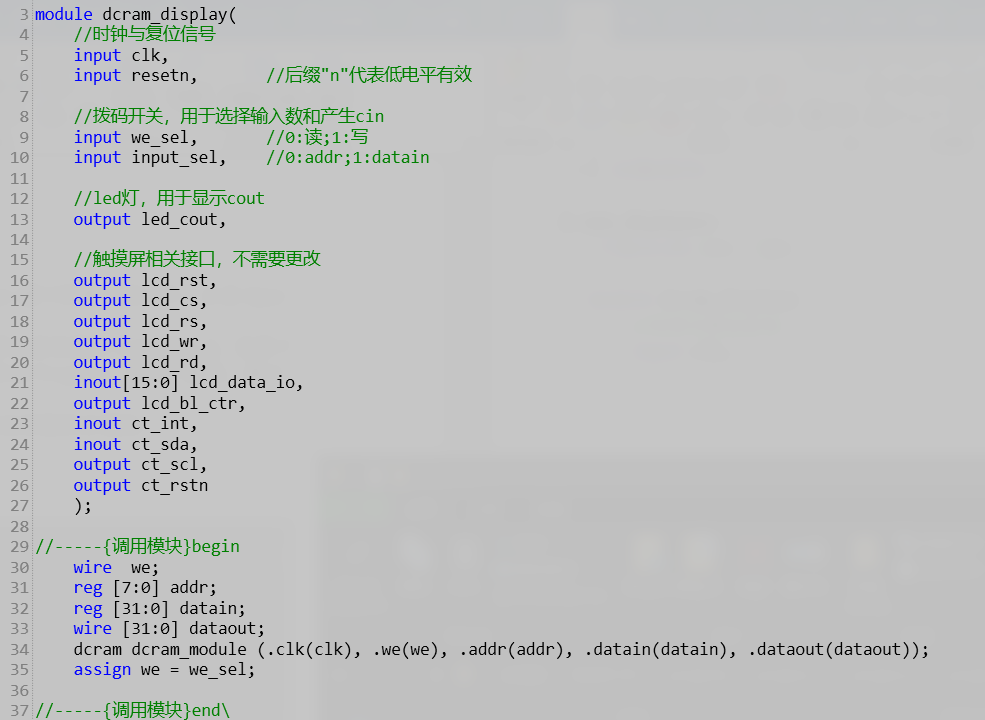
12、通过触摸屏完成数据输入和结果显示，验证实验的正确性。

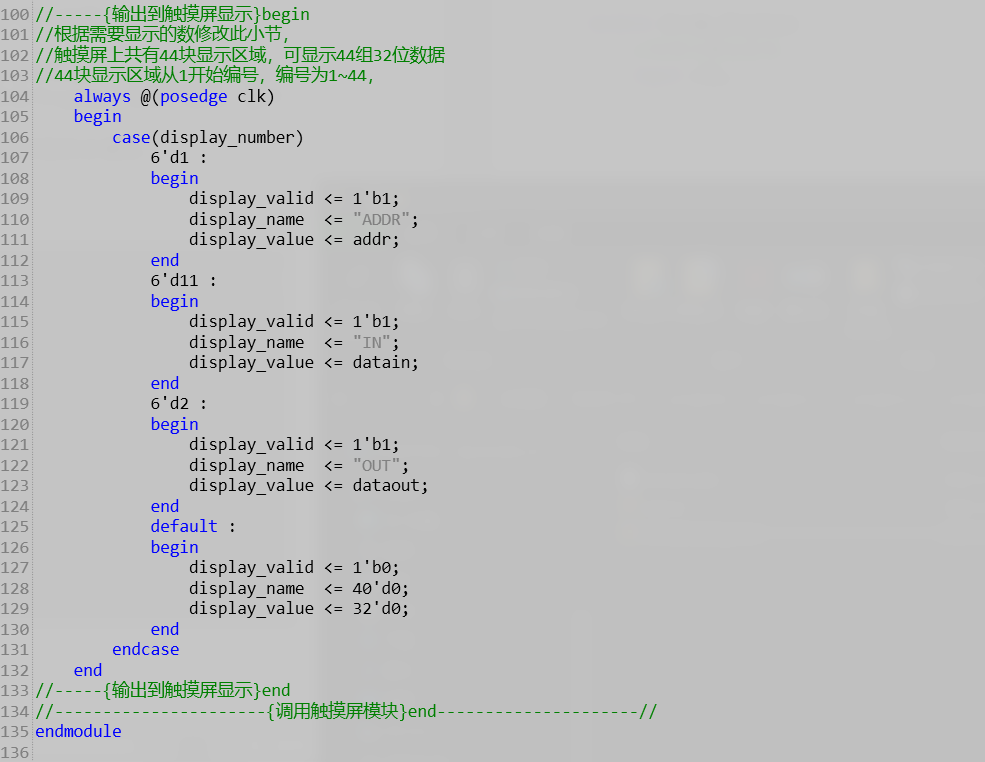
1. **Verilog程序**

**1.ram.v**

****

**2.ram\_displayer.v**





1. **实验结果  
   **

读取54(H)地址，输出74(H)

1. **实验心得**

本次实验，我使用verilog编写了存储器并上板验证，了解了存储器基本组成原理，收获颇丰。