

## Hoeveel flip flops genereert jouw design?

94

## Waar vind je dit in het synthesis report?

Na de synthesis te runnen open je reports, voor de rest zie afbeelding.

Report	Type	Options	Modified	Size
▼ Synthesis				
▼ Synth Design (synth_design)				
Utilization - Synth Design	report_utilization		12/13/21, 4:14	7.6 KB
synthesis_report			12/13/21, 4:14	13.1 KB
> Implementation				

En dan dubbelklik je op Utilization – Synth Design.

Dan Tabel 1. Slice Logic

### 1. Slice Logic

-----

Site Type	Used	Fixed	Prohibited	Available	Util%
Slice LUTs*	186	0	0	63400	0.29
LUT as Logic	186	0	0	63400	0.29
LUT as Memory	0	0	0	19000	0.00
Slice Registers	94	0	0	126800	0.07
Register as Flip Flop	94	0	0	126800	0.07
Register as Latch	0	0	0	126800	0.00
F7 Muxes	0	0	0	31700	0.00
F8 Muxes	0	0	0	15850	0.00

## Verklaar iedere flip flop

Eerst run implementation doen, dan het tabblad power opendoen en daarin naar logic gaan.

- NextX = 9 flip flops (Bestaat uit 9 bits, dus 9 flip flops)
- DifferenceX = 9 flip flops (Bestaat uit 9 bits, dus 9 flip flops)
- RichtingX = 1 flip flop (Heeft maar 2 opties, dus 1 flip flop)
- PlotX = 9 flip flops (Bestaat uit 9 bits, dus 9 flip flops)
- NextY = 8 flip flops (Bestaat uit 8 bits, dus 8 flip flops)
- DifferenceY = 8 flip flops (Bestaat uit 8 bits, dus 8 flip flops)
- RichtingY = 1 flip flop (Heeft maar 2 opties, dus 1 flip flop)
- PlotY = 8 flip flops (Bestaat uit 8 bits, dus 8 flip flops)
- State = 1 flip flops (
- Error = 31 flip flops (Bestaat uit 31 bits, dus 31 flip flops)
- State = 1 flip flop (Heeft maar 1 optie, dus 1 flip flop)
- Plotting = 1 flip flop (Bestaat uit 2 bits, dus 1 flip flop)

Het aantal flip flops hangt af van het aantal uitgangen van het signaal, 1 flip flop per 2 uitgangen. Of ook het aantal bits dat de uitgang is uit opgebouwd bv PlotX heeft een uitgang van 9 bits, dus 9 flip flops.

Hoeveel lookup tables (LUT) werden er gebruikt?

186

Wat is de maximum klokfrequentie waarmee je ontwerp kan werken?

Negative slack = 1.805ns

$1/(10-1.797)=122.026\text{MHz} \Rightarrow \text{Periode} = 10-1.8203=8.195\text{ns}$

Waar vind je dit in het timing report?

Bij Design Timing.

Wat betekent slack en moet deze positief of negatief zijn?

Slack is het verschil tussen de nodige tijd en de aangekomen tijd, hierdoor moet deze dus altijd positief zijn, want anders komt het signaal te vroeg aan.

Hoe kan je slack violation oplossen?

Je kan je klok vertragen of de hardware beperken en optimaliseren, waardoor je schema sneller kan lopen.

Wat is het meest tijdskritisch pad in je ontwerp (volgens het timing report)?

Van Error\_reg[1]/C naar Error\_reg[31]/C.

Path 1	0.000	16	17	28	Error_reg[1]/C	Error_reg[31]/D	8.067	5.103	2.964	8.2	Clk	Clk		0.035
Path 2	0.077	16	17	28	Error_reg[1]/C	Error_reg[30]/D	7.990	5.022	2.968	8.2	Clk	Clk		0.035
Path 3	0.117	15	16	28	Error_reg[1]/C	Error_reg[27]/D	7.950	4.986	2.964	8.2	Clk	Clk		0.035
Path 4	0.131	16	17	28	Error_reg[1]/C	Error_reg[29]/D	7.936	5.108	2.828	8.2	Clk	Clk		0.035
Path 5	0.194	15	16	28	Error_reg[1]/C	Error_reg[26]/D	7.873	4.905	2.968	8.2	Clk	Clk		0.035
Path 6	0.234	14	15	28	Error_reg[1]/C	Error_reg[23]/D	7.833	4.869	2.964	8.2	Clk	Clk		0.035

Hoeveel lookup tables worden er gebruikt als je het ontwerp nu opnieuw synthetiseert?

199