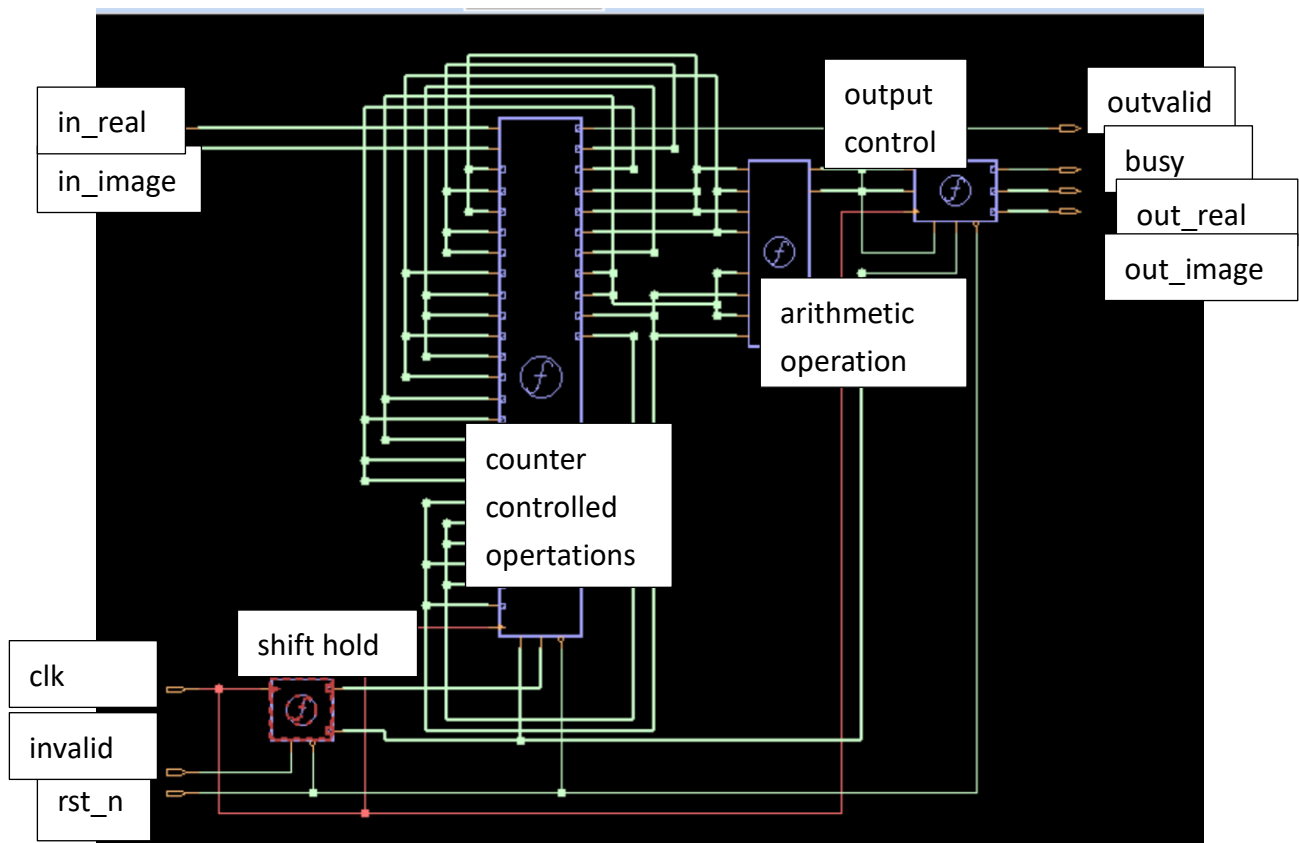


Block Diagram



設計方法

我用一個 3bit 的 counter 來控制當下要做的任務並用 case 去判斷，而其中要做的事就是讀 input 和吐 output，因為我使用 busy 恆為 0 的方法去寫這次的作業所以 outvalid 會呈現一高一底的週期，而在低的時候就是我对我的 matrix 做 shift (換 column, row)，一邊計算一邊吐值；而讀值方面則是獨立掃到一暫存的 array，避免新進來的 input 去干擾正在進行運算的數字，等到讀完完整的矩陣再傳到運算矩陣。

心得

這次我體會到其實面積也是會隨 simulation time 而變動的，所以不能只一味顧及面積的壓縮，而還要考慮到時間的調控，裡用兩者的乘積找到最佳解才是真正優化自己的電路！

遇到困難

這次主要遇到的困難為一開始第一筆資料還沒計算完 out_valid 就開始拉起了，所以我就用一個 8bit 的 reg 對 invalid 做 shift，確認第一筆資料已經充分算完才開始 output，而後就依照前述的規律去做。

A*T 優化過程

我這次的 A*T 優化過程大致如下：

area	sim_time (cycle time)	A*T
57160	5.0 ns	285800
57782	4.9	283131
58870	4.8	282576
60174	4.7	282817
61787	4.6	284220

可以看出 4.8ns 所產生的 A*T 為最佳解，再大再小就會逐漸遞增

Library(s) Used:

slow (File: /RAID2/COURSE/iclab/iclabta01/umc018/Synthesis/slow.db)

Number of ports: 37
Number of nets: 1852
Number of cells: 1495
Number of combinational cells: 1240
Number of sequential cells: 255
Number of macros/black boxes: 0
Number of buf/inv: 196
Number of references: 59

Combinational area: 40478.961845
Buf/Inv area: 2105.611264
Noncombinational area: 18391.666016
Macro/Black Box area: 0.000000
Net Interconnect area: undefined (No wire load specified)

Total cell area: 58870.627861
Total area: undefined

1