

# Diseño de un contador ascendente/descendente de 16 bits

Fernández Martínez Joselyn Mayte, INAOE

**Abstract**—En este artículo se propone el diseño de un contador ascendente/descendente síncrono de 16 bits utilizando flip flops JK activado por flanco ascendente. El flip flop JK se implementa bajo una estructura flip flop D TSPC y un multiplexor 2x1 utilizando 23 transistores en total. El contador cuenta con entradas adicionales de reset (RST) y control de conteo. El objetivo principal es optimizar el diseño del contador ascendente síncrono de 4 bits en términos de tiempos de propagación. El diseño se implementa con utilizando el editor CADENCE Virtuoso con tecnología de proceso CMOS UMC de 180 nm. El contador tiene un total de 685 transistores. La potencia estimada del contador es de 1 mW y el retardo es de 96.3 ps.

**Index Terms**—Contador, Síncrono, TSPC, Potencia, Área, Flip flop JK.

## I. INTRODUCCIÓN

Contar es una función fundamental de los circuitos digitales. Un contador digital consta de un conjunto de flip flops que cambian de estado (Set o Reset) dada una secuencia preestablecida resultando a la salida un patrón específico, es por eso que una de sus aplicaciones es utilizarse como generador de funciones. Otras de las aplicaciones de un contador son: divisores de frecuencia en circuitos PLL, sintetizadores de frecuencia, circuitos de generación y procesamiento de señales, microcontroladores, memorias digitales y en circuitos de temporización y relojes digitales por mencionar algunos.

Dadas las aplicaciones se han propuesto varios circuitos contadores que se enfocan en especificaciones de diseño como potencia, retardo y área. [5] Diseñó un contador ascendente/descendente binario de 6 bits utilizando un ecualizador de retroalimentación de decisión adaptativo (DFE), sin embargo, el objetivo es utilizar flip flops JK y tipo D, por esta razón se tomo como punto de partida la topología de flip flops D y a partir de las expresiones lógicas, diseñar las etapas de control de conteo.

El trabajo está organizado de la siguiente manera: en la sección 2 se presenta el diseño del contador propuesto. En la sección 3, se presenta el esquemático y el layout, la sección 4 muestra los resultados obtenidos por simulación, se estima el área, la potencia y el retardo del contador y finalmente en el último apartado se hace una conclusión de lo obtenido.

## II. CONTADOR PROPUESTO

El contador síncrono es el tipo de contador más popular, por lo general, consta de un elemento de memoria, que se implementa mediante flip-flops, y un elemento combinatorial, que normalmente se implementa utilizando compuertas lógicas. Los contadores síncronos tienen un reloj interno, mientras que los contadores asíncronos no, como resultado,

todos los flip flops en un contador síncrono son controlados simultáneamente por un solo pulso de reloj común mientras que en un contador asíncrono, el primer flip flop es impulsado por un pulso de un reloj externo y cada flip flop sucesivo es impulsado por la salida del flip-flop anterior en la secuencia obteniendo a la salida tiempos de propagación mayores en comparación al contador síncrono.

### A. Flip flop JK

El flip flop tipo JK almacena y cambia el estado de una señal binaria basándose en la señal de reloj y las entradas J y K. Dependiendo de los valores de estas entradas, el Flip-Flop puede mantener su estado actual, establecerlo en 1, reiniciarlo en 0 o conmutar entre 1 y 0, esto se resume en la tabla I.

TABLE I  
TABLA DE VERDAD PARA FLIP FLOP JK

CLK	J	K	$Q_{n+1}$
↑	0	0	$Q_n$
↑	0	1	0
↑	1	0	1
↑	1	1	$Q'_n$

Existen distintas topologías de flip flop JK, la mas común es a partir de una etapa de Set/Reset (SR) y una retroalimentación, la etapa SR puede construirse utilizando combinaciones de compuertas NAND, NOR y XNOR, otra forma de implementación es a partir de otros flip flops. En este proyecto se propone una topología de flip flop JK utilizando flip flop tipo D con una etapa de control basada en un multiplexor, la figura 1 muestra el diagrama a bloques de la propuesta de implementación.

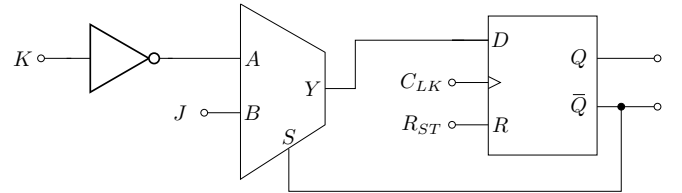


Fig. 1. Propuesta de implementación para el JKFF

### B. Flip flop D TSPC

El flip flop tipo D opera con solo una señal de reloj, sin señal complementaria, lo que reduce a uno la distribución de la señal de sincronización. La arquitectura simple como la que se muestra en la figura 2 mejora la frecuencia de operación,

permitiendo reducir los tiempos de propagación, sin embargo, tiene la desventaja de que los nodos A, B y  $Q_B$  (figura 2) son nodos de alta impedancia que bajo la lógica dinámica reflejan a la salida glitches y los vuelven más susceptibles a distorsiones debido a corrientes de fuga. [2]

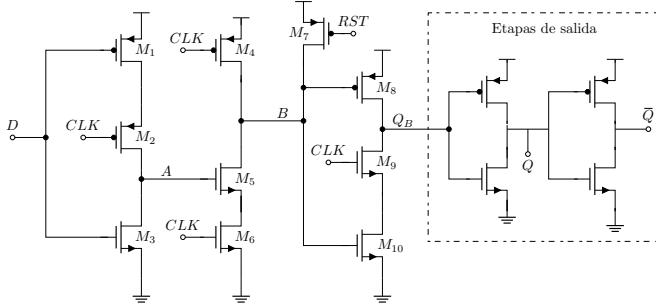


Fig. 2. Propuesta de implementación para el DFF

Es por eso que la topología TSPC implementada cuenta con una etapa de salida que permite disminuir en mayor medida los glitches reflejados con la desventaja de que se añaden tiempos de retardo en las señales Q y  $\bar{Q}$ .

### C. Contador de 16 bits ascendente/descendente

La propuesta del contador ascendente/descendente se compone del flip flop JK, y una estructura de control que permite hacer las transiciones dependiendo del tipo de conteo. El contador síncrono cuenta con una señal de reloj global para todos los flip flops así a la salida los estados Q0 a Q15 corresponden a los bits LSB y MSB respectivamente.

Los cambios en las entradas de los flip flops se producen de la siguiente manera: el primer JKFF cambia su estado en cada flanco ascendente del reloj. El segundo flip-flop cambiará solo si el valor de Q del JKFF anterior es alto. Siguiendo esta lógica, el tercer JKFF cambiará su estado solo si los dos estados anteriores son altos. De esta manera, el contador se puede diseñar en cascada, haciendo que cada JKFF dependa de todos los estados anteriores. La señal de reloj se utiliza como señal global, mientras que las entradas de control son la señal de reset (RST) y el control (UD), que determina si el conteo es ascendente o descendente.

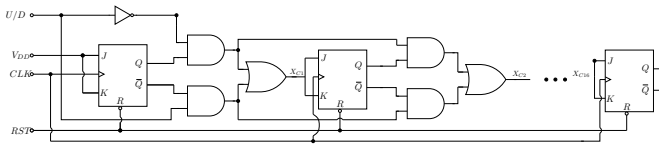


Fig. 3. Contador de 16 bits con control de conteo ascendente/descendente

La lógica combinacional que se observa en la figura 3 corresponde a los bloques AND, OR y MUX, se implementaron mediante la lógica de Transistores de Paso (PTL)[3] seguido de una etapa de salida que consiste en un buffer compuesto de 2 inversores conectados en cascada.

### III. LAYOUT

La implementación del contador síncrono ascendente/descendente de 16 bits se llevó a cabo de manera

progresiva mediante la creación e instancia de bloques básicos. Se verificó el funcionamiento de cada componente de forma independiente antes de combinar todos los elementos para construir el contador completo.

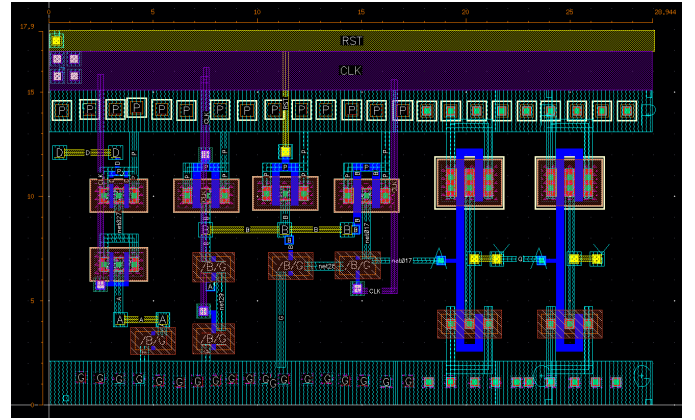


Fig. 4. Layout del Flip flop D

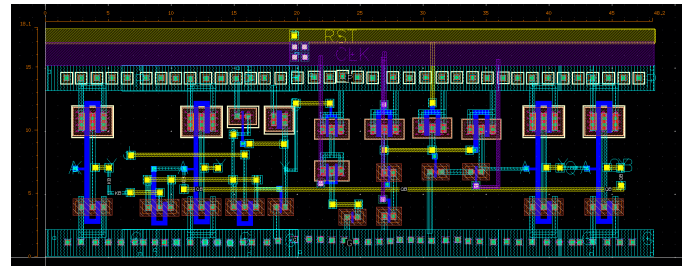


Fig. 5. Layout del Flip flop JK

A partir de la instanciación del DFF y el multiplexor, se creó la celda correspondiente al flip flop JK que se observa en la figura 5, de esta forma, el layout final del contador de 16 bits se muestra en la figura 6 donde se puede notar que la distribución de la señal de reloj se hizo a partir de una topología de árbol H, todo fue diseñado y simulado en la herramienta de CADENCE Virtuoso.

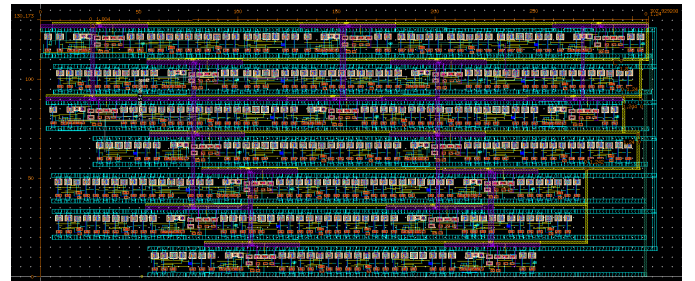


Fig. 6. Layout del contador síncrono de 16 bits

#### IV. RESULTADOS DE SIMULACIÓN

El diseño final del contador consta de 15 bloques de control (conformados por 2 AND y OR), 16 flip flops tipo JK y un inversor, resultando en un total de 885 transistores en total, las respuestas en el análisis transitorio se muestran en las figuras 7 y 8 donde se observan los estados de salida del conteo descendente ( $U/D = 1$ ).

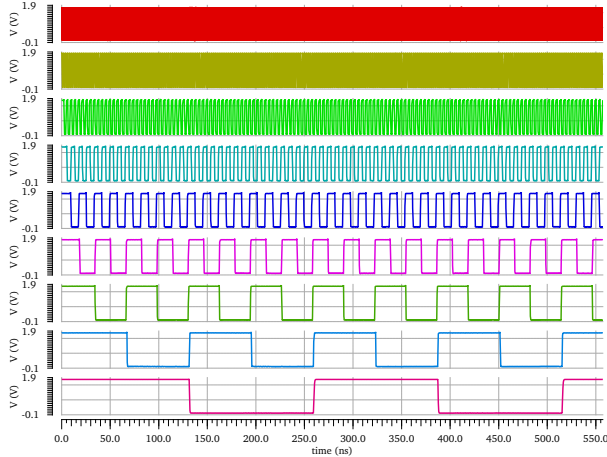


Fig. 7. Respuesta transitoria de 50 ns ( $U/D = 1$ ), la señal CLK (rojo), la salida  $Q_0$  (amarilla) corresponde a LSB, cada canal corresponde a las salidas subsecuentes:  $Q_1$  (verde),  $Q_2$  (azul claro),  $Q_3$  (azul),  $Q_4$  (morado),  $Q_5$  (verde),  $Q_6$  (azul) y  $Q_7$  (rosa)

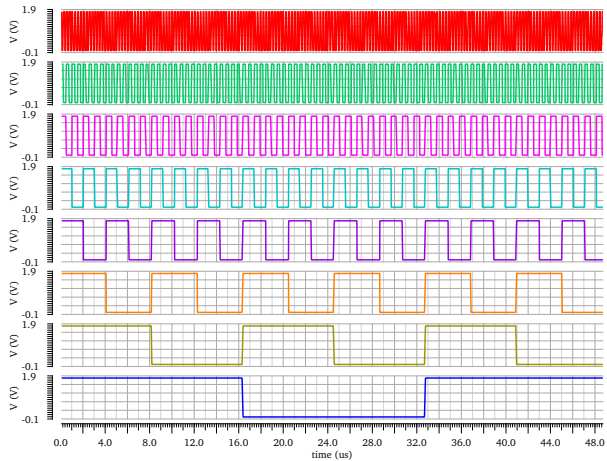


Fig. 8. Respuesta transitoria de 50  $\mu$ s ( $U/D = 1$ ), la salida  $Q_8$  (roja),  $Q_9$  (verde),  $Q_{10}$  (rosa),  $Q_{11}$  (azul),  $Q_{12}$  (morado),  $Q_{13}$  (naranja),  $Q_{14}$  (café) y  $Q_{15}$  (azul)

El consumo de potencia más alto ocurre cuando todos los estados de salida están activos. Para realizar esta medición, se midió el consumo transitorio desde 0 hasta 50 ns (figura 7) obteniendo una corriente suministrada por la fuente de 582.9  $\mu$ A que resulta en un consumo total de 1 mW. Finalmente la tabla II muestra las mediciones en tiempos de retardo y las métricas de desempeño obtenidas para cada bloque digital diseñado.

#### V. CONCLUSIONES

En este artículo se ha implementado, simulado y analizado un contador ascendente/descendente síncrono de 16 bits con una señal de reloj de 1 GHz. El rendimiento del contador se evalúa en términos de área, retardo y consumo de energía, la lógica y las características del flip flop JK mediante un flip flop D TSPC y un multiplexor fue optimizada para su operación en esa frecuencia. Se verifica mediante simulación y con las señales de control definidas el correcto funcionamiento del mismo.

#### REFERENCES

- [1] J. M. Rabaey, A. Chandrakasan, B. Nikolic, *Digital Integrated Circuits*, 2nd edition, Prentice Hall, 2002.
- [2] Jiren Yuan and Christer Svensson, *High-Speed CMOS Circuit Technique*, IEEE journal of solid-state circuits, vol.24, no.1, february 1989.
- [3] Jahangir Shaikh and Hafizur Rahaman, *High speed and low power presettable modified TSPC D flip-flop design and performance comparison with TSPC D flip-flop*, 2018 International Symposium on Devices, Circuits and Systems (ISDCS), Howrah, India, 2018, pp. 1-4.
- [4] Dua, Tripti and Rajput, Anju, *2:1 Multiplexer Using Different Design Styles: Comparative Analysis*. Journal of Advancements in Robotics. 2020, pp 5–13.
- [5] T. Zhang and Q. Hu (2020), *A High-Speed and Low-power Up/down Counter in 0.18- $\mu$ m CMOS Technology*. International Conference on Wireless Communications and Signal Processing (WCSP), Huangshan, China, 2012, pp. 1-3.
- [6] C. E. Leiserson, *Area-efficient graph layouts*, 21st Annual Symposium on Foundations of Computer Science (sfcs 1980), Syracuse, NY, USA, 1980, pp. 270-281

TABLE II

CONTEO DE TRANSISTORES, RETARDO Y ESTIMACIÓN DE POTENCIA POR BLOQUES DISEÑADOS

Bloque	Transistores	Retardo	Potencia @ 10ns	Área
NOT	2	58.33ps	13.94nW	15 $\mu$ m x 7.5 $\mu$ m
MUX	7	88.81ps	241 nW	15 $\mu$ m x 15 $\mu$ m
AND	7	62.5ps	23.5 nW	15 $\mu$ m x 27 $\mu$ m
OR	7	71.9ps	25.02 nW	15 $\mu$ m x 31.5 $\mu$ m
DFF	14	73.8ps	158.8 nW	19.7 $\mu$ m x 29 $\mu$ m
JKFF	23	96.3ps	1.65 $\mu$ W	20 $\mu$ m x 20 $\mu$ m