

CÓDIGO

```

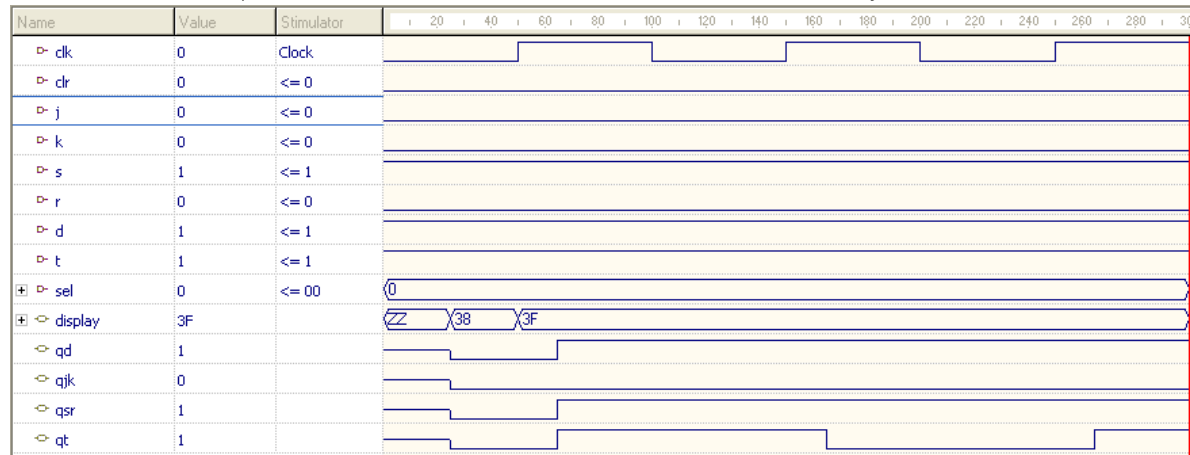
1 library ieee;
2 use ieee.std_logic_1164.all;
3
4 entity P2a is port (
5     j, k, s, r, d, t, clk, clr : in std_logic;
6     sel : in std_logic_vector (1 downto 0);
7     display : out std_logic_vector (5 downto 0);
8     qjk, qsr, qd, qt : inout std_logic
9 );
10 end P2a;
11
12 architecture AP2a of P2a is
13     signal y : std_logic;
14 begin
15     --Flip flop JK
16     process(clk, clr)
17     begin
18         if (clr = '1') then
19             qjk <= '0';
20         elsif (rising_edge(clk)) then
21             qjk <= (j and not(qjk)) or (not(k) and qjk);
22         end if;
23     end process;
24
25     --Flip flop SR
26     process(clk, clr)
27     begin
28         if (clr = '1') then
29             qsr <= '0';
30         elsif (rising_edge(clk)) then
31             qsr <= s or (not(r) and qsr);
32         end if;
33     end process;
34
35     --Flip flop D
36     process(clk, clr)
37     begin
38         if (clr = '1') then
39             qd <= '0';
40         elsif (rising_edge(clk)) then
41             qd <= d;
42         end if;
43     end process;
44
45     --Flip flop T
46     process(clk, clr)
47     begin
48         if (clr = '1') then
49             qt <= '0';
50         elsif (rising_edge(clk)) then
51             qt <= t xor qt;
52         end if;
53     end process;
54
55     --Multiplexor
56     with sel select
57         y <= qjk when "00",
58             qt when "01",
59             qd when "10",
60             qsr when others;
61
62     --Decodificador
63     with y select
64         display <= "111111" when '0',
65                     "011000" when others;
66 end architecture;

```

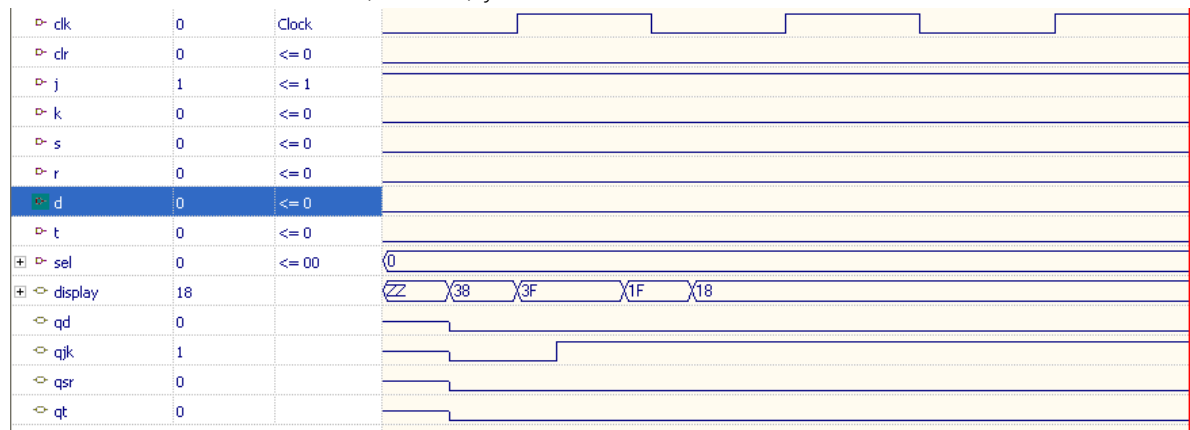
SIMULACIONES EN GALAXY

FLIP FLOP JK

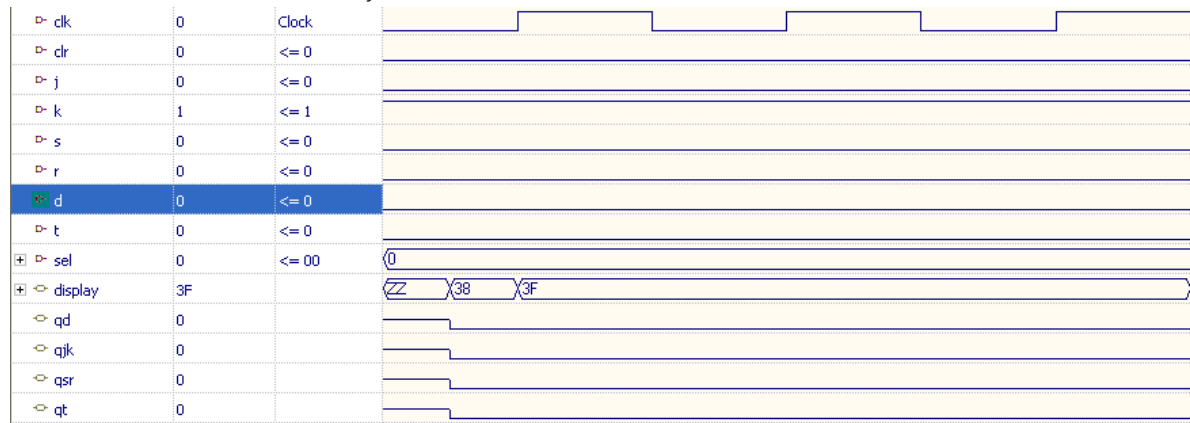
El selector vale 00, primero cuando vale 00, la salida es Q (debe dar 3F y mantenerlo)



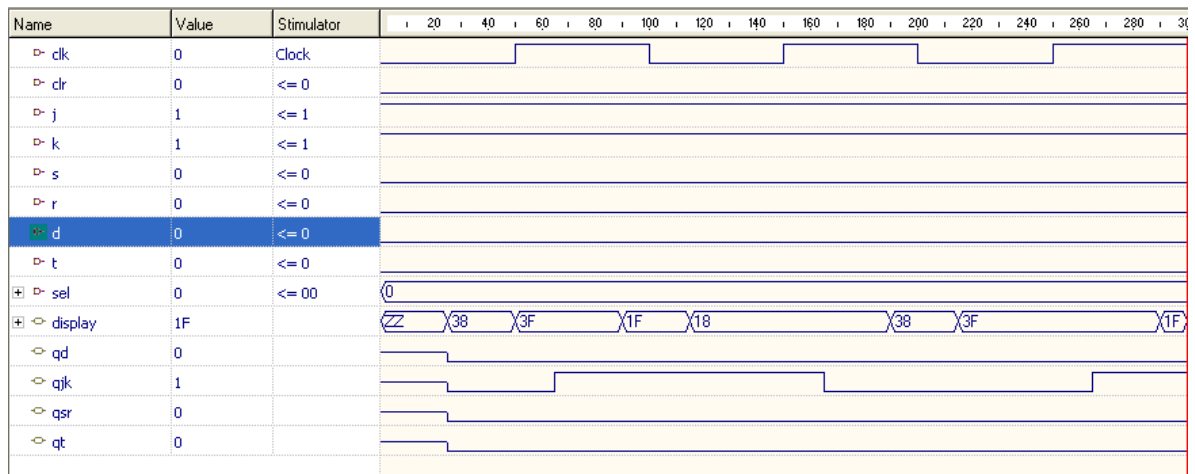
Cuando vale 10, debe valer 1 (o sea 18) y mantenerlo



Cuando vale 01, debe valer 0 y mantenerlo (o sea 3F)

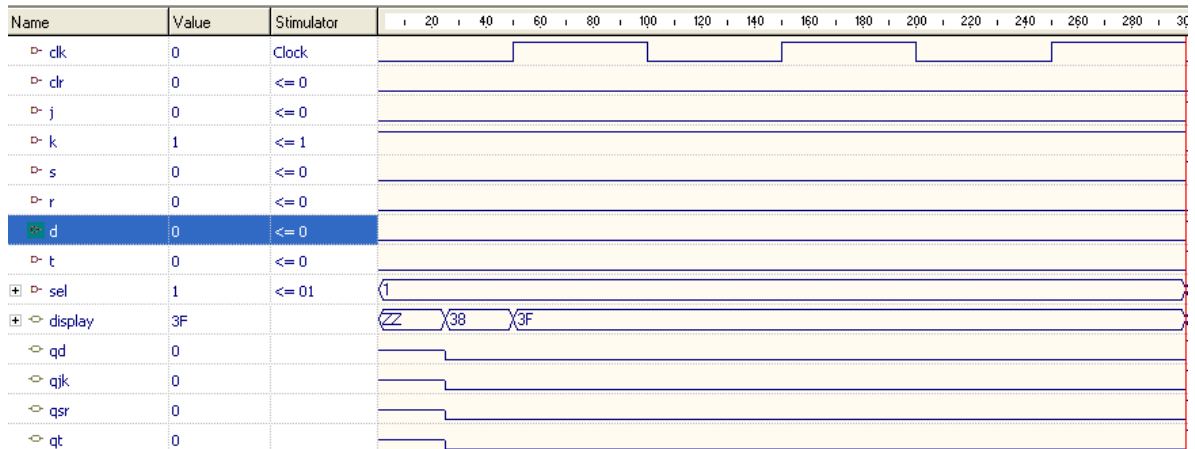


Cuando vale 11, debe oscilar en cada alza de reloj

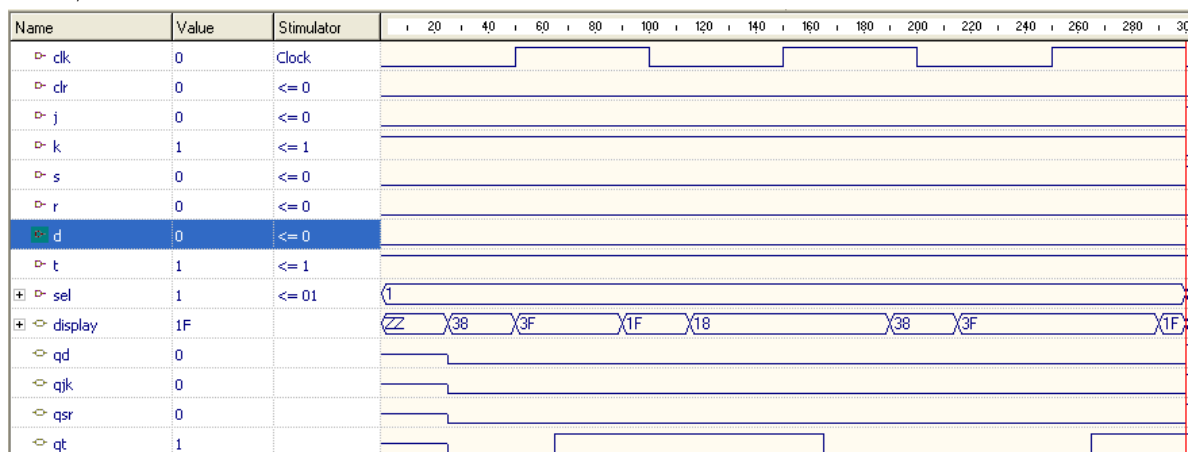


FLIP FLOP T

El selector vale 01, con 0, debe valer 0 y mantenerlo

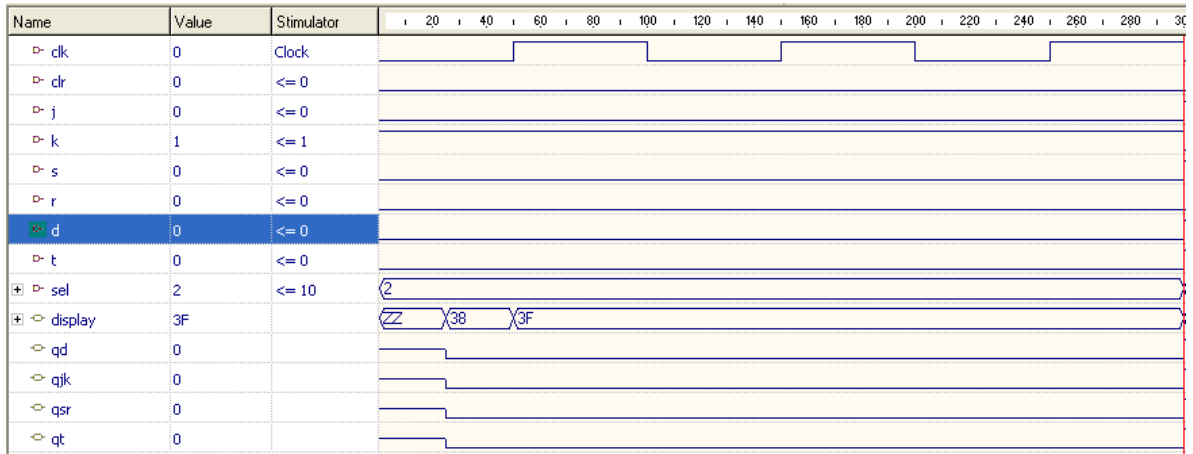


Con 1, debe oscilar

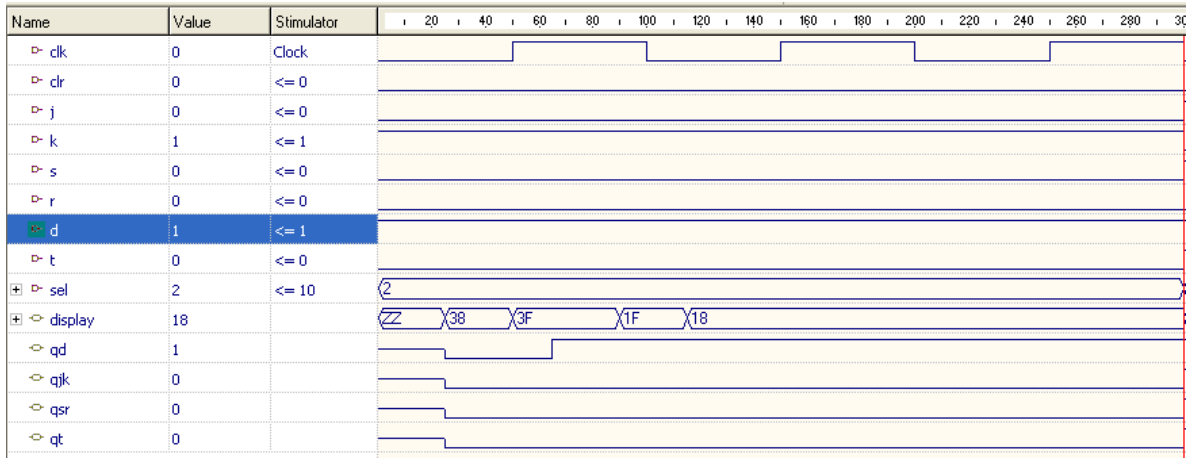


FLIP FLOP D

El selector vale 10, con 0, debe dar 0 y mantenerlo

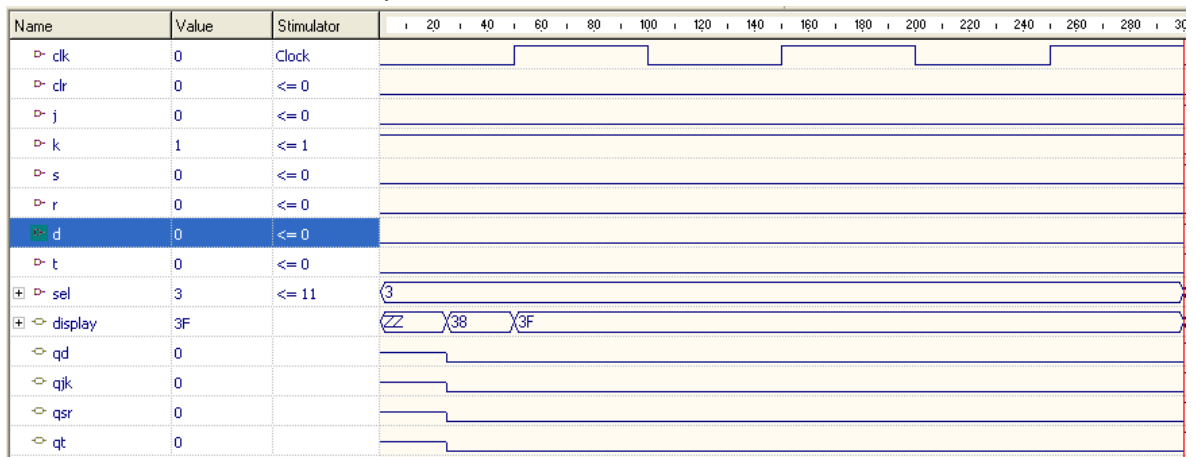


Con 1, debe dar 1 y mantenerlo



FLIP FLOP SR

El selector vale 11, con 00 da Q y la mantiene



Con 01 da 0 y lo mantiene

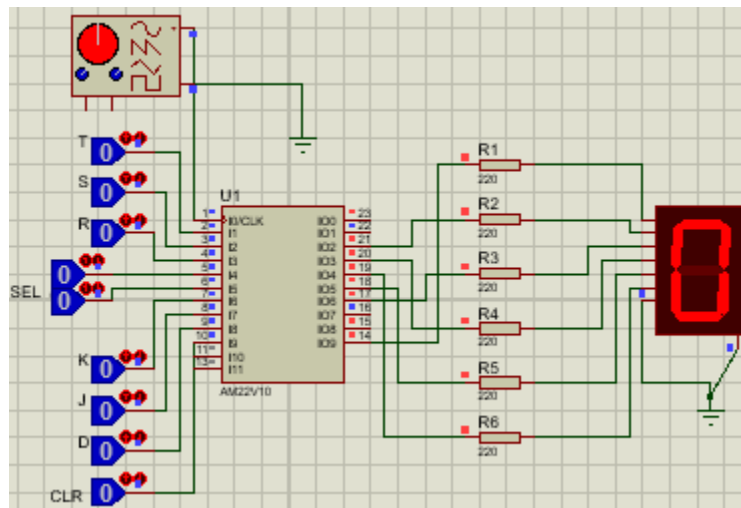
SIMULACIÓN EN PROTEUS

C22V10

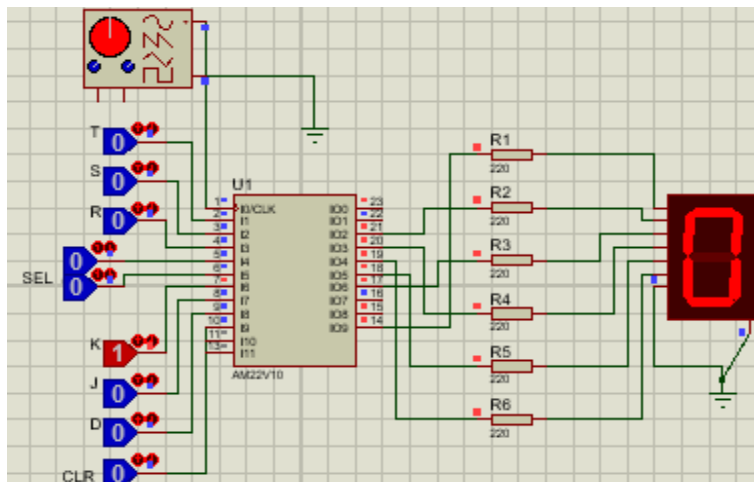
clk =	1	24	* not used
t =	2	23	= qt
s =	3	22	= qjk
r =	4	21	= display(4)
sel(1) =	5	20	= display(2)
sel(0) =	6	19	= display(0)
k =	7	18	= display(1)
j =	8	17	= display(3)
d =	9	16	= qd
clr =	10	15	= qsr
not used *	11	14	= display(5)
not used *	12	13	* not used

FLIP FLOP JK (SELECTOR 00)

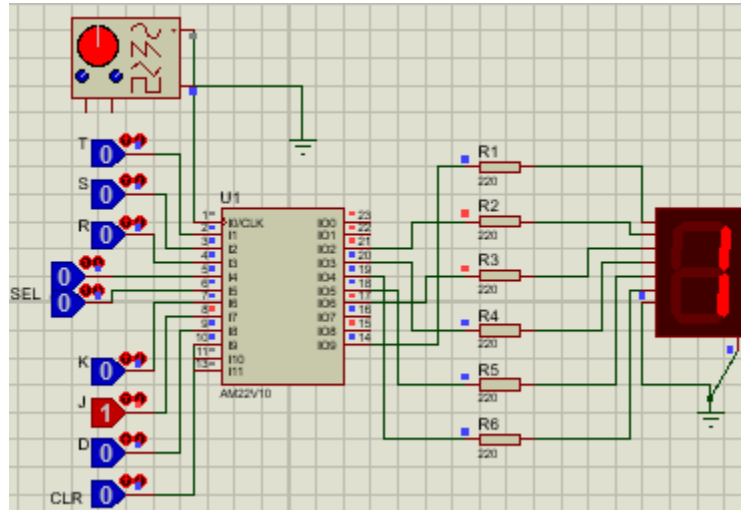
Caso 00 (Q)



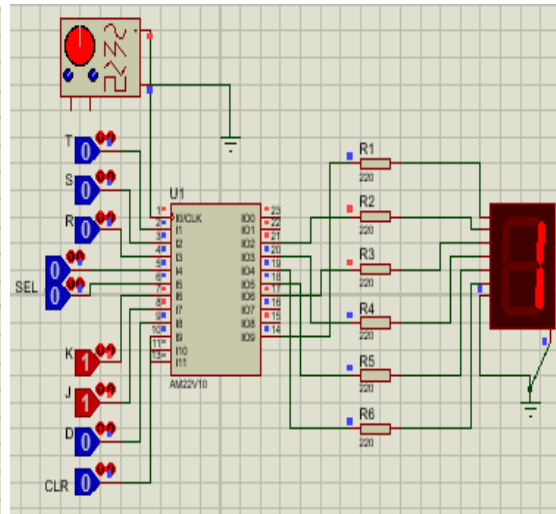
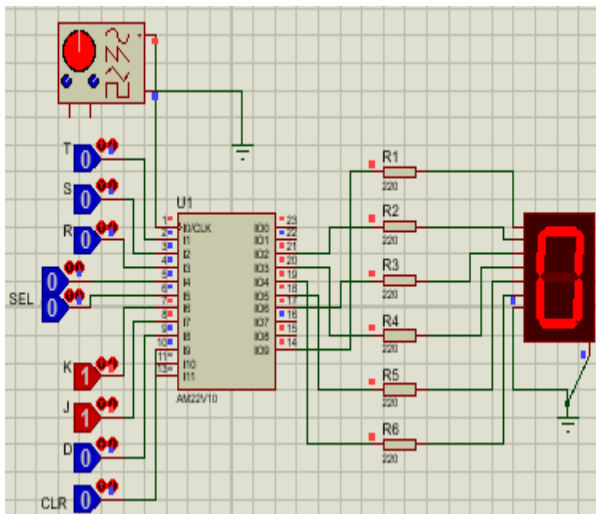
Caso 01 (0)



Caso 10 (1)

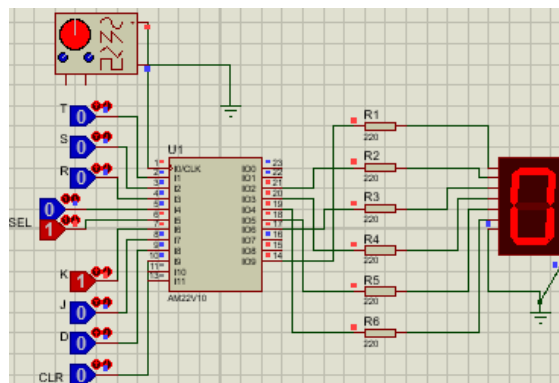


Caso 11 (Oscila)

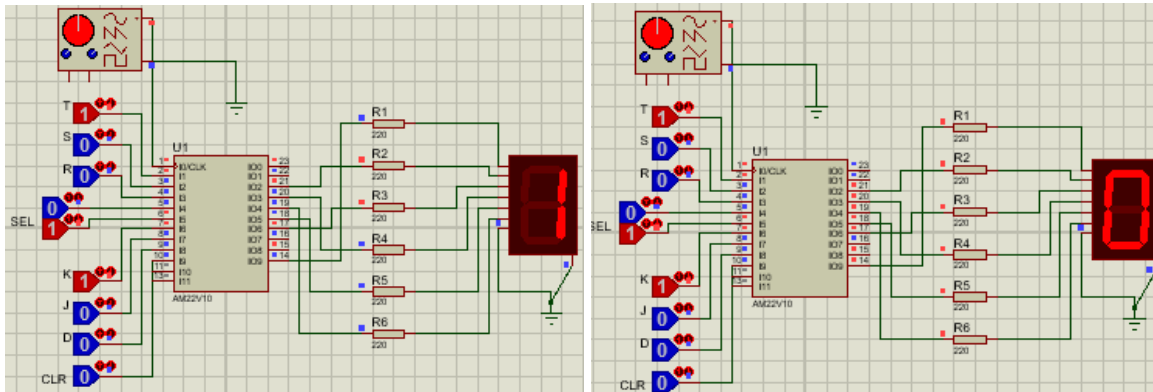


FLIP FLOP T (SELECTOR 01)

Caso 0 (Q)

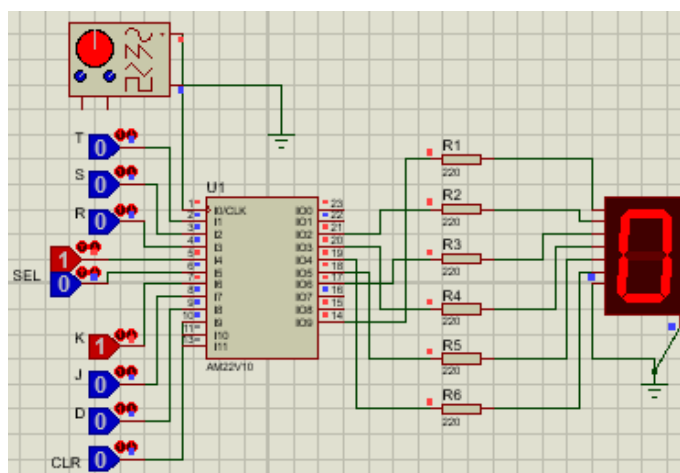


Caso 1 (Oscila)

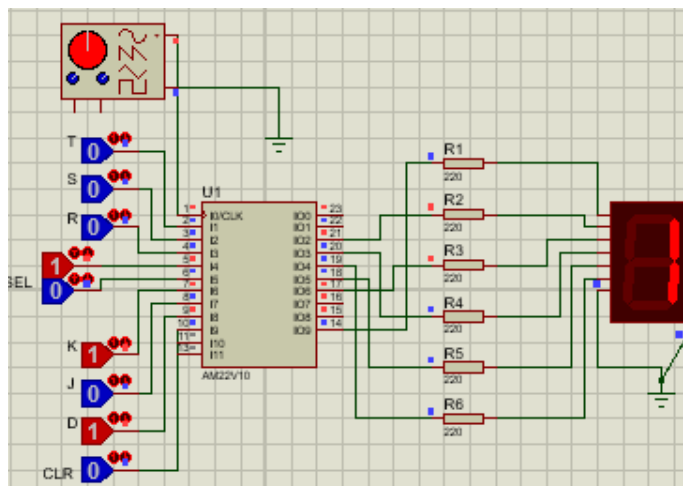


FLIP FLOP D (SELECTOR 10)

Caso 0 (0)

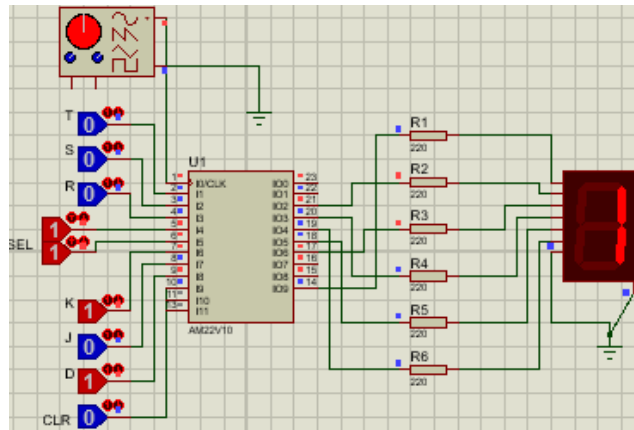


Caso 1 (1)

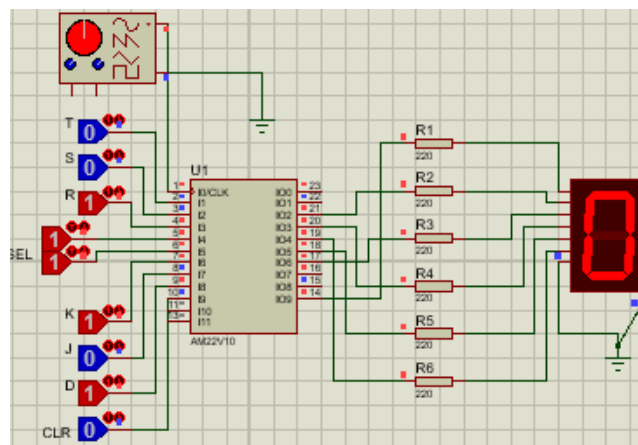


FLIP FLOP SR (SELECTOR 11)

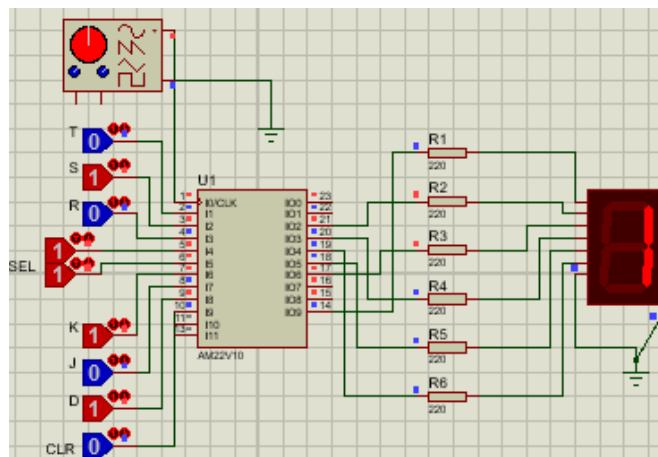
Caso 00 (Q)



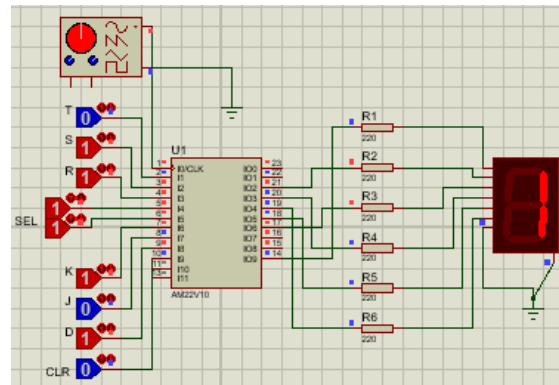
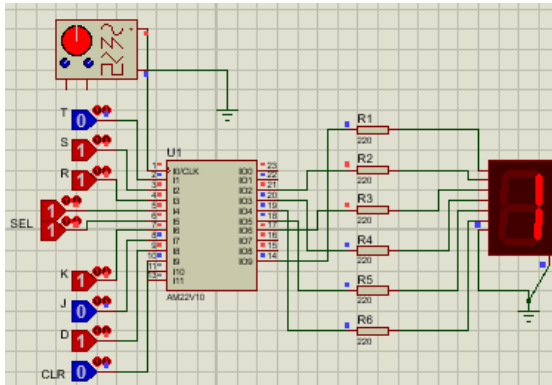
Caso 01 (0)



Caso 10 (1)



Caso 11 (inválido)



CUESTIONARIO

¿CUÁNTOS DISPOSITIVOS PLD 22V10 SON NECESARIOS PARA EL DESARROLLO DE ESTA PRÁCTICA?

1

¿CUÁNTOS PINES DE E/S DE LA 22V10 SE USAN EN EL DISEÑO?

20

¿POR QUÉ APARECEN LAS SEÑALES QJK, QT, QD Y QSR ENTRE PARÉNTESIS EN LOS PINES DE SALIDA?

Porque son entradas y salidas

¿CUÁLES SON LAS SEÑALES QUE FUNCIONAN DE MANERA ASÍNCRONA Y CUÁLES DE MANERA SÍNCRONA?

Los asíncronas sel y clr, el resto son síncronas

¿QUÉ PUEDES CONCLUIR DE ESTA PRÁCTICA?

Las computadoras deben ser mucho más complejas de lo que pensaba en la parte de almacenamiento