#### CÓDIGO FUENTE

```
1 library ieee;
 2 use ieee.std_logic_1164.all;
 3
 4 entity matriz is port(
      CLK, CLR: in std logic;
      F : in std_logic_vector (3 downto 0);
 7
      D : out std logic vector (6 downto 0);
       C : inout std logic vector (2 downto 0)
 8
 9);
10 end entity;
12 architecture aMatriz of matriz is
13 begin
14
      process (CLK, CLR)
15
      begin
           if CLR = '1' then
16
               C <= "000";
17
18
           elsif rising_edge(CLK) then
               --Contador de anillo
19
20
               if C = "110" then
21
                   C <= "101";
22
               elsif C = "101" then
23
                   C <= "011";
24
               else
25
                   C <= "110";
26
               end if:
27
           end if:
28
      end process;
30
       process (CLK, CLR)
31
       begin
32
           if CLR = '1' then
33
               D <= "0000000";
34
           elsif rising edge(CLK) then
35
               --Registro
               if not(F(0)) and F(1) and F(2) and F(3)) = '1' then
36
37
                   case F is
38
                        when "0111" =>
                            if C = "110" then
39
40
                                D <= "0110000"; --1
41
                            elsif C = "101" then
42
                                D <= "1101101"; --2
43
                            else
44
                                D <= "1111001"; --3
45
                            end if:
```

```
46
                        when "1011" =>
47
                            if C = "110" then
48
                                D <= "0110011"; --4
49
                            elsif C = "101" then
                                D <= "1011011"; --5
50
51
                            else
                                D <= "10111111"; --6
52
53
                            end if:
                        when "1101" =>
54
55
                            if C = "110" then
56
                                D <= "1110000"; --7
57
                            elsif C = "101" then
58
                                D <= "11111111"; --8
59
                            else
                                D <= "1110011"; --9
60
61
                            end if:
62
                        when others =>
                            if C = "110" then
63
                                D <= "1110111"; -- A de asterisco
64
                            elsif C = "101" then
65
                                D <= "1111110"; --0
66
67
                            else
68
                                D <= "1111011"; --g de gato
69
                            end if:
70
                   end case;
71
               else
72
                    D \ll D;
73
               end if:
74
           end if:
75
       end process;
76 end architecture;
```

#### SIMULACIONES EN GALAXY

Para la fila 1: como C cambia con el clock se verá 1, 2 y 3

Name	Value	Stimulator		5,0	6 T	- 100 · i	· 150 ·	1 200 -	. 250	. 300 .	1 - 350 - 1	40 400 ns
P− clk	0	Clock										
¤-clr	0	<= 0										
<b>+ □ · f</b>	7	<= 0111	(7									
± - C	6		=	(0	χ6		X5		χ3		X6	
+ 🗢 d	79		Z	(00	<b>)</b> (79		X3	0	X6E	)	(79	

Para la fila 2 se verá 4, 5 y 6

Name	Value	Stimulator		1 . 5)	0	· 100 ·	i + 1	50 · i	· 200 ·	1 . 2	50 · ı	300 -	ı . 350		400
<b>⊳</b> clk	0	Clock													
P- clr	0	<= 0													
<b>∓ ⊳</b> - f	В	<= 1011	(B												
<b>+</b> ← с	6		Œ	χο							X3			X6	
+ • d	5F		Ø	X00				(33			∑(5B			∑5F	

### Para la fila 3, se verá 7, 8 y 9

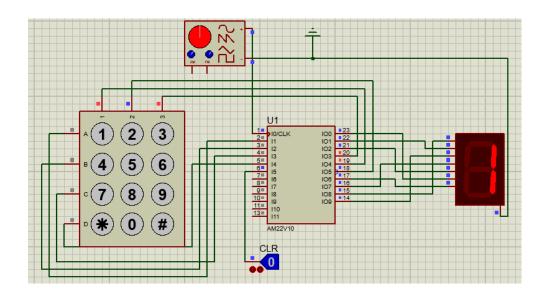
Name	Value	Stimulator	50 100 150 200 250 300 350 40 <mark>/40</mark> 0	) ns
P- dk	0	Clock		
P- clr	0	<= 0		
± - f	D	<= 1101	(D	
± → c	6		<u>Z X0 X6 X5 X3 X6</u>	
<b>+</b>	73		ZZ X00 X73 X70 X7F X73	

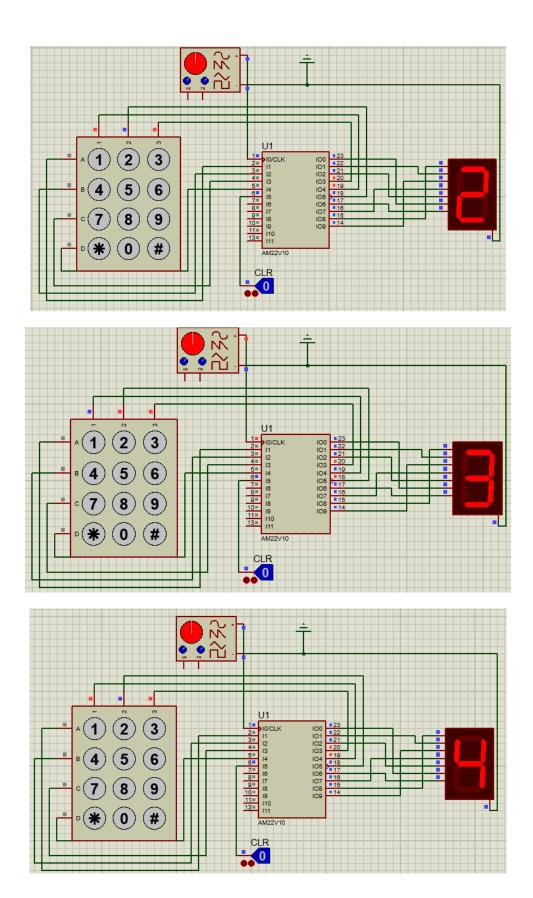
#### Para la fila 4, se verá A, 0 y g

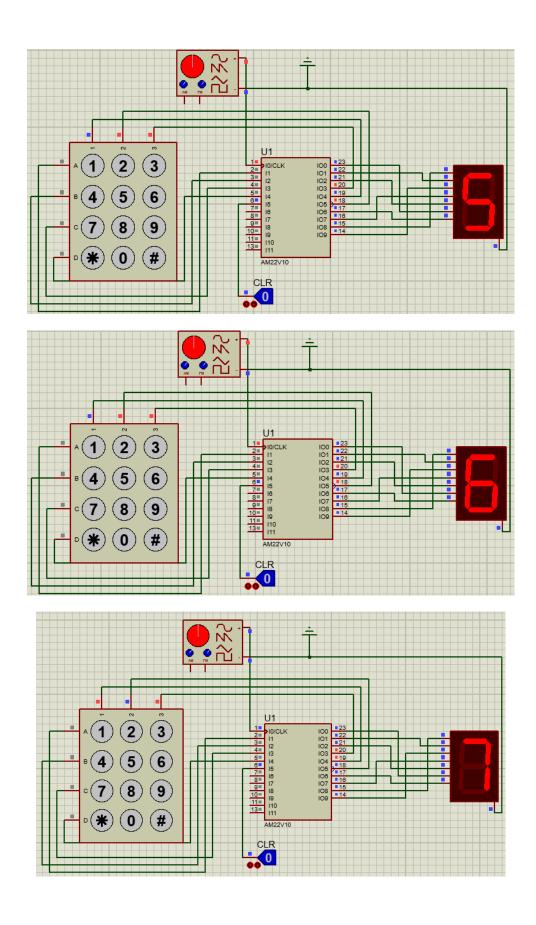
Name	Value	Stimulator	1 - 50 - 1 - 100 -	ı · 150 · ı · 200 ·	1 250 1 300	350 40 <mark>*400 ns</mark>
¤ clk	0	Clock				
¤- clr	0	<= 0				
<b>+ □ f</b>	E	<= 1110	Œ			
±⇔с	6		(Z X0 X6	X5	)(3	X6
<b>⊞</b> • d	7B		ZZ X00 X7B	)(77		)(7B

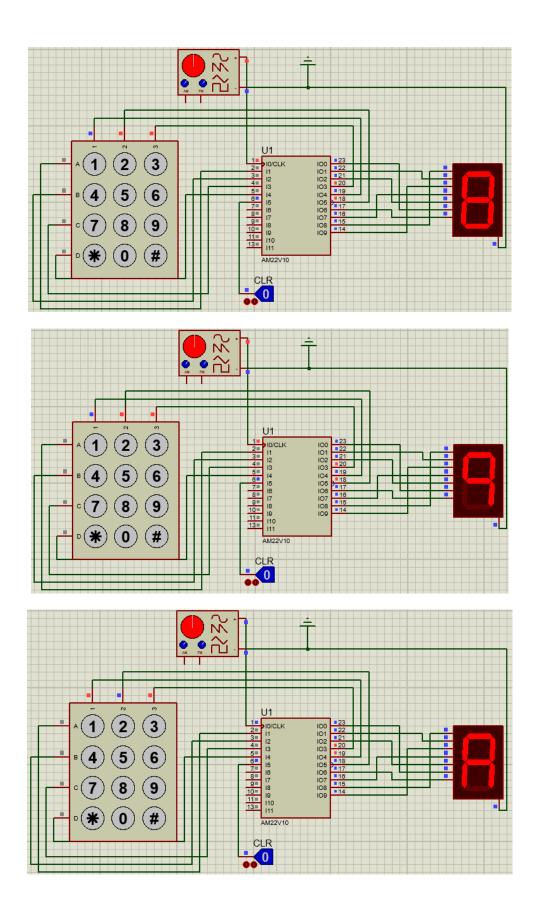
## SIMULACIÓN EN PROTEUS

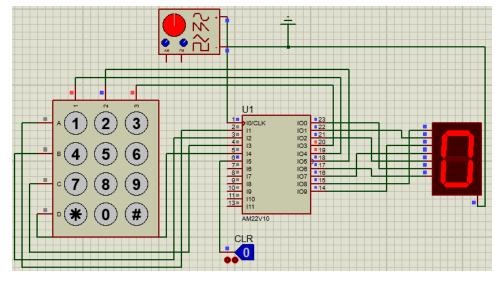
```
|24|* not used
     c1k =| 1|
    f(3) = |2|
                                                     |23| = d(1)
    f(2) = |3|
                                                     |22| = d(5)
    f(1) = |4|
                                                     |21| = d(2)
    f(0) = |5|
                                                     |20| = c(2)
     clr =| 6|
                                                     |19| = c(0)
not used *| 7|
                                                     |18| = c(1)
not used *| 8|
                                                     |17| = d(0)
not used *| 9|
                                                     |16| = d(3)
not used *|10|
                                                     |15| = d(6)
not used *|11|
                                                     |14| = d(4)
not used *|12|
                                                     |13|* not used
```

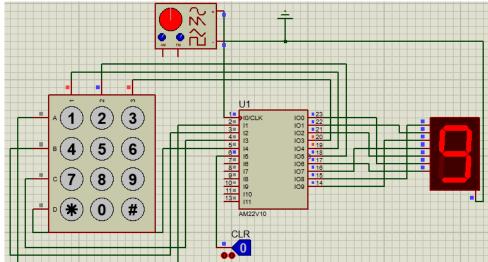












# CUESTIONARIO

1. ¿Cuántos dispositivos PLD 22V10 son necesarios para el desarrollo de esta práctica?

1

2. ¿Cuántos dispositivos de la serie 74xx (TTL) o 40xx (CMOS) hubieras necesitado para el desarrollo de esta práctica?

18 mínimo.

3. ¿Cuántos pines de entrada/salida del PLD 22V10 se usan en el diseño?

16 pines, que son el 72% del total.

- 4. ¿Cuántos términos producto ocupan las ecuaciones para cada señal de salida y que porcentaje se usa en total del PLD 22V10?
- 72, o sea, el 59% del total.
- 5. ¿Qué frecuencia se debe utilizar para detectar la tecla presionada?

Bueno, yo usé 30 Hertz.

6. ¿Cuáles son las señales que funcionan de manera síncrona y cuáles de manera asíncrona?

Síncrona es CLR, el resto son asíncronas

7. ¿Qué puedes concluir de esta práctica?

Ahora entiendo por qué a veces un control puede no funcionar, aunque le apriete una tecla. Es increíble ver cómo ahora entiendo más el mundo en general. Aunque no me gustaba Sistemas digitales, creo que con esta materia me comienza a parecer muy interesante todo.