

MAX 10 エンベデッド・メモリ・ユーザーガイド

目次

MAX 10 エンベデッド・メモリの概要	1-1
MAX 10 エンベデッド・メモリのアーキテクチャと機能	2-1
MAX 10 エンベデッド・メモリの一般的な機能.....	2-1
コントロール信号.....	2-2
パリティ・ビット.....	2-2
読み取りイネーブル.....	2-2
Read-During-Write.....	2-3
バイト・イネーブル.....	2-3
パック・モードのサポート.....	2-5
アドレス・クロック・イネーブルのサポート.....	2-6
非同期クリア.....	2-7
MAX 10 エンベデッド・メモリの動作モード.....	2-8
サポートされるメモリの動作モード.....	2-9
MAX 10 エンベデッド・メモリのクロック・モード.....	2-11
クロック・モードの非同期クリア.....	2-12
同時読み取り/書き込みにおける出力読み取りデータ.....	2-12
クロック・モードの独立クロック・イネーブル.....	2-12
MAX 10 エンベデッド・メモリの構成.....	2-12
ポート幅コンフィギュレーション.....	2-13
データ幅混合ポートのコンフィギュレーション.....	2-13
最大ブロック深度の設定.....	2-14
MAX 10 エンベデッド・メモリのデザイン検討事項	3-1
外部の競合解決を実装する.....	3-1
Read-During-Write 動作をカスタマイズする.....	3-1
同一ポートの Read-During-Write モード.....	3-2
混合ポートの Read-During-Write モード.....	3-3
パワーアップ状態およびメモリの初期化.....	3-4
クロッキングをコントロールして消費電力を削減する.....	3-5
Read-During-Write 出力の選択.....	3-6
RAM: 1-PORT IP コア・リファレンス	4-1
MAX 10 デバイスの RAM: 1-PORT IP コア信号.....	4-2
MAX 10 デバイスの RAM: 1-PORT IP コアのパラメータ.....	4-4
RAM: 2-PORT IP コア・リファレンス	5-1
MAX 10 デバイスの RAM: 2-PORT IP コア信号（シンプル・デュアル・ポート RAM）.....	5-5

MAX 10 デバイスの RAM: 2-PORT IP コア信号 (トウルー・デュアル・ポート RAM) ...	5-7
MAX 10 デバイスの RAM: 2-PORT IP コアのパラメータ	5-10
ROM: 1-PORT IP コア・リファレンス.....	6-1
MAX 10 デバイスの ROM: 1-PORT IP コア信号.....	6-2
MAX 10 デバイスの ROM: 1-PORT IP コアのパラメータ.....	6-4
ROM: 2-PORT IP コア・リファレンス.....	7-1
MAX 10 デバイスの ROM: 2-PORT IP コア信号.....	7-3
MAX 10 デバイスの ROM: 2-PORT IP コアのパラメータ.....	7-5
シフト・レジスタ (RAM ベース) IP コア・リファレンス.....	8-1
MAX 10 デバイスのシフト・レジスタ (RAM ベース) IP コア信号.....	8-1
MAX 10 デバイスのシフト・レジスタ (RAM ベース) IP コアのパラメータ.....	8-2
FIFO IP コア・リファレンス.....	9-1
MAX 10 デバイスの FIFO IP コア信号.....	9-2
MAX 10 デバイスの FIFO IP コアのパラメータ	9-5
ALTMEMMULT IP コア・リファレンス.....	10-1
MAX 10 デバイスの ALTMEMMULT IP コア信号.....	10-1
MAX 10 デバイスの ALTMEMMULT IP コアのパラメータ	10-2
MAX 10 エンベデッド・メモリ・ユーザーガイドの追加情報.....	A-1
MAX 10 エンベデッド・メモリ・ユーザーガイド改訂履歴.....	A-1

MAX 10 エンベデッド・メモリの概要

1

2014.09.22

UG-M10MEMORY



署名



フィードバック

MAX[®] 10 エンベデッド・メモリ・ブロックは、高スループット・パケット処理、エンベデッド・プロセッサ・プログラム、およびエンベデッド・データ・ストレージなどのアプリケーションに最適です。

© 2014 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, ENPIRION, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO
9001:2008

MAX 10 エンベデッド・メモリのアーキテクチャと機能

2

2014.09.22

UG-M10MEMORY



署名



フィードバック

MAX 10 エンベデッド・メモリ構造は、9,216 ビット（パリティ・ビットを含む）のブロックで構成されています。RAM、ROM、シフト・レジスタ、FIFO などのさまざまなメモリ機能を提供するために、各 M9K ブロックは異なる幅およびコンフィギュレーションで使用することができます。

以下に MAX 10 エンベデッド・メモリ機能の概要を示します。

- ・ エンベデッド・メモリの一般的な機能
- ・ エンベデッド・メモリの動作モード
- ・ エンベデッド・メモリのクロック・モード

関連情報

MAX 10 Device Overview

MAX 10 デバイスのエンベデッド・メモリ容量と分配についての詳細です。

MAX 10 エンベデッド・メモリの一般的な機能

MAX 10 エンベデッド・メモリは、以下の一般的な機能をサポートします。

- ・ ブロックあたり 8,192 メモリ・ビット（パリティ・ビットを含めた場合、ブロックあたり 9,216 ビット）
- ・ 各ポートの独立した読み取りイネーブル（*rden*）信号および書き込みイネーブル（*wren*）信号
- ・ M9K メモリ・ブロックが 2 つの 4.5 K シングル・ポート RAM に分割されたパック・モード
- ・ 可変ポート・コンフィギュレーション
- ・ すべてのポート幅におけるシングル・ポート・モードおよびシングル・デュアル・ポート・モードのサポート
- ・ トゥルー・デュアル・ポート（1 回の読み取りと 1 回の書き込み、2 回の読み取り、あるいは 2 回の書き込み）動作
- ・ 書き込み中のデータ入力マスキングのバイト・イネーブル
- ・ 各ポート（ポート A とポート B）の 2 つのクロック・イネーブル・コントロール信号
- ・ RAM および ROM モードでメモリの内容をプリロードするための初期化ファイル

© 2014 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, ENPIRION, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

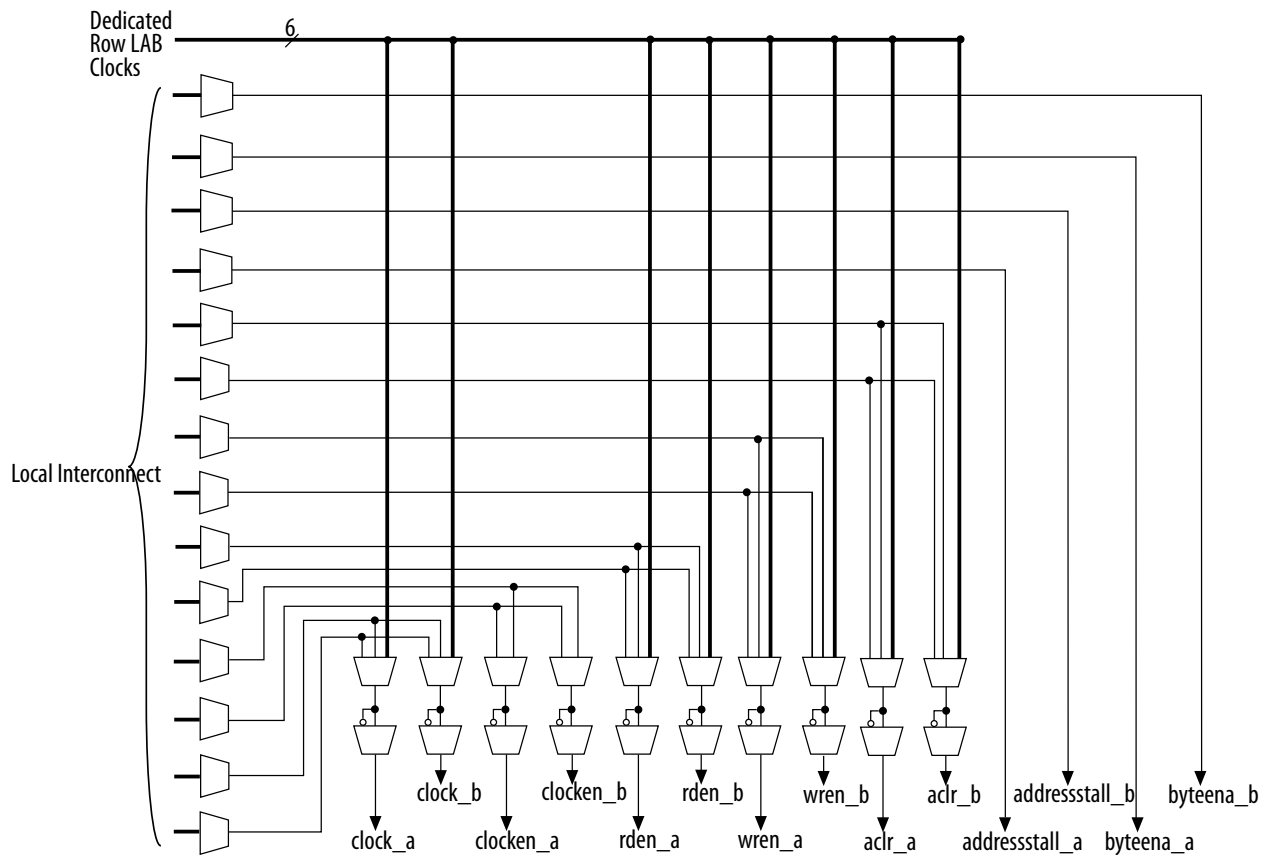
ISO
9001:2008

コントロール信号

クロック・イネーブル・コントロール信号は、入力レジスタと出力レジスタ、および M9K メモリ・ブロック全体に入力するクロックを制御します。この信号は、M9K メモリ・ブロックがクロック・エッジを検出しないよう、またどんな動作も実行しないようにクロックをディセーブルします。

`rden` および `wren` コントロール信号は、M9K メモリ・ブロックの各ポートの書き込み動作と読み取り動作を制御します。動作が必要ない場合、電力を節約するために `rden` および `wren` 信号を個別にディセーブルすることができます。

図 2-1: M9K エンベデッド・メモリ・ブロックにおけるレジスタ・クロック、クリア、およびコントロール信号の実装



パリティ・ビット

パリティ・ビットを内部ロジック・リソースと併せて使用して、エラー検出のためのパリティ・チェックを実行することができます。M9K メモリ・ブロックは、各ストレージ・バイトのパリティ・ビットをサポートします。このビットは、パリティ・ビットまたは追加のデータ・ビットとして使用することができます。このビットではパリティ機能は実行されません。エラー検出が必要ない場合、パリティ・ビットは追加データ・ビットとして使用することができます。

読み取りイネーブル

M9K メモリ・ブロックは、すべてのメモリ・モードの読み取りイネーブル機能をサポートします。

以下を実行した場合：	次のようになります：
読み取りイネーブル・ポートを作成し、読み取りイネーブル・ポートがディassertされた状態で書き込み動作を実行する	データ出力ポートは、直近のアクティブ読み取りイネーブル中に保持していた以前の値を継続して保持する
<ul style="list-style-type: none">書き込み動作中に読み取りイネーブルをアクティブにする、または読み取りイネーブル信号を作成しない	出力ポートは以下を表示します： <ul style="list-style-type: none">新しく書き込まれているデータ、そのアドレスにある古いデータ、または同じアドレス位置で Read-During-Write が実行される際の“Don't Care”の値

Read-During-Write

Read-During-Write 動作は、読み取り動作と書き込み動作が同時に同じメモリ位置を対象としているときに実行されます。

Read-During-Write 動作は、以下の方法で動作します。

- 同一ポート
- 混合ポート

関連情報

3-1 ページの [Read-During-Write 動作をカスタマイズする](#)

バイト・イネーブル

- RAM として実装されるメモリ・ブロックは、バイト・イネーブルをサポートします。
- バイト・イネーブル・コントロールは、データの特定のバイトのみが書き込まれるよう入力データをマスクします。書き込まれないバイトは以前に書き込まれた値を保持します。
- 書き込みイネーブル (wren) 信号は、バイト・イネーブル (byteena) 信号と共に RAM ブロック上の書き込み動作を制御します。デフォルトでは、byteena 信号は High (イネーブル) となっており、書き込み動作は wren 信号によってのみ制御されます。
- バイト・イネーブル・レジスタは clear ポートを有しません。
- M9K ブロックは、書き込みポートのデータ幅が×16、×18、×32、または×36 ビットのときにバイト・イネーブルをサポートします。
- バイト・イネーブルは 1 ホット形式で動作します。byteena 信号の LSB はデータ・バスの LSB に対応します。たとえば、byteena = 01 で RAM ブロックを×18 モードで使用している場合、data[8:0]がイネーブルされ、data[17:9]がディセーブルされます。同様に、byteena = 11 の場合、data[8:0]と data[17:9]の両方がイネーブルされます。
- バイト・イネーブルはアクティブ High です。

バイト・イネーブル・コントロール

表 2-1: M9K ブロックのバイト・イネーブル選択

byteena[3:0]	影響のあるバイト（どのバイト・イネーブルの組み合わせも可能です）			
	datain x 16	datain x 18	datain x 32	datain x 36
[0] = 1	[7:0]	[8:0]	[7:0]	[8:0]
[1] = 1	[15:8]	[17:9]	[15:8]	[17:9]
[2] = 1	—	—	[23:16]	[26:18]
[3] = 1	—	—	[31:24]	[35:27]

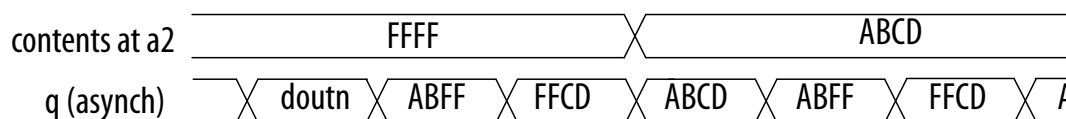
データ・バイト出力

以下を実行する場合：	次のようになります：
書き込みサイクル中にバイト・イネーブル・ビットをディアサートする	メモリ内の古いデータが対応するデータ・バイト出力に表示されます。
書き込みサイクル中にバイト・イネーブル・ビットをアサートする	対応するデータ・バイト出力は、Quartus® II ソフトウェアの設定によって決まります。設定は新たに書き込まれたデータか、その位置にある古いデータのいずれかになります。

RAM ブロックの動作

次の図は、wren 信号と byteena 信号が RAM の動作を制御する方法を図示しています。

図 2-2: バイト・イネーブル機能の波形



この機能波形では、New Dataモードが選択されています。

パック・モードのサポート

以下の条件の下、単一ブロックに2つのシングル・ポート・メモリ・ブロックを実装することができます。

- 2つの独立したブロックのサイズがそれぞれ、M9K ブロック・サイズの半分以下であること。独立した各ブロックの最大データ幅が 18 ビット幅であること。
- 各シングル・ポート・メモリ・ブロックがそれぞれ、シングル・クロック・モードでコンフィギュレーションされていること。

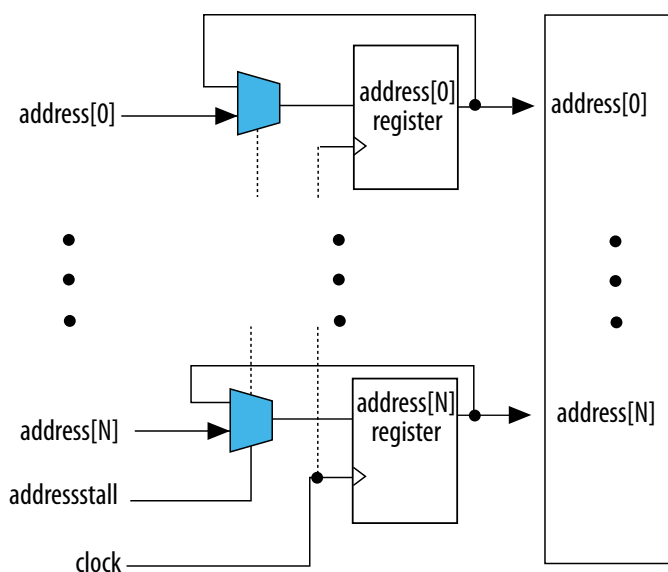
関連情報

2-11 ページの [MAX 10 エンベデッド・メモリのクロック・モード](#)

アドレス・クロック・イネーブルのサポート

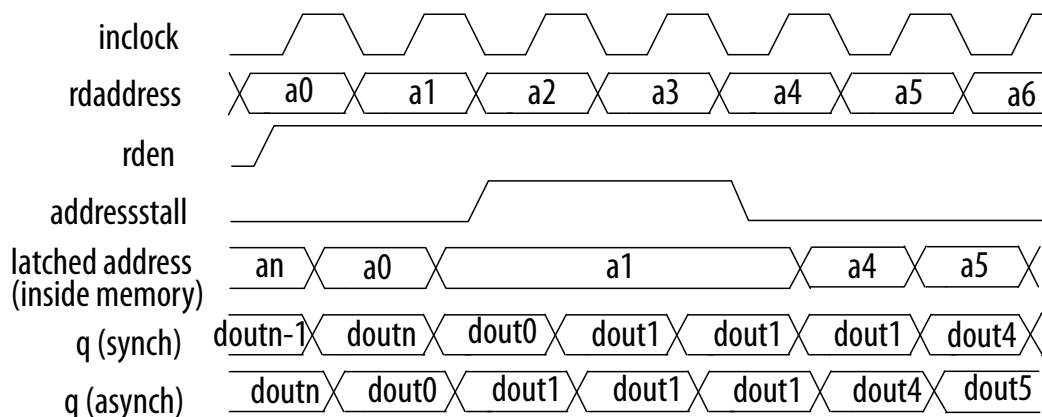
- アドレス・クロック・イネーブル機能は、アドレス・クロック・イネーブル信号 (addressstall) がイネーブルされている間 (addressstall = 1) 以前のアドレス値を保持します。
- M9K メモリ・ブロックをデュアル・ポート・モードでコンフィギュレーションすると、各ポートは独立した専用のアドレス・クロック・イネーブルを有します。
- アドレス・クロック・イネーブル機能を使用して、キャッシュ・ミス時にキャッシュ・メモリ・アプリケーションの有効性を向上させます。
- addressstall 信号のデフォルト値は Low です。
- アドレス・レジスタ出力は、マルチプレクサを使用してレジスタ入力にフィード・バックします。マルチプレクサ出力は addressstall 信号によって選択されます。

図 2-3: アドレス・クロック・イネーブルのブロック図



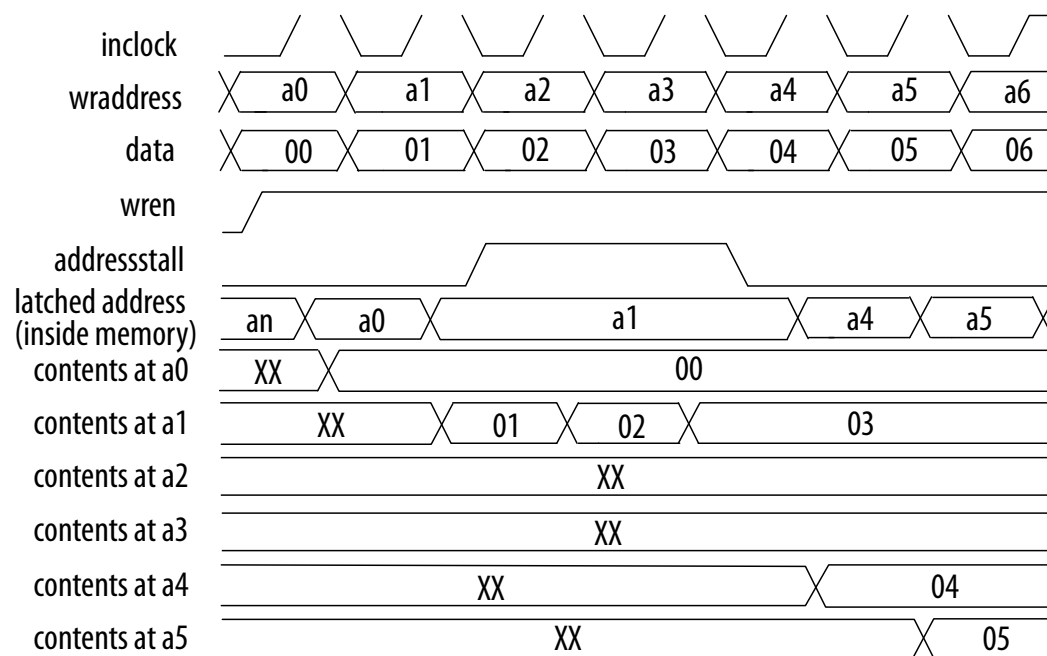
読み取りサイクル中のアドレス・クロック・イネーブルの波形

図 2-4: 読み取りサイクル中のアドレス・クロック・イネーブルの波形



書き込みサイクル中のアドレス・クロック・イネーブルの波形

図 2-5: 書き込みサイクル中のアドレス・クロック・イネーブルの波形



非同期クリア

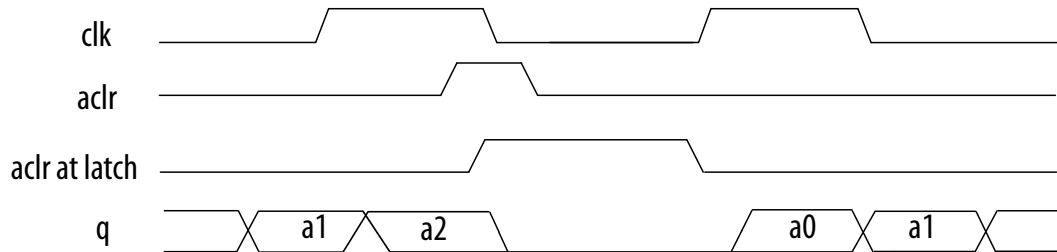
RAM: 1-PORT および RAM: 2-PORT IP コアを使用して、ロジカル・メモリごとに非同期クリアを選択的にイネーブルすることができます。

M9k ブロックは、次の非同期クリアをサポートします。

- 読み取りアドレス・レジスタ：読み取り動作中に非同期クリアを読み取りアドレス・レジスタにアサートすると、メモリの内容が破損する可能性があります。
- 出力レジスタ：非同期クリアを出力レジスタに適用すると、非同期クリア信号は出力レジスタをクリアし、即時にそれを確認することができます。RAM が出力レジスタを使用しない場合でも、出力ラッチの非同期クリア機能を使用して RAM 出力をクリアすることができます。
- 出力ラッチ

注: 読み取りアドレス・レジスタ以外の入力レジスタはサポートされません。

図 2-6: 出力ラッチの非同期クリアの波形



関連情報

- [Internal Memory \(RAM and ROM\) User Guide](#)

M9K ブロックにおけるレジスタのリセット

M9K ブロックのレジスタをリセットするには、3つの方法があります。

- デバイスをパワー・アップする
- 出力レジスタにのみ **aclr** 信号を使用する
- DEV_CLRn** オプションを使用して、デバイス・ワイドのリセット信号をアサートする

MAX 10 エンベデッド・メモリの動作モード

M9K メモリ・ブロックにより、複数の動作モードで完全同期 SRAM メモリを実装することができます。M9K メモリ・ブロックは、非同期（レジスタに格納されていない）メモリ入力をサポートしません。

注: M9K メモリ・ブロック入力レジスタでセットアップまたはホールド・タイムに違反すると、メモリの内容が破損する可能性があります。これは読み取りおよび書き込み動作のいずれにも当てはまります。

サポートされるメモリの動作モード

表 2-2: M9K エンベデッド・メモリ・ブロックでサポートされるメモリ動作モード

メモリの動作モード	関連する IP コア	説明
シングル・ポート RAM	RAM: 1-PORT IP コア	<p>シングル・ポート・モードは、単一アドレスからの非同時の読み取りおよび書き込み動作をサポートします。</p> <p>書き込み動作中は、読み取りイネーブル・ポートを使用して RAM の出力ポートの動作を制御します。</p> <ul style="list-style-type: none">新しく書き込まれているデータ、あるいはそのアドレスの古いデータのいずれかを表示するには、書き込み動作中に読み取りイネーブルをアクティブにします。直近のアクティブ読み取りイネーブル中に保持していた以前の値を継続して保持するには、読み取りイネーブル・ポートがデassertされた状態で書き込み動作を実行します。
シンプル・デュアル・ポート RAM	RAM: 2-PORT IP コア	<p>書き込み動作がポート A で起こり、読み取り動作がポート B で起こる異なる位置に、読み取り動作と書き込み動作を同時に実行することができます。</p>
トゥルー・デュアル・ポート RAM	RAM: 2-PORT IP コア	<p>2つのポート動作の任意の組み合わせを実行することができます。</p> <ul style="list-style-type: none">2つの読み取り、2つの書き込み、または、2つの異なるクロック周波数での1つの読み取りと1つの書き込み
シングル・ポート ROM	ROM: 1-PORT IP コア	<p>読み取り動作には1つのアドレス・ポートのみが使用可能です。</p> <p>メモリ・ブロックを ROM として使用することができます。</p> <ul style="list-style-type: none">.mif または .hex ファイルを使用して、メモリ・ブロックの ROM の内容を初期化します。ROM のアドレス・ラインはレジスタに格納されます。出力はレジスタに格納することも、しないことも可能です。ROM の読み取り動作は、シングル・ポート RAM コンフィギュレーションにおける読み取り動作と同じです。

メモリの動作モード	関連する IP コア	説明
デュアル・ポート ROM	ROM: 2-PORT IP コア	<p>デュアル・ポート ROM は、シングル・ポート ROM とほぼ同じ機能ポートを有します。この 2 つの相違点は、デュアル・ポート ROM は読み取り動作のための追加のアドレス・ポートを有することです。</p> <p>メモリ・ブロックを ROM として使用することができます。</p> <ul style="list-style-type: none"> • .mif または .hex ファイルを使用して、メモリ・ブロックの ROM の内容を初期化します。 • ROM のアドレス・ラインはレジスタに格納されます。 • 出力はレジスタに格納することも、しないことも可能です。 • ROM の読み取り動作は、シングル・ポート RAM コンフィギュレーションにおける読み取り動作と同じです。
シフト・レジスタ	シフト・レジスタ (RAM ベース) IP コア	<p>メモリ・ブロックをシフト・レジスタ・ブロックとして使用して、ロジック・セルと配線リソースを節約することができます。</p> <p>入力データ幅 (w)、タップの長さ (m)、およびタップの数 (n) によってシフト・レジスタの容量 ($w \times m \times n$) を決定します。</p> <p>より大きなシフト・レジスタを実装するためにメモリ・ブロックをカスケード接続することができます。</p>
FIFO	FIFO IP コア	<p>メモリ・ブロックを FIFO バッファとして使用することができます。</p> <ul style="list-style-type: none"> • シングル・クロック FIFO (SCFIFO) モードおよびデュアル・クロック FIFO (DCFIFO) モードで FIFO IP コアを使用して、デザインにシングルおよびデュアル・クロック FIFO バッファを実装します。 • クロック・ドメイン間でデータを転送しているときは、デュアル・クロック FIFO バッファを使用します。 • M9K メモリ・ブロックは、空の FIFO バッファからの同時の読み取りおよび書き込みをサポートしません。
メモリ・ベースのマルチプライヤ	ALTMEMMULT IP コア	メモリ・ブロックをメモリ・ベースのマルチプライヤとして使用することができます。

関連情報

MAX 10 エンベデッド・メモリに関連する IP

MAX 10 エンベデッド・メモリのクロック・モード

クロック・モード	説明	モード				
		トゥルー・デュアル・ポート	シンプル・デュアル・ポート	シングル・ポート	ROM	FIFO
独立クロック・モード	<p>独立したクロックは次のポートで使用可能です。</p> <ul style="list-style-type: none"> ポート A—クロック A がポート A 側のすべてのレジスタを制御します。 ポート B—クロック B がポート B 側のすべてのレジスタを制御します。 	あり	—	—	あり	—
入力/出力クロック・モード	<ul style="list-style-type: none"> M9K メモリ・ブロックは、シングル・ポート、トゥルー・デュアル・ポート、およびシンプル・デュアル・ポート・メモリ・モードの入力または出力クロック・モードを実装することができます。 入力クロックは data、address、byteena、wren、および rden レジスタを含む、メモリ・ブロックへのすべての入力レジスタを制御します。 出力クロックはデータ出力レジスタを制御します。 	あり	あり	あり	あり	—
読み取り/書き込みクロック・モード	<ul style="list-style-type: none"> M9K メモリ・ブロックは、読み取りおよび書き込みクロックの独立したクロック・イネーブルをサポートします。 読み取りクロックは、データ出力、読み取りアドレス、および読み取りイネーブル・レジスタを制御します。 書き込みクロックは、データ入力、書き込みアドレス、および書き込みイネーブル・レジスタを制御します。 	—	あり	—	—	あり
シングル・クロック・モード	シングル・クロックは、クロック・イネーブルと併用してメモリ・ブロックのすべてのレジスタを制御します。	あり	あり	あり	あり	あり

関連情報

- 2-5 ページの [パック・モードのサポート](#)
- 3-5 ページの [クロッキングをコントロールして消費電力を削減する](#)
- 2-12 ページの [同時読み取り/書き込みにおける出力読み取りデータ](#)

クロック・モードの非同期クリア

非同期クリアは、すべてのクロック・モードで出力ラッチと出力レジスタにのみ使用可能です。独立クロック・モードでは、非同期クリアはポート A とポート B に適用することができません。

同時読み取り/書き込みにおける出力読み取りデータ

読み取りまたは書き込みクロック・モードを使用して同じアドレス位置に同時読み取り/書き込みを実行する場合、出力読み取りデータは未知の値となります。出力読み取りデータが既知の値として必要な場合は、シングル・クロック・モードまたは入力/出力クロック・モードを使用して、RAM: 1-PORT および RAM: 2-PORT IP コアで適切な Read-During-Write 動作を選択します。

関連情報

2-11 ページの [MAX 10 エンベデッド・メモリのクロック・モード](#)

クロック・モードの独立クロック・イネーブル

表 2-3: 独立クロック・イネーブルでサポートされるクロック・モード

クロック・モード	説明
読み取り/書き込み	読み取りおよび書き込みクロックの両方でサポートされます。
独立	両ポートのレジスタでサポートされます。

MAX 10 エンベデッド・メモリの構成

表 2-4: M9K エンベデッド・メモリ・ブロックでサポートされる最大コンフィギュレーション

機能	M9K ブロック
コンフィギュレーション (深さ × 幅)	8192 × 1
	4096 × 2
	2048 × 4
	1024 × 8
	1024 × 9
	512 × 16
	512 × 18
	256 × 32
	256 × 36

ポート幅コンフィギュレーション

次の式はポート幅のコンフィギュレーションを定義します：メモリの深さ（ワードの数）× データ入力バスの幅

- ポート幅コンフィギュレーション（深さまたは幅のいずれか）が、内部メモリ・ブロックによってサポート可能な量を超える場合、追加のメモリ・ブロック（同じタイプのもの）が使用されます。たとえば、M9K をサポートされるポート幅 512×18 を超える 512×36 にコンフィギュレーションする場合、RAM を実装するにあたって 2 つの M9K が使用されます。
- サポートされるコンフィギュレーションに加えて、メモリの深さを 2 のべき乗以外に設定することができます。ただし、割り当てられる実際のメモリの深さは変えることができます。この変動は、実装されるリソースのタイプによって異なります。
- メモリが専用メモリ・ブロックに実装される場合、メモリの深さを 2 のべき乗以外に設定することは、実際のメモリの深さを反映します。
- 専用メモリ・ブロックを使用してメモリを実装する際は、実際のメモリの深さを確認するにあたってフィッタ・レポートを参照してください。

データ幅混合ポートのコンフィギュレーション

データ幅混合ポートのコンフィギュレーション・サポートによって、M9K メモリ・ブロックに異なるデータ幅の読み取りおよび書き込み動作を実行することができます。データ幅混合ポートのコンフィギュレーションは、以下のメモリ・モードによってサポートされます。

- シンプル・デュアル・ポート RAM
- トゥルー・デュアル・ポート RAM
- FIFO

M9K ブロックのデータ幅混合のコンフィギュレーション（シンプル・デュアル・ポート RAM モード）

読み取りポート	書き込みポート								
	8192×1	4096×2	2048×4	1024×8	512×16	256×32	1024×9	512×18	256×36
8192×1	あり	あり	あり	あり	あり	あり	—	—	—
4096×2	あり	あり	あり	あり	あり	あり	—	—	—
2048×4	あり	あり	あり	あり	あり	あり	—	—	—
1024×8	あり	あり	あり	あり	あり	あり	—	—	—
512×16	あり	あり	あり	あり	あり	あり	—	—	—
256×32	あり	あり	あり	あり	あり	あり	—	—	—
1024×9	—	—	—	—	—	—	あり	あり	あり
512×18	—	—	—	—	—	—	あり	あり	あり
256×36	—	—	—	—	—	—	あり	あり	あり

M9K ブロックのデータ幅混合のコンフィギュレーション（トゥルー・デュアル・ポート RAM モード）

読み取りポート	書き込みポート						
	8192 × 1	4096 × 2	2048 × 4	1024 × 8	512 × 16	1024 × 9	512 × 18
8192 × 1	あり	あり	あり	あり	あり	—	—
4096 × 2	あり	あり	あり	あり	あり	—	—
2048 × 4	あり	あり	あり	あり	あり	—	—
1024 × 8	あり	あり	あり	あり	あり	—	—
512 × 16	あり	あり	あり	あり	あり	—	—
1024 × 9	—	—	—	—	—	あり	あり
512 × 18	—	—	—	—	—	あり	あり

最大ブロック深度の設定

Set the maximum block depth パラメータは、使用する専用メモリ・ブロックの最大ブロック深度を制限することを可能にします。メモリ・ブロックは必要な最大ブロック深度にスライスすることができます。たとえば、M9K ブロックの容量が 9,216 ビットであると、各アドレスが 1 ビット (8K × 1) を保存できるデフォルトのメモリ深度は 8K です。最大ブロック深度を 512 に設定する場合、M9K ブロックは 512 の深さにスライスされ、各アドレスは最大 18 ビット (512 × 18) を保存することができます。

このパラメータを使用してデバイスにおける消費電力を節約し、使用されるメモリ・ブロックの数を削減します。ただし、このパラメータは LE の数を増加させ、デザインの性能に影響を与えることもあります。

RAM が浅くスライスされる場合、ダイナミック消費電力量が減少します。ただし、深度 256 の RAM ブロックでは、追加の LE によって使用される電力がより浅いスライスによって得られるパワー・ゲインを上回ります。

最大ブロック深度は 2 のべき乗である必要があり、有効な値はそれぞれの専用メモリ・ブロックで異なります。

次の表は、M9K メモリ・ブロックの最大ブロック深度の有効範囲をリストしています。

表 2-5: M9K メモリ・ブロックの最大ブロック深度の有効範囲

メモリ・ブロック	有効範囲
M9K	256 - 8K。最大ブロック深度は 2 のべき乗である必要があります。

最大ブロック深度に有効でない値を入力した場合、IP パラメータ・エディタにエラー・メッセージが表示されます。アルテラは、適切な最大ブロック深度が分からない場合やこの設定がデザインに重要でない場合は、**Set the maximum block depth** パラメータの値を **Auto** に設定することを推奨します。**Auto** 設定はコンパイラをイネーブルし、メモリの内部メモリ・ブロックのタイプに適したポート幅コンフィギュレーションの最大ブロック深度を選択します。

2014.09.22

UG-M10MEMORY



署名



フィードバック

デザインを確実に作成するには、いくつか考慮すべき事項があります。

外部の競合解決を実装する

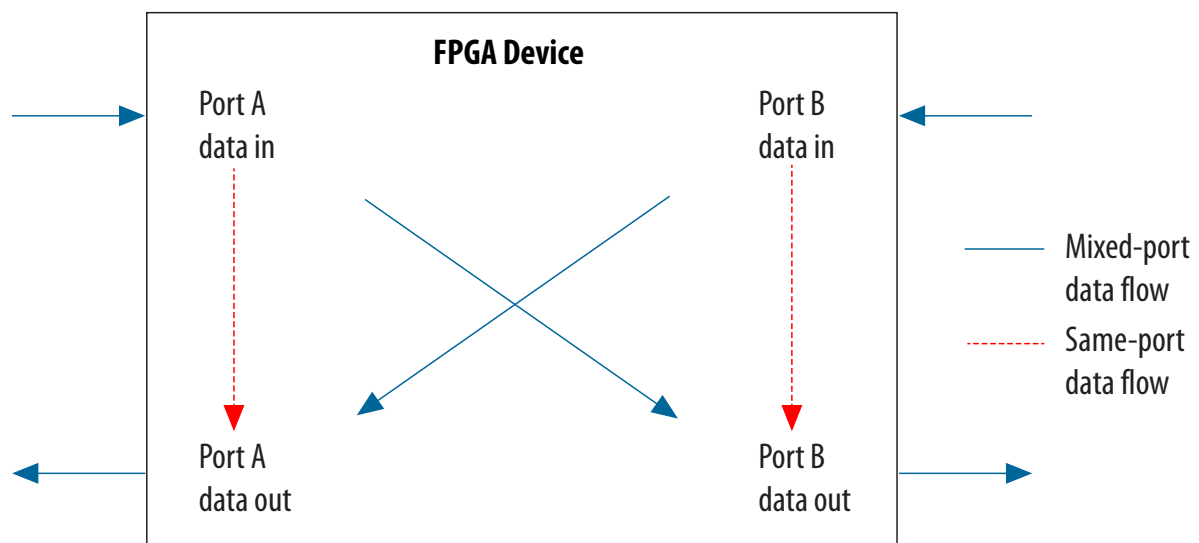
トウルー・デュアル・ポート RAM モードでは、同じメモリ位置に 2 つの書き込み動作を実行することができます。ただし、メモリ・ブロックは内部競合解決回路を有しません。

アドレスに未知のデータが書き込まれることを防ぐには、メモリ・ブロックに外部競合解決ロジックを実装します。

Read-During-Write 動作をカスタマイズする

デザイン要件に合うよう、メモリ・ブロックの Read-During-Write 動作をカスタマイズします。

図 3-1: 2 つのタイプの Read-During-Write 動作における違い—同一ポートと混合ポート



関連情報

2-3 ページの [Read-During-Write](#)

© 2014 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, ENPIRION, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO
9001:2008

同一ポートの Read-During-Write モード

同一ポートの Read-During-Write モードは、シングル・ポート RAM またはトゥルー・デュアル・ポート RAM の同一ポートに適用します。

表 3-1: 同一ポート Read-During-Write モードでのエンベデッド・メモリ・ブロックの出力モード

次の表は、同一ポート Read-During-Write モードのエンベデッド・メモリ・ブロックを選択する場合に使用可能な出力モードをリストしています。

出力モード	説明
"new data" (フロースルー)	<p>新しいデータは、新しいデータが書き込まれるのと同じクロック・サイクルの立ち上がりエッジで使用可能です。</p> <p>New Data モードをバイト・イネーブルと併せて使用すると、RAM の出力を制御することができます。</p> <p>バイト・イネーブルが High のとき、メモリに書き込まれたデータは出力に送られます（フロースルー）。</p> <p>バイト・イネーブルが Low のとき、マスク・オフされたデータはメモリに書き込まれず、メモリ内の古いデータが出力に現れます。そのため、出力は byteena によって決定される新しいデータと古いデータの組み合わせにすることができます。</p>
"don't care"	RAM 出力は書き込み動作を進める前に、そのアドレスにある古いデータを反映します。

図 3-2: 同一ポートの Read-During-Write : New Data モード

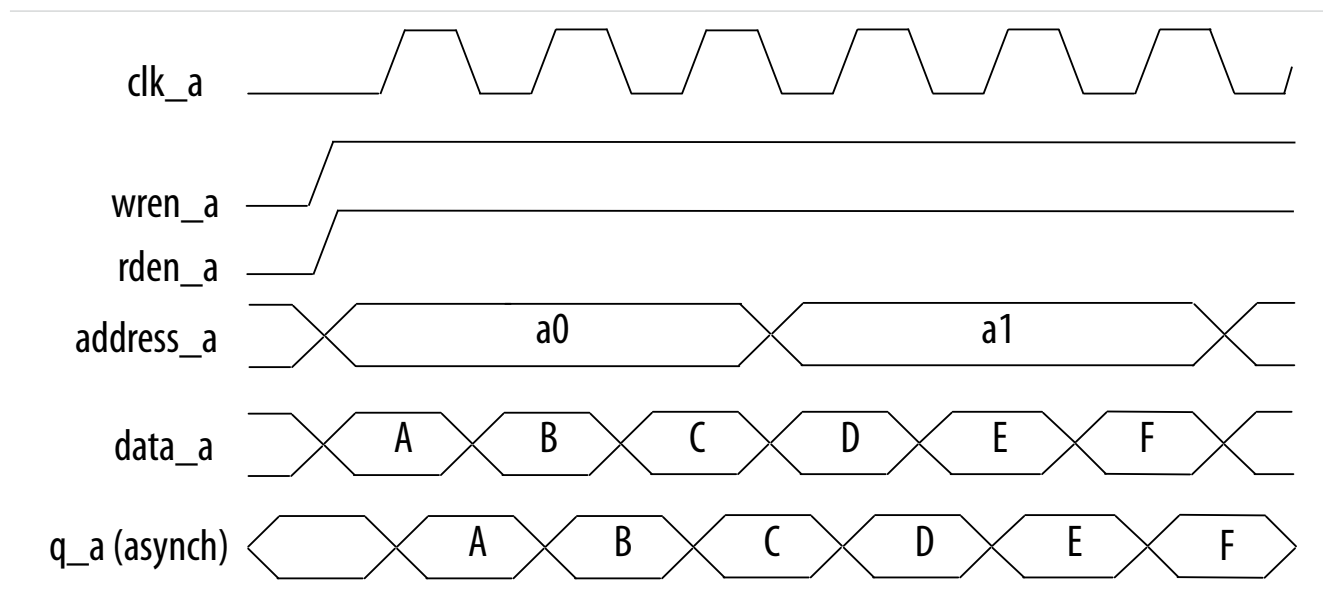
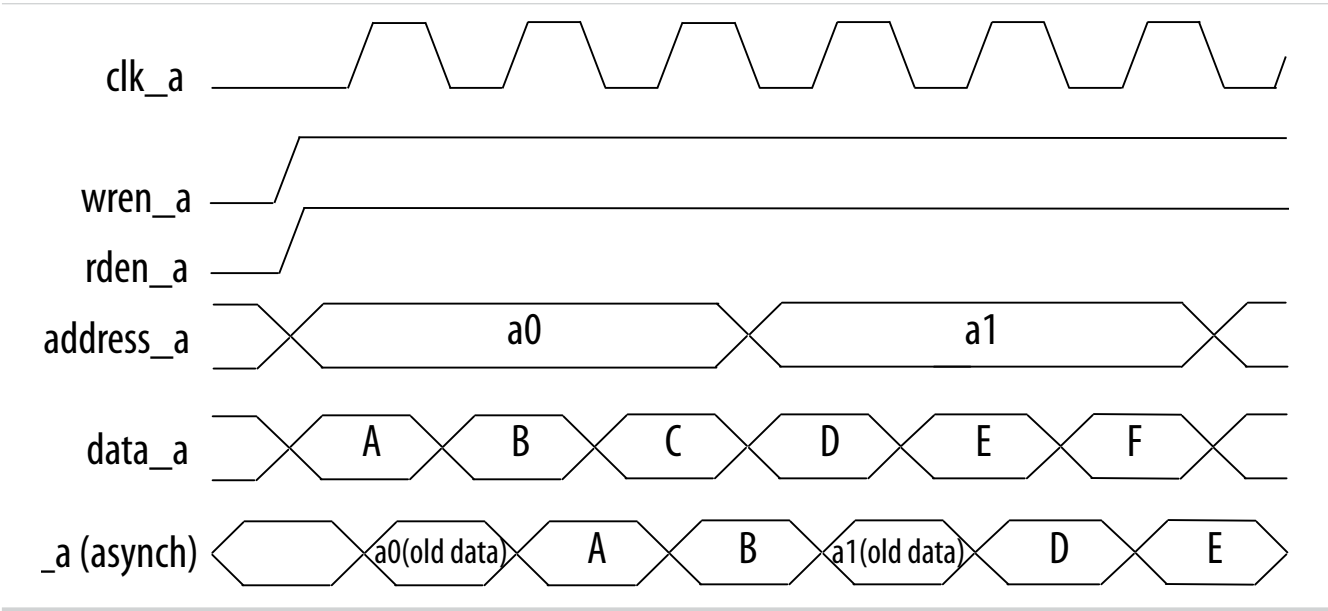


図 3-3: 同一ポートの Read-During-Write: Old Data モード



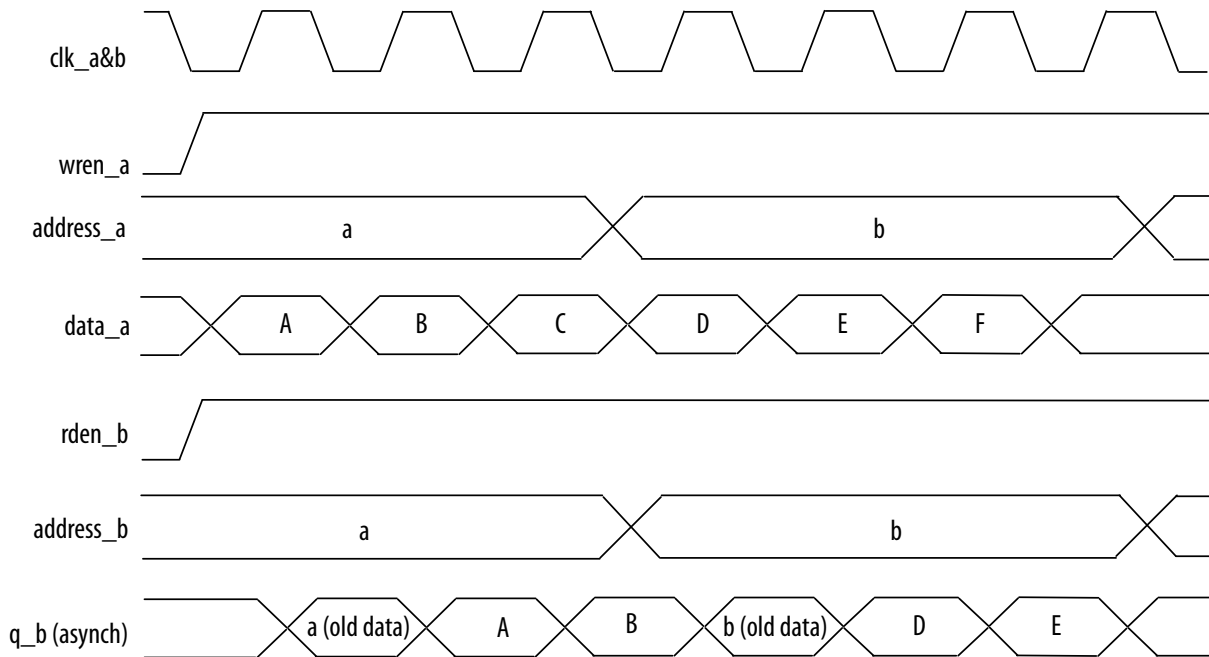
混合ポートの Read-During-Write モード

混合ポートの Read-During-Write モードは、2 つのポートが同じクロックを使用して同じメモリ・アドレスで読み取りおよび書き込み動作を実行する（一方のポートがアドレスから読み取り、他方のポートがアドレスに書き込む）、シンプルおよびトゥルー・デュアル・ポート RAM モードに適用します。

表 3-2: 混合ポート Read-During-Write モードでの RAM の出力モード

出力モード	説明
"old data"	異なるポートへの Read-During-Write 動作により、RAM 出力は特定のアドレスにある“old data”の値を反映します。
"don't care"	RAM は“don't care”または“unknown”の値を出力します。

図 3-4: 混合ポートの Read-During-Write : Old Data モード



Don't Care モードでは、Old Data が "Don't Care" と置き換わります。

デュアル・クロックを使用する混合ポートの Read-During-Write 動作

デュアル・クロックを使用する混合ポートの Read-During-Write 動作では、クロック間の関係がメモリの出力動作を決定します。

以下の場合：	次のようになります：
2つのクロックに同じクロックを使用する	出力はアドレス位置からの古いデータです。
異なるクロックを使用する	混合ポートの Read-During-Write 動作中、出力は不定です。この不定値は、読み取りが書き込みの前に実行されるか後に実行されるかによって、アドレス位置で古いデータあるいは新しいデータになります。

パワーアップ状態およびメモリの初期化

初期パワーアップ値を評価するロジックをデザインしている場合、次の表にリストされているように、異なるタイプのメモリ・ブロックのパワーアップ状態を考慮します。

表 3-3: エンベデッド・メモリ・ブロックの初期パワーアップ値

メモリ・タイプ	出力レジスタ	パワーアップ値
M9K	Used	ゼロ（クリア）
	Bypassed	ゼロ（クリア）

デフォルトでは、**.mif** を指定しない限り Quartus II ソフトウェアは RAM セルをゼロに初期化します。

すべてのメモリ・ブロックは**.mif** による初期化をサポートします。デザインでメモリをインスタンス化する際、Quartus II ソフトウェアで**.mif** ファイルを作成し、RAM IP でそれらの使用を指定することができます。メモリが事前に初期化されている（たとえば**.mif** を使用して）場合でも、パワーアップ時に出力はクリアされています。パワーアップ後の読み取りによってのみ、事前に初期化された値が出力されます。

クロッキングをコントロールして消費電力を削減する

各メモリ・ブロックのクロッキングを制御することにより、デザインの AC 消費電力を削減します。

- 読み取りイネーブル信号を使用して、必要なときにのみ読み取り動作が実行されるようにします。Read-During-Write が不要なデザインの場合、書き込み動作中またはメモリ動作が実行されていない期間に読み取りイネーブル信号をディאサートすることによって消費電力を削減することができます。
- Quartus II ソフトウェアを使用して未使用のメモリ・ブロックを自動的に低消費電力モードにし、スタティック消費電力を削減します。
- 消費電力を節約するために、異なる入力および出力レジスタに独立クロック・イネーブルを作成して特定のレジスタのシャット・ダウンを制御します。使用する独立クロック・イネーブルを設定するには、パラメータ・エディタで **More Options**（クロック・イネーブル・オプションの隣）をクリックします。

関連情報

2-11 ページの [MAX 10 エンベデッド・メモリのクロック・モード](#)

Read-During-Write 出力の選択

- シングル・ポート RAM は、同一ポートの Read-During-Write のみをサポートし、クロック・モードはシングル・クロック・モードまたは入力/出力クロック・モードのいずれかである必要があります。
- シンプル・デュアル・ポート RAM は、混合ポートの Read-During-Write のみをサポートし、クロック・モードはシングル・クロック・モードまたは入力/出力クロック・モードのいずれかである必要があります。
- トゥルー・デュアル・ポート RAM は、同一ポートの Read-During-Write と混合ポートの Read-During-Write をサポートします。
- 同一ポートの Read-During-Write では、クロック・モードはシングル・クロック・モード、入力/出力クロック・モード、あるいは独立クロック・モードのいずれかである必要があります。
- 混合ポートの Read-During-Write では、クロック・モードはシングル・クロック・モード、または入力/出力クロック・モードのいずれかである必要があります。

注: Read-During-Write が起こるとき、出力について特に懸念がなく、性能を向上させたい場合は **Don't Care** を選択します。**Don't Care** を選択すると、メモリ・ブロックをインスタンス化する際にユーザーがブロック・タイプを割り当てなければ、使用されているメモリブロックのタイプの柔軟性が向上します。

表 3-4: 同一ポートおよび混合ポートの Read-During-Write の出力選択

メモリ・ブロック	シングル・ポート RAM	シンプル・デュアル・ポート RAM	トゥルー・デュアル・ポート RAM	
	同一ポートの Read-During-Write	混合ポートの Read-During-Write	同一ポートの Read-During-Write	混合ポートの Read-During-Write
M9K	Don't Care	Old Data	New Data	Old Data
	New Data	Don't Care	Old Data	Don't Care
	Old Data			

2014.09.22

UG-M10MEMORY



署名



フィードバック

RAM: 1-PORT IP コアは、シングル・ポート RAM メモリ・モードを実装します。

図 4-1: Single Clock オプションがイネーブルされた RAM: 1-PORT IP コア信号

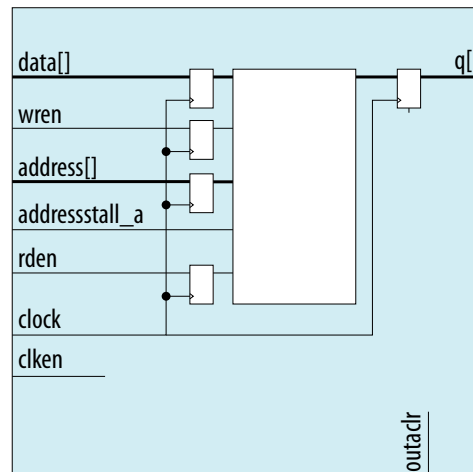
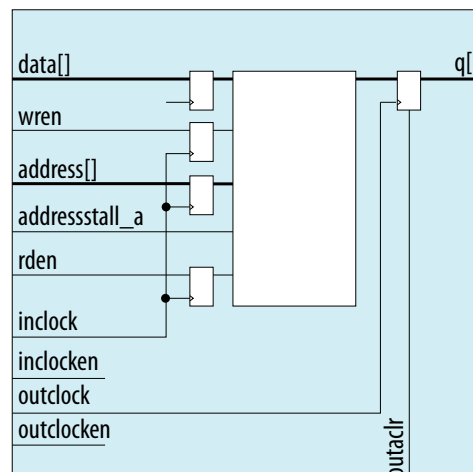


図 4-2: Dual Clock オプションがイネーブルされた RAM: 1-PORT IP コア信号



© 2014 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, ENPIRION, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO
9001:2008

MAX 10 デバイスの RAM: 1-PORT IP コア信号

表 4-1: RAM: 1-PORT IP コア入力信号

信号	必要性	説明
data	あり	メモリへのデータ入力。data ポートが必要であり、幅は q ポートの幅と等しいものである必要があります。
address	あり	メモリへのアドレス入力。
wren	あり	wraddress ポートの書き込みイネーブル入力。 wren ポートが必要です。
addressstall_a	オプション	addressstall_a ポートが High である間、address_a ポートの以前のアドレスを保持するためのアドレス・クロック・イネーブル入力。
clock	あり	<p>以下のリストは、どのメモリ・クロックを clock ポートに接続する必要があるのか、また異なるクロッキング・モードでのポート同期について説明しています。</p> <ul style="list-style-type: none"> シングル・クロック—シングル・ソース・クロックを clock ポートに接続します。レジスタに格納されたすべてのポートは、同じソース・クロックで同期化されます。 読み取り/書き込み—書き込みクロックを clock ポートに接続します。data_a ポート、address_a ポート、wren_a ポート、および byteena_a ポートなどの書き込み動作に関連するすべてのレジスタされたポートは、書き込みクロックで同期化されます。 入力/出力—入力クロックを clock ポートに接続します。レジスタに格納されたすべての入力ポートは、入力クロックで同期化されます。 独立クロック—ポート A クロックを clock ポートに接続します。レジスタに格納されたポート A のすべての入力および出力ポートは、ポート A クロックで同期化されます。
clkena	オプション	clock ポートのクロック・イネーブル入力。
rden	オプション	rdaddress ポートの読み取りイネーブル入力。
aclr	オプション	レジスタされた入力および出力ポートを非同期クリアします。非同期クリアは、indata_aclr、wraddress_aclr などの対応する非同期クリア・パラメータを介して制御可能なレジスタに格納されたポートに影響します。

信号	必要性	説明
inclock	オプション	<p>以下のリストは、どのメモリ・クロックを inclock ポートに接続する必要があるのか、また異なるクロック・モードでのポート同期について説明しています。</p> <ul style="list-style-type: none"> シングル・クロック—シングル・ソース・クロックを inclock ポートと outclock ポートに接続します。レジスタに格納されたすべてのポートは、同じソース・クロックで同期化されます。 読み取り/書き込み—書き込みクロックを inclock ポートに接続します。data ポート、waddress ポート、wren ポート、および byteena ポートなどの書き込み動作に関連するレジスタに格納されたすべてのポートは、書き込みクロックで同期化されます。 入力/出力—入力クロックを inclock ポートに接続します。レジスタに格納されたすべての入力ポートは、入力クロックで同期化されます。
inclocken	オプション	inclock ポートのクロック・イネーブル入力。
outclock	オプション	<p>以下のリストは、どのメモリ・クロックを outclock ポートに接続する必要があるのか、また異なるクロック・モードでのポート同期について説明しています。</p> <ul style="list-style-type: none"> シングル・クロック—シングル・ソース・クロックを inclock ポートと outclock ポートに接続します。レジスタに格納されたすべてのポートは、同じソース・クロックで同期化されます。 読み取り/書き込み—読み取りクロックを outclock ポートに接続します。rdaddress ポート、rdren ポート、および q ポートなどの読み取り動作に関連するレジスタに格納されたすべてのポートは、読み取りクロックで同期化されます。 入力/出力—出力クロックを outclock ポートに接続します。レジスタに格納された q ポートは、出力クロックで同期化されます。
outclocken	オプション	outclock ポートのクロック・イネーブル入力。

表 4-2: RAM: 1-PORT IP コア出力ポート

信号	必要性	説明
q	あり	メモリからのデータ出力。q ポートは、data ポートの幅と等しいものである必要があります。

MAX 10 デバイスの RAM: 1-PORT IP コアのパラメータ

表 4-3: MAX 10 デバイスの RAM: 1-PORT IP コアのパラメータ

この表は、MAX 10 デバイスに適用可能な IP コアのパラメータをリストしています。

パラメータ		値	説明
パラメータ設定：Widths/Blk Type/Clocks			
How wide should the 'q' output bus be?		1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17、18、19、20、21、22、23、24、25、26、27、28、29、30、31、32、36、40、48、64、72、108、128、144、および 256	ビット内の「q」出力バスの幅を指定します。
How many <X>-bit words of memory?		32、64、128、256、512、1024、2048、4096、8192、16384、32768、および 65536	<X>ビット・ワードの数を指定します。
What should the memory block type be?			
Auto		On / Off	メモリ・ブロックのタイプを指定します。選択できるメモリ・ブロックのタイプは、ターゲットのデバイスによって異なります。
M9K		On / Off	
LC		On / Off	
オプション	Use default logic cell style	On / Off	ロジック・セル実装のオプションを指定します。LC メモリ・タイプを選択する場合にのみ、このオプションがイネーブルされます。
	Use Stratix M512 emulation logic cell style	On / Off	
Set the maximum block depth to		Auto、32、64、128、256、512、1024、2048、4096、および 8192	ワード内の最大ブロック深度を指定します。LC メモリ・タイプを選択する場合にのみ、このオプションがディセーブルされます。
What clocking method would you like to use?			
Single clock		On / Off	シングル・クロックとクロック・イネーブルは、メモリ・ブロックのすべてのレジスタを制御します。

パラメータ		値	説明
Dual clock：個別の「入力」および「出力」クロックを使用します。		On / Off	入力および出力クロックは、データ、アドレス、バイト・イネーブル、読み取りイネーブル、および書き込みイネーブルを含むメモリ・ブロックからのデータ入力とデータ出力およびメモリ・ブロックへのデータ入力とデータ出力に関連するすべてのレジスタを制御します。
パラメータ設定：Regs/Clkens/Byte Enable/Aclrs			
Which ports should be registered?			
'data' and 'wren' input ports		—	このオプションは自動的にイネーブルされます。読み取りまたは書き込み入力ポート、読み取りまたは書き込み出力ポートをレジスタに格納するかどうかを指定します。
'address' input port		—	このオプションは自動的にイネーブルされます。読み取りまたは書き込み入力ポート、読み取りまたは書き込み出力ポートをレジスタに格納するかどうかを指定します。
'q' output port		On / Off	読み取りまたは書き込み入力ポート、読み取りまたは書き込み出力ポートをレジスタに格納するかどうかを指定します。
Create one clock enable signal for each clock signal.		On / Off	各クロック信号に 1 つのクロック・イネーブル信号を作成するためのオプションをオンにするかどうかを指定します。
More Options	Use clock enable for port A input registers	On / Off	ポート A 入力および出力レジスタにクロック・イネーブルを使用するかどうかを指定します。
	Use clock enable for port A output registers	On / Off	ポート A 入力および出力レジスタにクロック・イネーブルを使用するかどうかを指定します。
	Create an 'addressstall_a' input port	On / Off	アドレス・レジスタのクロック・イネーブルを作成するかどうかを指定します。これらのポートは、アドレス・レジスタの追加のアクティブ Low クロック・イネーブル入力として機能するように作成することができます。
Create an 'aclr' asynchronous clear for the registered ports.		On / Off	レジスタに格納されたポートの非同期クリア・ポートを作成するかどうかを指定します。
More Options	'q' port	On / Off	q ポートが aclr ポートによってクリアされるかを指定します。

パラメータ	値	説明
Create a 'rden' read enable signal	On / Off	rden 読み取りイネーブル信号を作成するかどうかを指定します。
パラメータ設定：Read During Write Option		
Single Port Read During Write Option		
What should the q output be when reading from a memory location being written to?	<ul style="list-style-type: none"> Don't Care New Data Old Data 	<p>Read-During-Write が起こるときの出力動作を指定します。</p> <ul style="list-style-type: none"> Don't Care—RAM は Read-During-Write 動作の "don't care" または "unknown" 値を出力します。 New Data—データが書き込まれたものと同じクロック・サイクルの立ち上がりエッジで新しいデータが使用可能です。 Old Data—RAM 出力は書き込み動作を進める前に、そのアドレスにある古いデータを反映します。
Get x's for write masked bytes instead of old data when byte enable is used	On / Off	マスクされたバイトで「X」を取得するには、このオプションをオンにします。
パラメータ設定：Mem Init		
Do you want to specify the initial content of the memory?		
No, leave it blank	On / Off	メモリの初期内容を指定します。メモリをゼロに初期化します。
Initialize memory content data to XX..X on power-up in simulation	On / Off	
Yes, use this file for the memory content data	On / Off	<p>メモリ初期化ファイル（.mif）または 16 進（Intel-Format）ファイル（.hex）を指定することを可能にします。</p> <p>注: デバイスのコンフィギュレーション手法は内部コンフィギュレーションです。メモリの初期化を使用するためには、Enable ERAM Preload オプションをオンにする必要があります。Enable ERAM Preload オプションは、More Analysis & Synthesis Settings ダイアログ・ボックスでオンにすることができます。</p>



パラメータ	値	説明
Allow In-System Memory Content Editor to capture and update content independently of the system clock	On / Off	In-System Memory Content Editor がシステム・クロックに関わらずメモリのコンテンツをキャプチャし、更新することを可能にするかどうかを指定します。
The 'Instance ID' of this RAM is	—	RAM ID を指定します。

2014.09.22

UG-M10MEMORY



署名



フィードバック

RAM: 2-PORT IP コアは、シンプル・デュアル・ポート RAM およびトウルー・デュアル・ポート RAM メモリ・モードを実装します。

図 5-1: シングル・クロック・オプションがイネーブルされた、1 つの読み取りポートと 1 つの書き込みポートを有する RAM: 2-PORT IP コア信号

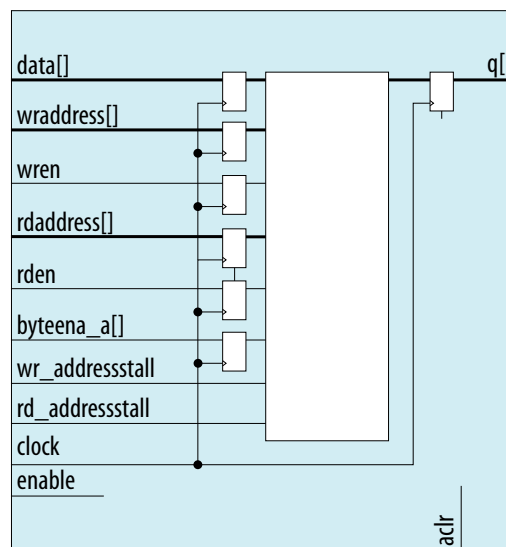


図 5-2: One Read Port and One Write Port、および Dual Clock: Use Separate 'Read' and 'Write' Clocks オプションがイネーブルされた RAM: 2-PORT IP コア信号

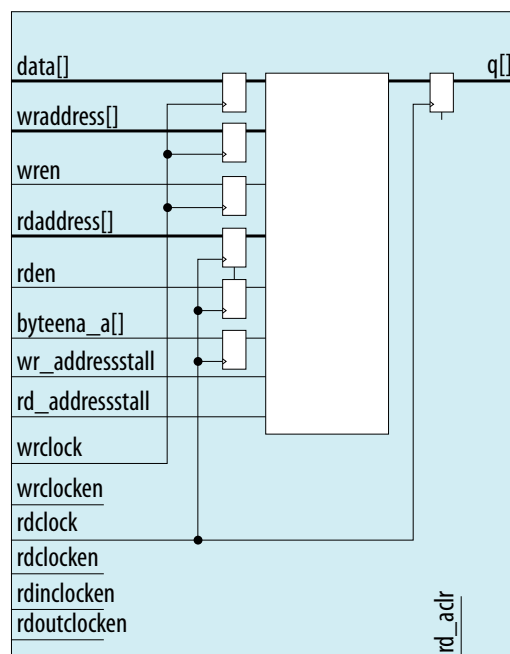


図 5-3: One Read Port and One Write Port、および Dual Clock: Use Separate 'Input' and 'Output' Clocks オプションがイネーブルされた RAM: 2-PORT IP コア信号

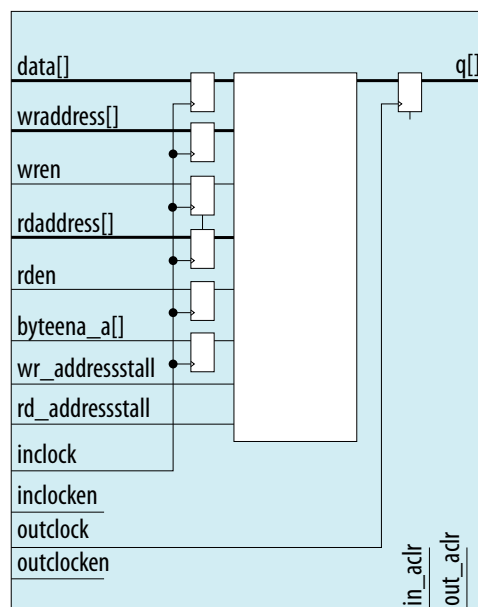


図 5-4: Two Read/Write Ports および Single Clock オプションがイネーブルされた RAM: 2-PORT IP コア信号

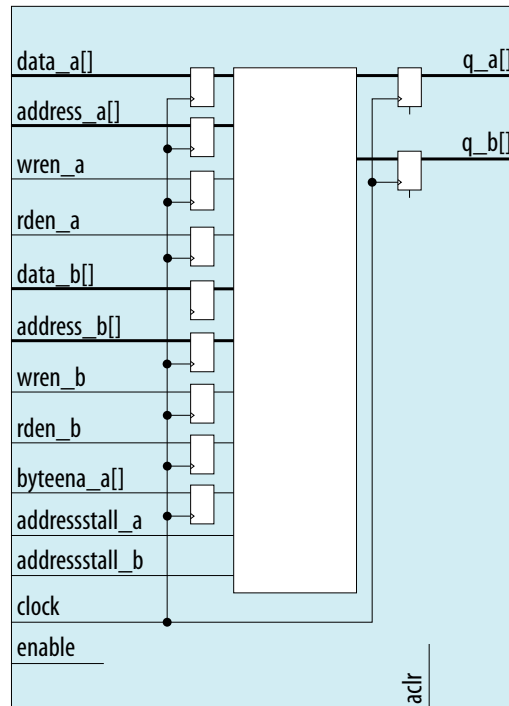


図 5-5: Two Read/Write Ports および Dual Clock: Use Separate 'Input' and 'Output' Clocks オプション
がイネーブルされた RAM: 2-PORT IP コア信号

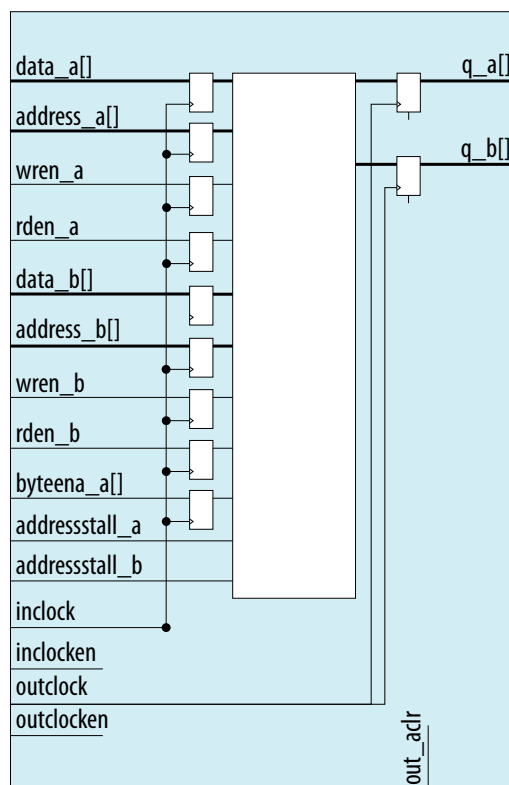
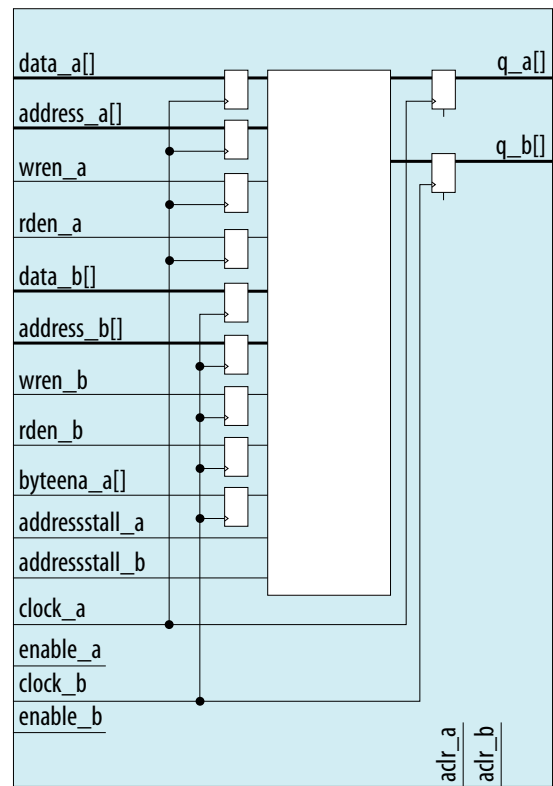


図 5-6: Two Read/Write Ports および Dual Clock: Use Separate for A and B Ports オプションがイネーブルされた RAM: 2-PORT IP コア信号



MAX 10 デバイスの RAM: 2-PORT IP コア信号 (シンプル・デュアル・ポート RAM)

表 5-1: RAM: 2-PORT IP コア入力信号 (シンプル・デュアル・ポート RAM)

信号	必要性	説明
data	あり	メモリへのデータ入力。data ポートが必要であり、幅は q ポートの幅と等しいものである必要があります。
wraddress	あり	メモリへの書き込みアドレス入力。wraddress ポートが必要であり、幅は raddress ポートの幅と等しいものである必要があります。
wren	あり	wraddress ポートの書き込みイネーブル入力。wren ポートが必要です。
rdaddress	あり	メモリへの読み取りアドレス入力。rdaddress ポートが必要であり、幅は wraddress ポートの幅と等しいものである必要があります。

信号	必要性	説明
clock	あり	<p>以下のリストは、どのメモリ・クロックを clock ポートに接続する必要があるのか、また異なるクロック・モードでのポート同期について説明しています。</p> <ul style="list-style-type: none"> • シングル・クロック—シングル・ソース・クロックを clock ポートに接続します。レジスタに格納されたすべてのポートは、同じソース・クロックで同期化されます。 • 読み取り/書き込み—書き込みクロックを clock ポートに接続します。data_a ポート、address_a ポート、wren_a ポート、および byteena_a ポートなどの書き込み動作に関連するすべてのレジスタに格納されたポートは、書き込みクロックで同期化されます。 • 入力/出力—入力クロックを clock ポートに接続します。レジスタに格納されたすべての入力ポートは、入力クロックで同期化されます。 • 独立クロック—ポート A クロックを clock ポートに接続します。レジスタに格納されたポート A のすべての入力および出力ポートは、ポート A クロックで同期化されます。
inclock	あり	<p>以下のリストは、どのメモリ・クロックを inclock ポートに接続する必要があるのか、また異なるクロック・モードでのポート同期について説明しています。</p> <ul style="list-style-type: none"> • シングル・クロック—シングル・ソース・クロックを inclock ポートと outclock ポートに接続します。レジスタに格納されたすべてのポートは、同じソース・クロックで同期化されます。 • 読み取り/書き込み—書き込みクロックを inclock ポートに接続します。data ポート、wraddress ポート、wren ポート、および byteena ポートなどの書き込み動作に関連するレジスタに格納されたすべてのポートは、書き込みクロックで同期化されます。 • 入力/出力—入力クロックを inclock ポートに接続します。レジスタに格納されたすべての入力ポートは、入力クロックで同期化されます。
outclock	あり	<p>以下のリストは、どのメモリ・クロックを outclock ポートに接続する必要があるのか、また異なるクロック・モードでのポート同期について説明しています。</p> <ul style="list-style-type: none"> • シングル・クロック—シングル・ソース・クロックを inclock ポートと outclock ポートに接続します。レジスタに格納されたすべてのポートは、同じソース・クロックで同期化されます。 • 読み取り/書き込み—読み取りクロックを outclock ポートに接続します。rdaddress ポート、rdren ポート、および q ポートなどの読み取り動作に関連するレジスタに格納されたすべてのポートは、読み取りクロックで同期化されます。 • 入力/出力—出力クロックを outclock ポートに接続します。レジスタに格納された q ポートは、出力クロックで同期化されます。

信号	必要性	説明
rden	オプション	rdaddress ポートの読み取りイネーブル入力。rden ポートは use_eab パラメータが OFF に設定されるときにサポートされます。 What should the memory block type be? パラメータが MLAB に設定されるとき、rden ポートはサポートされません。読み取りイネーブル機能を別のメモリ・ブロックで使用する場合、IP コアをインスタンス化します。
byteena_a	オプション	data_a ポートをマスクするためのバイト・イネーブル入力。data_a ポートをマスクすることにより、データの特定のバイト、ニブル、またはビットのみが書き込まれます。 byteena_a ポートは以下の条件ではサポートされません。 <ul style="list-style-type: none">• implement_in_les パラメータが ON に設定される。• operation_mode パラメータが ROM に設定される。
outclocken	オプション	outclock ポートのクロック・イネーブル入力。
inclocken	オプション	inclock ポートのクロック・イネーブル入力。

表 5-2: RAM: 2-PORT IP コア出力信号 (シンプル・デュアル・ポート RAM)

信号	必要性	説明
q	あり	メモリからのデータ出力。q ポートが必要であり、幅は data ポートの幅と等しいものである必要があります。

MAX 10 デバイスの RAM: 2-PORT IP コア信号 (トゥルー・デュアル・ポート RAM)

表 5-3: RAM: 2-PORT IP コア入力信号 (トゥルー・デュアル・ポート RAM)

信号	必要性	説明
data_a	オプション	メモリのポート A へのデータ入力。operation_mode パラメータを以下の値のいずれかに設定する場合、data_a ポートが必要です。 <ul style="list-style-type: none">• SINGLE_PORT• DUAL_PORT• BIDIR_DUAL_PORT
address_a	あり	メモリのポート A へのアドレス入力。すべての動作モードに address_a ポートが必要です。

信号	必要性	説明
wren_a	オプション	address_a ポートの書き込みイネーブル入力。operation_mode パラメータを以下の値のいずれかに設定する場合、wren_a ポートが必要です。 <ul style="list-style-type: none"> • SINGLE_PORT • DUAL_PORT • BIDIR_DUAL_PORT
data_b	オプション	メモリのポート B へのデータ入力。operation_mode パラメータを BIDIR_DUAL_PORT に設定する場合、data_b ポートが必要です。
address_b	オプション	メモリのポート B へのアドレス入力。operation_mode パラメータを以下の値に設定する場合、address_b ポートが必要です。 <ul style="list-style-type: none"> • DUAL_PORT • BIDIR_DUAL_PORT
wren_b	あり	address_b ポートの書き込みイネーブル入力。operation_mode パラメータを BIDIR_DUAL_PORT に設定する場合、wren_b ポートが必要です。
clock	あり	以下のリストは、どのメモリ・クロックを clock ポートに接続する必要があるのか、また異なるクロック・モードでのポート同期について説明しています。 <ul style="list-style-type: none"> • シングル・クロック—シングル・ソース・クロックを clock ポートに接続します。レジスタに格納されたすべてのポートは、同じソース・クロックで同期化されます。 • 読み取り/書き込み—書き込みクロックを clock ポートに接続します。data_a ポート、address_a ポート、wren_a ポート、および byteena_a ポートなどの書き込み動作に関連するすべてのレジスタに格納されたポートは、書き込みクロックで同期化されます。 • 入力/出力—入力クロックを clock ポートに接続します。レジスタに格納されたすべての入力ポートは、入力クロックで同期化されます。 • 独立クロック—ポート A クロックを clock ポートに接続します。レジスタに格納されたポート A のすべての入力および出力ポートは、ポート A クロックで同期化されます。

信号	必要性	説明
inclock	あり	<p>以下のリストは、どのメモリ・クロックを inclock ポートに接続する必要があるのか、また異なるクロック・モードでのポート同期について説明しています。</p> <ul style="list-style-type: none"> シングル・クロック—シングル・ソース・クロックを inclock ポートと outclock ポートに接続します。レジスタに格納されたすべてのポートは、同じソース・クロックで同期化されます。 読み取り/書き込み—書き込みクロックを inclock ポートに接続します。data ポート、wraddress ポート、wren ポート、および byteena ポートなどの書き込み動作に関連するレジスタに格納されたすべてのポートは、書き込みクロックで同期化されます。 入力/出力—入力クロックを inclock ポートに接続します。レジスタに格納されたすべての入力ポートは、入力クロックで同期化されます。
outclock	あり	<p>以下のリストは、どのメモリ・クロックを outclock ポートに接続する必要があるのか、また異なるクロック・モードでのポート同期について説明しています。</p> <ul style="list-style-type: none"> シングル・クロック—シングル・ソース・クロックを inclock ポートと outclock ポートに接続します。レジスタに格納されたすべてのポートは、同じソース・クロックで同期化されます。 読み取り/書き込み—読み取りクロックを outclock ポートに接続します。rdaddress ポート、rdren ポート、および q ポートなどの読み取り動作に関連するレジスタに格納されたすべてのポートは、読み取りクロックで同期化されます。 入力/出力—出力クロックを outclock ポートに接続します。レジスタに格納された q ポートは、出力クロックで同期化されます。
rden_a	オプション	address_a ポートの読み取りイネーブル入力。rden_a ポートは、選択したメモリ・モードとメモリ・ブロックに応じてサポートされます。
rden_b	オプション	address_b ポートの読み取りイネーブル入力。rden_b ポートは、選択したメモリ・モードとメモリ・ブロックに応じてサポートされます。
byteena_a		<p>data_a ポートをマスクするためのバイト・イネーブル入力。data_a ポートをマスクすることにより、データの特定のバイト、ニブル、またはビットのみが書き込まれます。byteena_a ポートは以下の条件ではサポートされません。</p> <ul style="list-style-type: none"> implement_in_les パラメータが ON に設定される。 operation_mode パラメータが ROM に設定される。
addressstall_a	オプション	addressstall_a ポートが High である間、address_a ポートの以前のアドレスを保持するためのアドレス・クロック・イネーブル入力。

信号	必要性	説明
addressstall_b	オプション	addressstall_b ポートが High である間、address_b ポートの以前のアドレスを保持するためのアドレス・クロック・イネーブル入力。

表 5-4: RAM: 2-PORT IP コア出力信号（トゥルー・デュアル・ポート RAM）

信号	必要性	説明
q_a	あり	メモリのポート A からのデータ出力。operation_mode パラメータを以下の値のいずれかに設定する場合、q_a ポートが必要です。 <ul style="list-style-type: none"> SINGLE_PORT BIDIR_DUAL_PORT ROM q_a ポートの幅は data_a ポートの幅と等しいものである必要があります。
q_b	あり	メモリのポート B からのデータ出力。operation_mode パラメータを以下の値に設定する場合、q_b ポートが必要です。 <ul style="list-style-type: none"> DUAL_PORT BIDIR_DUAL_PORT q_b ポートの幅は data_b ポートの幅と等しいものである必要があります。

MAX 10 デバイスの RAM: 2-PORT IP コアのパラメータ

表 5-5: MAX 10 デバイスの RAM: 2-PORT IP コアのパラメータ

この表は、MAX 10 デバイスに適用可能な IP コアのパラメータをリストしています。

オプション	正当な値	説明
パラメータ設定：General		
How will you be using the dual port RAM?	<ul style="list-style-type: none"> With one read port and one write port With two read/write ports 	デュアル・ポート RAM を使用する方法を指定します。
How do you want to specify the memory size?	<ul style="list-style-type: none"> As a number of words As a number of bits 	メモリ容量をワードで指定するか、またはビットで指定するかを決定します。
パラメータ設定：Widths/ Blk Type		
How many <X>-bit words of memory?	—	<X>ビット・ワードの数を指定します。
Use different data widths on different ports	On / Off	異なるポートで異なるデータ幅を使用するかどうかを指定します。

オプション	正当な値	説明
Read/Write Ports	<p>With one read port and one write port を選択すると、以下のオプションが使用可能です。</p> <ul style="list-style-type: none"> How wide should the 'data_a' input bus be? How wide should the 'q' output bus be? <p>With two read/write ports を選択すると、以下のオプションが使用可能です。</p> <ul style="list-style-type: none"> How wide should the 'q_a' output bus be? How wide should the 'q_b' output bus be? 	<p>入力ポートと出力ポートの幅を指定します。</p> <p>How wide should the 'q' output bus be?および How wide should the 'q_b' output bus be? オプションは、Use different data widths on different ports パラメータをオンにする場合にのみ使用可能です。</p>
What should the memory block type be?	<ul style="list-style-type: none"> Auto M9K LCs 	<p>メモリ・ブロックのタイプを指定します。選択可能なメモリ・ブロックのタイプは、ターゲットのデバイスによって異なります。</p> <p>LCs の値は以下の条件でのみ使用可能です。</p> <ul style="list-style-type: none"> With one read port and one write port オプションをオンにする Use different data widths on different ports オプションをオフにする
オプション	How should the memory be implemented?	<ul style="list-style-type: none"> Use default logic cell style Use Stratix M512 emulation logic cell style <p>ロジック・セル実装のオプションを指定します。LC メモリ・タイプを選択する場合にのみ、このオプションがイネーブルされます。</p>

オプション	正当な値	説明
Set the maximum block depth to	<ul style="list-style-type: none">• Auto• 128• 256• 512• 1024• 2048• 4096• 8192	最大ブロック深度をワードで指定します。

パラメータ設定: Clks/Rd, Byte En

オプション	正当な値	説明
What clocking method would you like to use?	<p>With one read port and one write port を選択すると、以下の値が使用可能です。</p> <ul style="list-style-type: none"> • Single clock • Dual clock: use separate 'input' and 'output' clocks • Dual clock: use separate 'read' and 'write' clocks <p>With two read/write ports を選択すると、以下のオプションが使用可能です。</p> <ul style="list-style-type: none"> • Single clock • Dual clock: use separate 'input' and 'output' clocks • Dual clock: use separate clocks for A and B ports 	<p>使用するクロッキング方法を指定します。</p> <ul style="list-style-type: none"> • Single clock—シング ル・クロックとクロック・イネーブルがメモリ・ブロックのすべてのレジスタを制御します。 • Dual Clock: use separate 'input' and 'output' clocks—入力クロックと出力クロックが、データ、アドレス、バイト・イネーブル、読み取りイネーブル、および書き込みイネーブルを含むメモリ・ブロックへのデータの出入力、およびメモリ・ブロックからのデータの出入力に関連するすべてのレジスタを制御します。 • Dual clock: use separate 'read' and 'write' clocks—読み取りクロックがデータ出力、読み取りアドレス、および読み取りイネーブル・レジスタを制御する一方で、書き込みクロックがデータ入力、書き込みアドレス、および書き込みイネーブル・レジスタを制御します。 • Dual clock: use separate clocks for A and B ports—クロック A がポート A 側のすべてのレジスタを制御し、クロック B がポート B 側のすべてのレジスタを制御します。また、各ポートはそれぞれ、ポート A およびポート B レジスタの独立クロック・イネーブルをサポートします。

オプション		正当な値	説明
Create a 'rden' read enable signal		On / Off	With one read port and one write port オプションを選択する場合に使用可能です。
Create a 'rden_a' and 'rden_b' read enable signal		On / Off	<ul style="list-style-type: none"> • With two read/write ports オプションを選択する場合に使用可能です。 • ポート A とポート B の読み取りイネーブル信号を作成するかどうかを指定します。
Byte Enable Ports	Create byte enable for port A	On / Off	ポート A とポート B のバイト・イネーブルを作成するかどうかを指定します。データの特定のバイト、ニブル、またはビットのみが書き込まれるよう入力データをマスクする場合は、これらのオプションをオンにします。
パラメータ設定: Regs/Clkens/Aclrs			



オプション	正当な値	説明
<p>Which ports should be registered?</p>	<p>With one read port and one write port を選択する場合、以下のオプションが使用可能です。</p> <ul style="list-style-type: none"> 書き込み入力ポート 'data_a'、'waddress_a'、および 'wren_a' 読み取り入力ポート 'rdaddress' と 'rden' 読み取り出力ポート 'q_a' と 'q_b' <p>With two read/write ports を選択する場合、以下のオプションが使用可能です。</p> <ul style="list-style-type: none"> 書き込み入力ポート 'data_a'、'waddress_a'、および 'wren_a' 読み取り出力ポート 'q_a' と 'q_b' 	<p>On / Off</p> <p>読み取りまたは書き込み入力ポート、読み取りまたは書き込み出力ポートをレジスタに格納するかどうかを指定します。</p>
<p>More Options</p>	<p>With one read port and one write port を選択する場合、以下のオプションが使用可能です。</p> <ul style="list-style-type: none"> 'q_b'ポート <p>With two read/write ports を選択する場合、以下のオプションが使用可能です。</p> <ul style="list-style-type: none"> 'q_a'ポート 'q_b'ポート 	<p>On / Off</p> <p>デフォルトでは、読み取り入力ポートと書き込み入力ポートはオンになっています。Q 出力ポートをレジスタに格納するかどうかのみ指定する必要があります。</p>
<p>Create one clock enable signal for each clock signal.</p>	<p>On / Off</p>	<p>各クロック信号に 1 つのクロック・イネーブル信号を作成するためのオプションをオンにするかどうかを指定します。</p>

オプション	正当な値	説明
<p>More Options</p> <p>With one read port and one write port を選択する場合、以下のオプションが使用可能です。</p> <ul style="list-style-type: none"> • Clock enable options <ul style="list-style-type: none"> • Use clock enable for write input registers • Address options <ul style="list-style-type: none"> • Create an 'wr_addressstall' input port. • Create an 'rd_addressstall' input port. <p>With two read/write ports を選択する場合、以下のオプションが使用可能です。</p> <ul style="list-style-type: none"> • Clock enable options <ul style="list-style-type: none"> • Use clock enable for port A input registers • Use clock enable for port A output registers • Address options <ul style="list-style-type: none"> • Create an 'addressstall_a' input port. • Create an 'addressstall_b' input port. 	On / Off	<ul style="list-style-type: none"> • Clock enable options—デフォルトでは、ポート B の入力および出力レジスタのクロック・イネーブルはオンです。ポート A の入力および出力レジスタのクロック・イネーブルを使用するかどうかのみ指定する必要があります。 • Address options—アドレス・レジスタのクロック・イネーブルを作成するかどうかを指定します。これらのポートは、アドレス・レジスタの追加のアクティブ Low クロック・イネーブル入力として機能するように作成することができます。
Create an 'aclr' asynchronous clear for the registered ports.	On / Off	レジスタに格納されたポートの非同期クリア・ポートを作成するかどうかを指定します。

オプション	正当な値	説明
More Options	On / Off	<p>raddress、q_a、および q_b ポートが aclr ポートによってクリアされるかどうかを指定します。</p> <p>With one read port and one write port を選択する場合、以下のオプションが使用可能です。</p> <ul style="list-style-type: none"> • 'rdaddress'ポート • 'q_b'ポート <p>With two read /write ports を選択する場合、以下のオプションが使用可能です。</p> <ul style="list-style-type: none"> • 'q_a'ポート • 'q_b'ポート

パラメータ設定：Output 1

Mixed Port Read-During-Write for Single Input Clock RAM	<p>With one read port and one write port を選択する場合、次のオプションが使用可能です。</p> <ul style="list-style-type: none"> • How should the q output behave when reading a memory location that is being written from the other port? <p>With two read /write ports を選択する場合、次のオプションが使用可能です。</p> <ul style="list-style-type: none"> • How should the q_a and q_b outputs behave when reading a memory location that is being written from the other port? 	<ul style="list-style-type: none"> • Old memory contents appear • I do not care (the outputs will be undefined) 	<p>Read-During-Write が起こるときの出力動作を指定します。</p> <ul style="list-style-type: none"> • Old memory contents appear—書き込み動作を進める前に、RAM 出力はそのアドレスにある古いデータを反映します。 • I do not care—選択する以下のメモリ・ブロック・タイプに応じてオンにすると、このオプションは異なる機能を果たします。 <ul style="list-style-type: none"> • メモリ・ブロック・タイプを Auto、または M9K に設定する場合、RAM はタイミング・パスを解析することなく Read-During-Write 動作の 'don't care' または "unknown" 値を出力します。
---	---	---	---

オプション	正当な値	説明
Do not analyze the timing between write and read operation. Metastability issues are prevented by never writing and reading at the same address at the same time.	On / Off	このオプションは I do not care (The outputs will be undefined) オプションをオンにする場合、自動的にオンになります。このオプションは、タイミング・パスを解析することなく Read-During-Write 動作の 'don't care' または 'unknown' 値を出力する RAM をイネーブルします。

パラメータ設定：Output 2（このタブは two read/write ports を選択する場合にのみ使用可能です）

Port A Read-During-Write Option	What should the 'q_a' output be when reading from a memory location being written to?	<ul style="list-style-type: none"> • New Data • Old Data 	<p>Read-During-Write が起こるときの出力動作を指定します。</p> <ul style="list-style-type: none"> • New Data—データが書き込まれたのと同じクロック・サイクルの立ち上がりエッジで新しいデータが使用可能です。 • Old Data—RAM 出力は書き込み動作を進める前に、そのアドレスにある古いデータを反映します。
Port B Read-During-Write Option	What should the 'q_b' output be when reading from a memory location being written to?		
Get x's for write masked bytes instead of old data when byte enable is used		On / Off	このオプションは、New Data 値を選択すると自動的にオンになります。このオプションはマスクされたバイトで 'X' を取得します。

パラメータ設定：Mem Init

オプション	正当な値	説明
Do you want to specify the initial content of the memory?	<ul style="list-style-type: none"> No, leave it blank Yes, use this file for the memory content data 	<p>メモリの初期内容を指定します。</p> <ul style="list-style-type: none"> メモリをゼロに初期化するには、No, leave it blank を選択します。 メモリ初期化ファイル (.mif) または 16 進 (Intel-Format) ファイル (.hex) を使用するには、Yes, use this file for the memory content data を選択します。 <p>注: デバイスのコンフィギュレーション手法は Internal Configuration です。メモリの初期化を使用するためには、Enable ERAM Preload オプションをオンにする必要があります。Enable ERAM Preload オプションは、More Analysis & Synthesis Settings ダイアログ・ボックスでオンにすることができます。</p>
The initial content file should conform to which port's dimension?	<ul style="list-style-type: none"> PORT_A PORT_B 	<p>初期コンテンツ・ファイルを準拠させる必要があるポートの寸法を指定します。</p>

2014.09.22

UG-M10MEMORY



署名



フィードバック

ROM: 1-PORT IP コアは、シングル・ポート ROM メモリ・モードを実装します。

図 6-1: Single Clock オプションがイネーブルされた ROM: 1-PORT IP コア信号

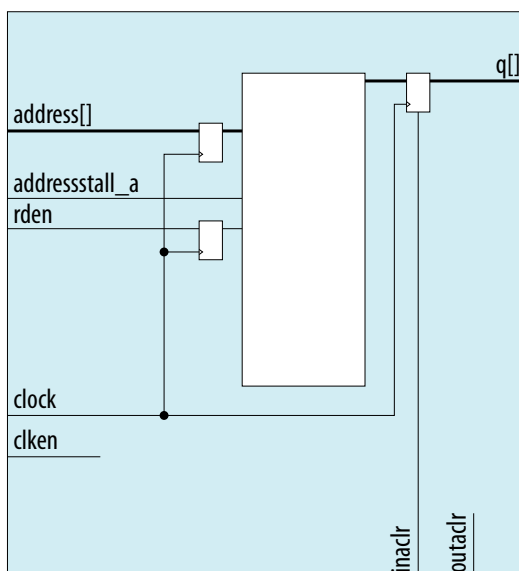
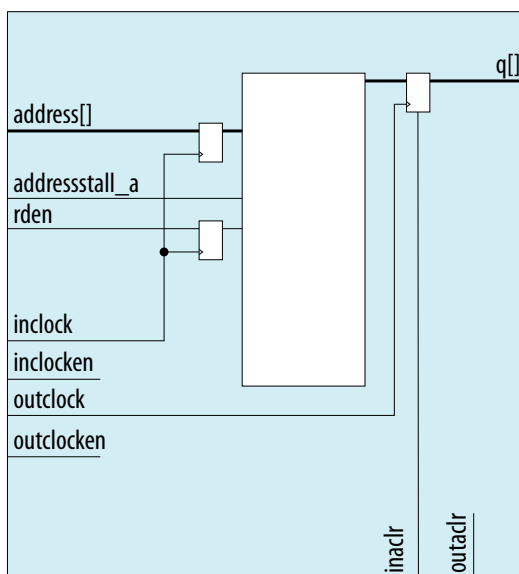


図 6-2: Dual Clock: Use Separate 'Input' and 'Output' Clocks オプションがイネーブルされた ROM: 1-PORT IP コア信号



MAX 10 デバイスの ROM: 1-PORT IP コア信号

表 6-1: ROM: 1-PORT IP コア入力信号

信号	必要性	説明
address	あり	メモリへのアドレス入力。
addressstall_a	オプション	addressstall_a ポートが High である間、address_a ポートの以前のアドレスを保持するためのアドレス・クロック・イネーブル入力。
rden	オプション	rdaddress ポートの読み取りイネーブル入力。rden ポートは、use_eab パラメータが OFF に設定されるときにサポートされます。ram_block_type パラメータが MLAB に設定されるとき、rden ポートはサポートされません。読み取りイネーブル機能を別のメモリ・ブロックで使用する場合、IP をインスタンス化します。

信号	必要性	説明
clock	あり	<p>以下のリストは、どのメモリ・クロックを clock ポートに接続する必要があるのか、また異なるクロック・モードでのポート同期について説明しています。</p> <ul style="list-style-type: none">• シングル・クロック—シングル・ソース・クロックを clock ポートに接続します。レジスタに格納されたすべてのポートは、同じソース・クロックで同期化されます。• 読み取り/書き込み—書き込みクロックを clock ポートに接続します。data_a ポート、address_a ポート、wren_a ポート、および byteena_a ポートなどの書き込み動作に関連するすべてのレジスタに格納されたポートは、書き込みクロックで同期化されます。• 入力/出力—入力クロックを clock ポートに接続します。レジスタに格納されたすべての入力ポートは、入力クロックで同期化されます。• 独立クロック—ポート A クロックを clock ポートに接続します。ポート A のレジスタに格納されたすべての入力および出力ポートは、ポート A クロックで同期化されます。
clken	オプション	clock ポートのクロック・イネーブル入力。
inclock	あり	<p>以下のリストは、どのメモリ・クロックを inclock ポートに接続する必要があるのか、また異なるクロック・モードでのポート同期について説明しています。</p> <ul style="list-style-type: none">• シングル・クロック—シングル・ソース・クロックを inclock ポートと outclock ポートに接続します。レジスタに格納されたすべてのポートは、同じソース・クロックで同期化されます。• 読み取り/書き込み—書き込みクロックを inclock ポートに接続します。data ポート、wraddress ポート、wren ポート、および byteena ポートなどの書き込み動作に関連するレジスタに格納されたすべてのポートは、書き込みクロックで同期化されます。• 入力/出力—入力クロックを inclock ポートに接続します。レジスタに格納されたすべての入力ポートは、入力クロックで同期化されます。
inclocken	オプション	inclock ポートのクロック・イネーブル入力。

信号	必要性	説明
outclock	あり	<p>以下のリストは、どのメモリ・クロックを outclock ポートに接続する必要があるのか、また異なるクロック・モードでのポート同期について説明しています。</p> <ul style="list-style-type: none"> シングル・クロック—シングル・ソース・クロックを inclock ポートと outclock ポートに接続します。レジスタに格納されたすべてのポートは、同じソース・クロックで同期化されます。 読み取り/書き込み—読み取りクロックを outclock ポートに接続します。rdaddress ポート、rdren ポート、および q ポートなどの読み取り動作に関連するレジスタに格納されたすべてのポートは、読み取りクロックで同期化されます。 入力/出力—出力クロックを outclock ポートに接続します。レジスタに格納された q ポートは、出力クロックで同期化されます。
outclocken	オプション	outclock ポートのクロック・イネーブル入力。

表 6-2: ROM: 1-PORT IP コア出力信号

信号	必要性	説明
q	あり	メモリからのデータ出力。q ポートが必要であり、幅は data ポートの幅と等しいものである必要があります。

MAX 10 デバイスの ROM: 1-PORT IP コアのパラメータ

表 6-3: MAX 10 デバイスの ROM: 1-PORT IP コアのパラメータ

この表は、MAX 10 デバイスに適用可能な IP コアのパラメータをリストしています。

オプション	正当値	説明
パラメータ設定：General		
How wide should the 'q' output bus be?	1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17、18、19、20、21、22、23、24、25、26、27、28、29、30、31、32、36、40、48、64、72、108、128、144、および 256	ビット内の「q」出力バスの幅を指定します。
How many <X>-bit words of memory?	32、64、128、256、512、1024、2048、4096、8192、16384、32768、および 65536	<X>ビット・ワードの数を指定します。

オプション	正当値	説明
What should the memory block type be?	<ul style="list-style-type: none"> • Auto • M9K 	メモリ・ブロックのタイプを指定します。選択できるメモリ・ブロックのタイプは、ターゲットのデバイスによって異なります。
Set the maximum block depth to	<ul style="list-style-type: none"> • Auto • 32 • 64 • 128 • 256 • 512 • 1024 • 2048 • 4096 • 8192 	最大ブロック深度をワードで指定します。
What clocking method would you like to use?	<ul style="list-style-type: none"> • Single clock • Dual clock: use separate 'input' and 'output' clocks 	<p>使用するクロッキング方法を指定します。</p> <ul style="list-style-type: none"> • Single clock—シングル・クロックとクロック・イネーブルは、メモリ・ブロックのすべてのレジスタを制御します。 • Dual clock: use separate 'input' and 'output' clocks—入力および出力クロックは、データ、アドレス、バイト・イネーブル、読み取りイネーブル、および書き込みイネーブルを含むメモリ・ブロックからのデータ入力とデータ出力およびメモリ・ブロックへのデータ入力とデータ出力に関連するすべてのレジスタを制御します。

パラメータ設定：Regs/Clkens/Aclrs

Which ports should be registered?	<ul style="list-style-type: none"> • 'address' input port • 'q' output port 	On / Off	読み取りまたは書き込み入力ポート、読み取りまたは書き込み出力ポートをレジスタに格納するかどうかを指定します。
-----------------------------------	---	----------	--

オプション		正当値	説明
Create one clock enable signal for each clock signal.		On / Off	各クロック信号に 1 つのクロック・イネーブル信号を作成するためのオプションをオンにするかどうかを指定します。
More Options	<ul style="list-style-type: none"> • Clock enable options <ul style="list-style-type: none"> • Use clock enable for port A input registers • Use clock enable for port A output registers • Address options <ul style="list-style-type: none"> • Create an 'addressstall_a' input port 	On / Off	<ul style="list-style-type: none"> • Clock enable options—デフォルトでは、ポート B の入力および出力レジスタのクロック・イネーブルはオンです。ポート A の入力および出力レジスタのクロック・イネーブルを使用するかどうかのみ指定する必要があります。 • Address options—アドレス・レジスタのクロック・イネーブルを作成するかどうかを指定します。これらのポートは、アドレス・レジスタの追加のアクティブ Low クロック・イネーブル入力として機能するよう作成することができます。
Create an 'aclr' asynchronous clear for the registered ports.		On / Off	レジスタに格納されたポートの非同期クリア・ポートを作成するかどうかを指定します。
More Options	<ul style="list-style-type: none"> • 'address' port • 'q' port 	On / Off	address および q ポートが aclr ポートによってクリアされるかどうかを指定します。
Create a 'rden' read enable signal		On / Off	rden 読み取りイネーブル信号を作成するかどうかを指定します。
パラメータ設定：Mem Init			



オプション	正当値	説明
Do you want to specify the initial content of the memory?	Yes, use this file for the memory content data.	<p>メモリの初期内容を指定します。ROM モードでは、メモリ初期化ファイル (.mif) または 16 進 (Intel-Format) ファイル (.hex) を指定する必要があります。</p> <p>注: デバイスのコンフィギュレーション手法は Internal Configuration です。メモリの初期化を使用するためには、Enable ERAM Preload オプションをオンにする必要があります。</p> <p>Enable ERAM Preload オプション は More Analysis & Synthesis Settings ダイアログ・ボックスでオンにすることができます。</p>
Allow In-System Memory Content Editor to capture and update content independently of the system clock	On / Off	In-System Memory Content Editor が独立してシステム・クロックのコンテンツをキャプチャし、更新することを可能にするかどうかを指定します。
The 'Instance ID' of this RAM is	—	RAM ID を指定します。

2014.09.22

UG-M10MEMORY



署名



フィードバック

この IP コアは、デュアル・ポート ROM メモリ・モードを実装します。デュアル・ポート ROM は、シングル・ポート ROM とほぼ同じ機能ポートを有します。この 2 つの相違点は、デュアル・ポート ROM は読み取り動作のための追加のアドレス・ポートを有することです。

図 7-1: Single Clock オプションがイネーブルされた ROM: 2-PORT IP コア信号

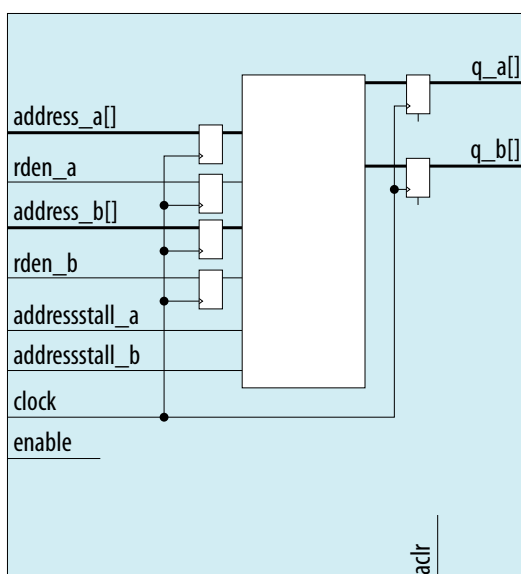


図 7-2: Dual Clock: Use Separate 'Input' and 'Output' Clocks オプションがイネーブルされた ROM: 2-PORT IP コア信号

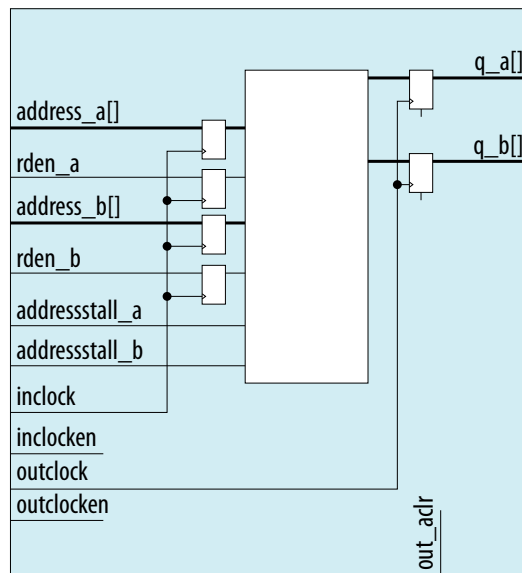
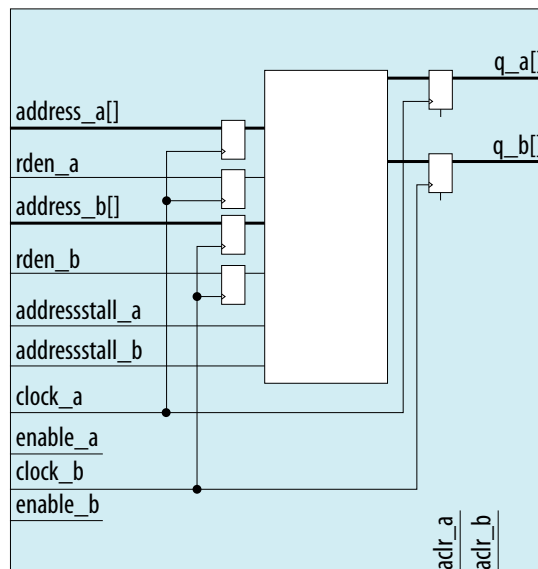


図 7-3: Dual Clock: Use Separate Clocks for A and B Ports オプションがイネーブルされた ROM: 2-PORT IP コア信号



MAX 10 デバイスの ROM: 2-PORT IP コア信号

表 7-1: ROM: 2-PORT IP コア入力信号

信号	必要性	説明
address_a	あり	メモリのポート A へのアドレス入力。すべての動作モードに address_a ポートが必要です。
rden_a	オプション	address_a ポートの読み取りイネーブル入力。rden_a ポートは、選択したメモリ・モードとメモリ・ブロックに応じてサポートされます。
address_b	オプション	メモリのポート B へのアドレス入力。operation_mode パラメータを以下の値に設定する場合、address_b ポートが必要です。 <ul style="list-style-type: none"> • DUAL_PORT • BIDIR_DUAL_PORT
rden_b	オプション	address_b ポートの読み取りイネーブル入力。rden_b ポートは、選択したメモリ・モードとメモリ・ブロックに応じてサポートされます。
clock	あり	以下のリストは、どのメモリ・クロックを clock ポートに接続する必要があるのか、また異なるクロック・モードでのポート同期について説明しています。 <ul style="list-style-type: none"> • シングル・クロック—シングル・ソース・クロックを clock ポートに接続します。レジスタに格納されたすべてのポートは、同じソース・クロックで同期化されます。 • 読み取り/書き込み—書き込みクロックを clock ポートに接続します。data_a ポート、address_a ポート、wren_a ポート、および byteena_a ポートなどの書き込み動作に関連するすべてのレジスタに格納されたポートは、書き込みクロックで同期化されます。 • 入力/出力—入力クロックを clock ポートに接続します。レジスタに格納されたすべての入力ポートは、入力クロックで同期化されます。 • 独立クロック—ポート A クロックを clock ポートに接続します。ポート A のレジスタに格納されたすべての入力および出力ポートは、ポート A クロックで同期化されます。
addressstall_a	オプション	addressstall_a ポートが High である間、address_a ポートの以前のアドレスを保持するためのアドレス・クロック・イネーブル入力。
addressstall_b	オプション	addressstall_b ポートが High である間、address_b ポートの以前のアドレスを保持するためのアドレス・クロック・イネーブル入力。

信号	必要性	説明
inclock	あり	<p>以下のリストは、どのメモリ・クロックを inclock ポートに接続する必要があるのか、また異なるクロック・モードでのポート同期について説明しています。</p> <ul style="list-style-type: none"> シングル・クロック—シングル・ソース・クロックを inclock ポートと outclock ポートに接続します。レジスタに格納されたすべてのポートは、同じソース・クロックで同期化されます。 読み取り/書き込み—書き込みクロックを inclock ポートに接続します。data ポート、waddress ポート、wren ポート、および byteena ポートなどの書き込み動作に関連するレジスタに格納されたすべてのポートは、書き込みクロックで同期化されます。 入力/出力—入力クロックを inclock ポートに接続します。レジスタに格納されたすべての入力ポートは、入力クロックで同期化されます。
outclock	あり	<p>以下のリストは、どのメモリ・クロックを outclock ポートに接続する必要があるのか、また異なるクロック・モードでのポート同期について説明しています。</p> <ul style="list-style-type: none"> シングル・クロック—シングル・ソース・クロックを inclock ポートと outclock ポートに接続します。レジスタに格納されたすべてのポートは、同じソース・クロックで同期化されます。 読み取り/書き込み—読み取りクロックを outclock ポートに接続します。rdaddress ポート、rdren ポート、および q ポートなどの読み取り動作に関連するレジスタに格納されたすべてのポートは、読み取りクロックで同期化されます。 入力/出力—出力クロックを outclock ポートに接続します。レジスタに格納された q ポートは、出力クロックで同期化されます。
inclocken	オプション	inclock ポートのクロック・イネーブル入力。
outclocken	オプション	outclock ポートのクロック・イネーブル入力。
aclr	オプション	レジスタされた入力および出力ポートを非同期クリアします。非同期クリアは indata_aclr や waddress_aclr などの対応する非同期クリア・パラメータを介して制御可能な、レジスタに格納されたポートに影響します。

表 7-2: ROM: 2-PORT IP コア出力信号

信号	必要性	説明
q_a	あり	<p>メモリのポート A からのデータ出力。operation_mode パラメータを以下の値のいずれかに設定する場合、q_a ポートが必要です。</p> <ul style="list-style-type: none"> • SINGLE_PORT • BIDIR_DUAL_PORT • ROM <p>q_a ポートの幅は、data_a ポートの幅と等しいものである必要があります。</p>
q_b	あり	<p>メモリのポート B からのデータ出力。operation_mode パラメータを以下の値に設定する場合、q_b ポートが必要です。</p> <ul style="list-style-type: none"> • DUAL_PORT • BIDIR_DUAL_PORT <p>q_b ポートの幅は data_b ポートの幅と等しいものである必要があります。</p>

MAX 10 デバイスの ROM: 2-PORT IP コアのパラメータ

表 7-3: MAX 10 デバイスの ROM: 2-PORT IP コアのパラメータ

この表は、MAX 10 デバイスに適用可能な IP コアのパラメータをリストしています。

オプション		正当値	説明
パラメータ設定：Widths/Blk Type			
How do you want to specify the memory size?		<ul style="list-style-type: none"> • As a number of words • As a number of bits 	メモリ容量をワードで指定するか、またはビットで指定するかを決定します。
How many <X>-bit words of memory?		—	<X>ビット・ワードの数を指定します。
Use different data widths on different ports		On / Off	異なるポートで異なるデータ幅を使用するかどうかを指定します。
Read Ports	How wide should the 'q_a' output bus be?	1、2、3、4、5、6、7、8、9、16、18、32、36、64、72、108、128、144、256、および 288	入力ポートと出力ポートの幅を指定します。 How wide should the 'q_b' output bus be? オプションは、 Use different data widths on different ports パラメータをオンにする場合にのみ使用可能です。
	How wide should the 'q_b' output bus be?		

オプション	正当値	説明
What should the memory block type be?	Auto、M9K	メモリ・ブロックのタイプを指定します。選択できるメモリ・ブロックのタイプは、ターゲットのデバイスによって異なります。
Set the maximum block depth to	Auto、128、256、512、1024、2048、4096、8192	最大ブロック深度をワードで指定します。
パラメータ設定：Clks/Rd, Byte En		
What clocking method would you like to use?	<ul style="list-style-type: none"> Single clock Dual clock: use separate 'input' and 'output' clocks Dual clock: use separate clocks for A and B ports 	<p>使用するクロッキング方法を指定します。</p> <ul style="list-style-type: none"> Single clock—シングル・クロックとクロック・イネーブルがメモリ・ブロックのすべてのレジスタを制御します。 Dual Clock: use separate 'input' and 'output' clocks—入力クロックと出力クロックが、データ、アドレス、バイト・イネーブル、読み取りイネーブル、および書き込みイネーブルを含むメモリ・ブロックへのデータ出入力、およびメモリ・ブロックからのデータ出入力に関連するすべてのレジスタを制御します。 Dual clock: use separate clocks for A and B ports—クロック A がポート A 側のすべてのレジスタを制御し、クロック B がポート B 側のすべてのレジスタを制御します。また、各ポートはそれぞれ、ポート A およびポート B レジスタの独立クロック・イネーブルをサポートします。
Create a 'rden_a' and 'rden_b' read enable signal	On / Off	読み取りイネーブル信号を作成するかどうかを指定します。
パラメータ設定：Regs/Clkens/Aclrs		
Which ports should be registered?	<ul style="list-style-type: none"> Write input ports Read output port(s) 	On / Off
		読み取りまたは書き込み入力ポート、読み取りまたは書き込み出力ポートをレジスタに格納するかどうかを指定します。

オプション		正当値	説明
More Options	<ul style="list-style-type: none"> Input ports <ul style="list-style-type: none"> 'address_a' port 'address_b' port Q output ports <ul style="list-style-type: none"> 'q_a' port 'q_b' port 	On / Off	デフォルトでは、読み取り入力ポートと書き込み入力ポートはオンになっています。Q 出力ポートをレジスタに格納するかどうかのみ指定する必要があります。
Create one clock enable signal for each clock signal.		On / Off	各クロック信号に 1 つのクロック・イネーブル信号を作成するためのオプションをオンにするかどうかを指定します。
More Options	<ul style="list-style-type: none"> Clock enable options <ul style="list-style-type: none"> Use clock enable for port A input registers Use clock enable for port A output registers Address options <ul style="list-style-type: none"> Create an 'addressstall_a' input port. Create an 'addressstall_b' input port. 	On / Off	<ul style="list-style-type: none"> Clock enable options—デフォルトでは、ポート B の入力および出力レジスタのクロック・イネーブルはオンです。ポート A の入力および出力レジスタのクロック・イネーブルを使用するかどうかのみ指定する必要があります。 Address options—アドレス・レジスタのクロック・イネーブルを作成するかどうかを指定します。これらのポートは、アドレス・レジスタの追加のアクティブ Low クロック・イネーブル入力として機能するように作成することができます。
Create an 'aclr' asynchronous clear for the registered ports.		On / Off	レジスタに格納されたポートの非同期クリア・ポートを作成するかどうかを指定します。
More Options	<ul style="list-style-type: none"> 'q_a' port 'q_b' port 	On / Off	'q_a'および'q_b'ポートが aclr ポートによってクリアされるかどうかを指定します。

パラメータ設定：Mem Init

オプション	正当値	説明
Do you want to specify the initial content of the memory?	Yes, use this file for the memory content data	<p>メモリの初期内容を指定します。</p> <ul style="list-style-type: none"> メモリをゼロに初期化するには、No, leave it blank を選択します。 メモリ初期化ファイル（.mif）または 16 進（Intel-Format）ファイル（.hex）を使用するには、Yes, use this file for the memory content data を選択します。 <p>注: デバイスのコンフィギュレーション手法は Internal Configuration です。メモリの初期化を使用するためには、Enable ERAM Preload オプションをオンにする必要があります。Enable ERAM Preload オプションは、More Analysis & Synthesis Settings ダイアログ・ボックスでオンにすることができます。</p>
The initial content file should conform to which port's dimension?	<ul style="list-style-type: none"> PORT_A PORT_B 	初期コンテンツ・ファイルを準拠させる必要があるポートの寸法を指定します。

シフト・レジスタ（RAM ベース）IP コア・リファレンス

8

2014.09.22

UG-M10MEMORY



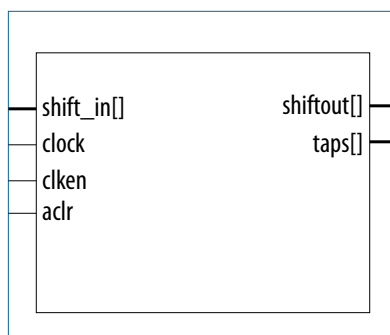
署名



フィードバック

シフト・レジスタ（RAM ベース）IP コアは、従来のシフト・レジスタにはない追加の機能を有します。メモリブロックをシフト・レジスタ・ブロックとして使用して、ロジック・セルと配線リソースを節約することができます。また、より大きなシフト・レジスタを実装するためにメモリ・ブロックをカスケード接続することができます。

図 8-1: シフト・レジスタ（RAM ベース）IP コア信号



MAX 10 デバイスのシフト・レジスタ（RAM ベース）IP コア信号

表 8-1: シフト・レジスタ（RAM ベース）IP コア入力信号

信号	必要性	説明
shiftin[]	あり	シフタへのデータ入力。入力ポート WIDTH ビット幅です。
clock	あり	ポジティブ・エッジ・トリガ・クロック。
clken	なし	clock ポートのクロック・イネーブル。デフォルトでは、clken は VCC です。
aclr	なし	シフト・レジスタ・チェーンのコンテンツを非同期クリアします。shiftout 出力は aclr 信号がアサートされると直ちにクリアされます。

© 2014 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, ENPIRION, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO
9001:2008

表 8-2: シフト・レジスタ (RAM ベース) IP コア出力信号

信号	必要性	説明
shiftout[]	あり	シフト・レジスタの終端からの出力。出力ポート WIDTH ビット幅です。
taps[]	あり	シフト・レジスタに沿った等間隔のタップからの出力。出力ポート WIDTH * NUMBER_OF_TAPS 幅です。このポートは、シフト・レジスタに沿ったすべての等間隔タップ (各 WIDTH ビット) の集合体です。

MAX 10 デバイスのシフト・レジスタ (RAM ベース) IP コアのパラメータ

表 8-3: MAX 10 デバイスのシフト・レジスタ (RAM ベース) IP コアのパラメータ

この表は、MAX 10 デバイスに適用可能な IP コアのパラメータをリストしています。

オプション	値	説明
How wide should the "shiftin" input and the "shiftout" output buses be?	1、2、3、4、5、6、7、8、12、16、24、32、48、64、96、128、192、および 256	入力パターンを指定します。
How many taps would you like?	1、2、3、4、5、6、7、8、12、16、24、32、48、64、96、および 128	シフト・レジスタに沿った等間隔タップの数を指定します。
Create groups for each tap output	On / Off	各タップの出力にグループを作成します。
How wide should the distance between taps be?	3、4、5、6、7、8、16、32、64、および 128	クロック・サイクルで等間隔タップ間の距離を指定します。この数値は使用する RAM ワードの数に変換します。なお、値は 3 以上である必要があります。
Create a clock enable port	On / Off	clken ポートを作成します。
Create an asynchronous clear port	On / Off	aclr ポートを作成します。
What should the RAM block type be?	Auto、M9K	RAM ブロック・タイプを指定します。

2014.09.22

UG-M10MEMORY



署名



フィードバック

FIFO IP コアは FIFO モードを実装しており、メモリ・ブロックを FIFO バッファとして使用することができます。

- デザインにシングル・クロック FIFO バッファおよびデュアル・クロック FIFO バッファを実装するには、FIFO IP コアをシングル・クロック FIFO (SCFIFO) モードおよびデュアル・クロック FIFO (DCFIFO) モードで使します。
- デュアル・クロック FIFO バッファは、クロック・ドメイン間でデータを転送する際に役立ちます。
- M9K メモリ・ブロックは、空の FIFO バッファからの同時の読み取りおよび書き込みをサポートしません。

図 9-1: FIFO IP コア : SCFIFO モード信号

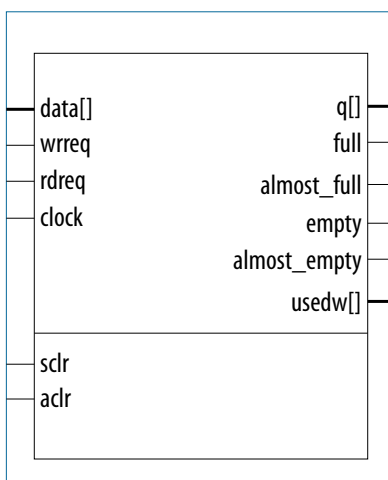
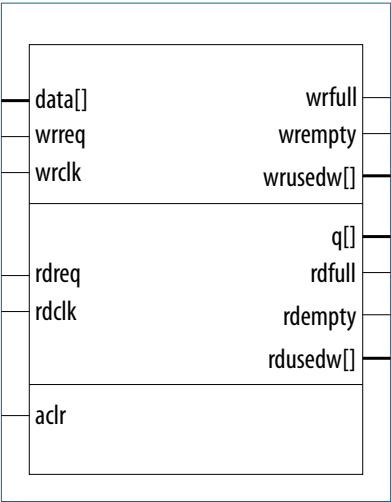


図 9-2: FIFO IP コア：DCFIFO モード信号



MAX 10 デバイスの FIFO IP コア信号

表 9-1: FIFO IP コア入力信号

信号	必要性	説明
clock	あり	ポジティブ・エッジ・トリガ・クロック。
wrclk	あり	ポジティブ・エッジ・トリガ・クロック。以下のポートを同期化します。 <ul style="list-style-type: none">• data• wrreq• wrfull• wrempty• wrusedw
rdclk	あり	ポジティブ・エッジ・トリガ・クロック。以下のポートを同期化します。 <ul style="list-style-type: none">• q• rdreq• rdfull• rdempty• rdusedw

信号	必要性	説明
data	あり	<p>wrreq 信号がアサートされるとき、FIFO IP コアに書き込まれるデータを保持します。</p> <p>FIFO IP コアを手動でインスタンス化する場合、ポート幅が How wide should the FIFO be? パラメータと等しいものであることを確認してください。</p>
wrreq	あり	<p>書き込み動作を要求するには、この信号をアサートします。</p> <p>以下の条件が満たされていることを確認してください。</p> <ul style="list-style-type: none"> full (SCFIFO モードの FIFO IP コア) または wrfull (DCFIFO モードの FIFO IP コア) ポートが High のとき、wrreq 信号をアサートしない。FIFO IP コアがフルのとき、自動的に wrreq 信号をディセーブルできるようオーバーフロー保護回路をイネーブルするか、Disable overflow checking. Writing to a full FIFO will corrupt contents パラメータをオンにします。 wrreq 信号は、full または wrfull 信号に基づいて機能タイミング要件を満たす必要があります。 aclr 信号がディアサートしている間 wrreq 信号をアサートしない。wrreq ポートが High に設定されている場合、この要件に違反すると、aclr 信号の立ち下りエッジと write クロックの立ち上がりエッジの間で競合状態を引き起こします。
rdreq	あり	<p>読み取り動作を要求するには、この信号をアサートします。rdreq 信号は通常の同期 FIFO モードと show-ahead モード同期 FIFO モードでは異なる機能を果たします。</p> <p>以下の条件が満たされていることを確認してください。</p> <ul style="list-style-type: none"> empty (SCFIFO モードの FIFO IP コア) または rdempty (DCFIFO モードの FIFO IP コア) ポートが High のとき、rdreq 信号をアサートしない。FIFO IP コアが空のとき、自動的に rdreq 信号をディセーブルできるようアンダーフロー保護回路をイネーブルするか、Disable underflow checking. Reading from an empty FIFO will corrupt contents パラメータをオンにします。 <p>rdreq 信号は、empty または rdempty 信号に基づいて機能タイミング要件を満たす必要があります。</p>
sclr	なし	<p>すべての出力ステータス・ポートをクリアするには、この信号をアサートします。ただし、q 出力への影響は異なる FIFO コンフィギュレーションで相違する場合があります。アクティブのままにしておく必要がある aclr 信号のクロック・サイクルの最小数に制限はありません。</p>
aclr	なし	

表 9-2: FIFO IP コア出力信号

信号	必要性	説明
q		読み取り要求動作から読み取られるデータを示します。SCFIFO および DCFIFO モードでは、q ポートの幅は data ポートの幅と等しいものである必要があります。IP を手動でインスタンス化する場合、ポート幅が How wide should the FIFO be? パラメータと等しいことを確認してください。DCFIFO_MIXED_WIDTHS モードでは、q ポートの幅は data ポートの幅と異なるものでも構いません。IP を手動でインスタンス化する場合、q ポートの幅が Use a different output width パラメータと等しいことを確認してください。IP は幅の広い書き込みポートと幅の狭い読み取りポート、および幅の狭い書き込みポートと幅の広い読み取りポートをサポートします。ただし、幅の比は RAM ブロックのタイプによって制限され、一般的には 2 の累乗です。
full	なし	アサートされる場合、FIFO IP コアはフルとみなされます。FIFO IP コアがフルのとき、書き込み要求動作を実行しないでください。一般的に rdfull 信号は wrfull 信号の遅延バージョンです。ただし、rdfull 信号は wrfull 信号の派生バージョンとしてではなく、組み合わせ出力として機能します。そのため、ターゲット・デバイスとは関係なく、常に wrfull ポートを参照して有効な書き込み要求動作が実行できるかどうかを確認する必要があります。
wrfull		
rdfull		
empty	なし	アサートされる場合、FIFO IP コアは空とみなされます。FIFO IP コアが空のとき、読み取り要求動作を実行しないでください。一般的に wrempty 信号は rdempty 信号の遅延バージョンです。ただし、wrempty 信号は rdempty 信号の派生バージョンとしてではなく、組み合わせ出力として機能します。そのため、ターゲット・デバイスとは関係なく、常に rdempty ポートを参照して有効な読み取り要求動作が実行できるかどうかを確認する必要があります。
wrempty		
rdempty		
almost_full	なし	usedw 信号が Almost full パラメータと等しいか、それを超える場合にアサートされます。full 信号の早期通知として使用されます。
almost_empty	なし	usedw 信号が Almost empty パラメータを下回る場合にアサートされます。empty 信号の早期通知として使用されます。
usedw	なし	FIFO に格納されたワード数を示します。SCFIFO または DCFIFO モードでは、FIFO IP コアを手動でインスタンス化する場合、ポート幅が usedw[] パラメータと等しいことを確認してください。DCFIFO_MIXED_WIDTH モードでは、wrusedw ポートおよび rdusedw ポートの幅はそれぞれ、 usedw[] および Use a different output width パラメータと等しいものである必要があります。
wrusedw		
rdusedw		

MAX 10 デバイスの FIFO IP コアのパラメータ

表 9-3: MAX 10 デバイスの FIFO IP コアのパラメータ

この表は、MAX 10 デバイスに適用可能な IP コアのパラメータをリストしています。

パラメータ	HDL パラメータ	説明
How wide should the FIFO be?	<code>lpm_width</code>	SCFIFO モードと DCFIFO モードの FIFO IP コアの <code>data</code> ポートおよび <code>q</code> ポートの幅を指定します。DCFIFO_MIXED_WIDTHS モードの FIFO IP コアでは、このパラメータは <code>data</code> ポートの幅のみを指定します。
Use a different output width ⁽¹⁾	<code>lpm_width_r</code>	DCFIFO_MIXED_WIDTHS モードの FIFO IP コアの <code>q</code> ポートの幅を指定します。
Usedw[]	<code>lpm_widthu</code>	SCFIFO モードの FIFO IP コアの <code>usedw</code> ポートの幅、あるいは DCFIFO モードの FIFO IP コアの <code>rdusedw</code> および <code>wrusedw</code> ポートの幅を指定します。DCFIFO_MIXED_WIDTHS モードの FIFO IP コアでは、 <code>wrusedw</code> ポートの幅のみを表します。
How deep should the FIFO be?	<code>lpm_numwords</code>	必要な FIFO の深度を指定します。値は 4 以上でなければなりません。割り当てられる値は、 $2^{\text{LPM_WIDTHU}}$ の式に準拠している必要があります。
Which kind of read access do you want with the <code>rdreq</code> signal?	<code>lpm_showahead</code>	FIFO が通常の同期 FIFO モードであるのか、show-ahead モード同期 FIFO モードであるのかを指定します。通常の同期 FIFO モードでは、 <code>rdreq</code> ポートがアサートされる場合、FIFO IP コアはこのポートを読み取り動作のみを実行する通常の読み取り要求として扱います。show-ahead モード同期 FIFO モードでは、FIFO IP コアは <code>rdreq</code> 信号をアサートせずに、 <code>rdreq</code> を FIFO IP コア内の有効なデータの最初のワードを自動的に出力する読み取り確認として扱います（ <code>empty</code> または <code>rdempty</code> ポートが Low のとき）。 <code>rdreq</code> 信号をアサートすると、可能な場合、FIFO IP コアが次のデータ・ワードを出力します。このパラメータをオンにすると、パフォーマンスが低下することがあります。
Do you want a common clock for reading and writing the FIFO?	<code>lpm_type</code>	LPM（Library of Parameterized Modules）のエンティティ名を識別します。値は SCFIFO と DCFIFO です。

⁽¹⁾ DCFIFO_MIXED_WIDTHS モードでのみ適用可能です。

パラメータ	HDL パラメータ	説明
Disable overflow checking. Writing to a full FIFO will corrupt contents	overflow_checking	FIFO IP コアがフルのとき、wrreq ポートをディセーブルするオーバーフローのチェックのための保護回路をイネーブルするかどうかを指定します。このパラメータは、デフォルトでイネーブルされています。
Disable underflow checking. Reading from an empty FIFO will corrupt contents.	underflow_checking	FIFO IP コアが空のとき、rdreq ポートをディセーブルするアンダーフローのチェックのための保護回路をイネーブルするかどうかを指定します。このパラメータは、デフォルトでイネーブルされています。空の SCFIFO モードからの読み取りによって予測不可能な結果が起こり得ることに注意してください。
Add an extra MSB to usedw⁽²⁾	add_usedw_msb_bit	rdusedw および wrusedw ポートの幅を 1 ビットずつ増大させます。幅を大きくことによって、FIFO IP コアがフルのとき、ゼロにロール・オーバーすることを防ぎます。このパラメータは、デフォルトでディセーブルされています。
How many sync stages?⁽²⁾	rdsync_delaypipe	クロス・クロック・ドメインにおける同期ステージ数を指定します。rdsync_delaypipe パラメータの値は、同期ステージを書き込みコントロール・ロジックから読み取りコントロール・ロジックに関連させます。wrsync_delaypipe パラメータの値は、同期ステージを読み取りコントロール・ロジックから書き込みコントロール・ロジックに関連させます。クロックが同期化されていない場合はこれらのパラメータを使用して同期ステージの数を設定し、clocks_are_synchronized パラメータを FALSE に設定します。実装されている実際の同期ステージは、ターゲットのデバイスに応じて割り当てられたパラメータの値に多様に関連します。
How many sync stages?⁽²⁾	wrsync_delaypipe	クロス・クロック・ドメインにおける同期ステージ数を指定します。rdsync_delaypipe パラメータの値は、同期ステージを書き込みコントロール・ロジックから読み取りコントロール・ロジックに関連させます。wrsync_delaypipe パラメータの値は、同期ステージを読み取りコントロール・ロジックから書き込みコントロール・ロジックに関連させます。クロックが同期化されていない場合はこれらのパラメータを使用して同期ステージの数を設定し、clocks_are_synchronized パラメータを FALSE に設定します。実装されている実際の同期ステージは、ターゲットのデバイスに応じて割り当てられたパラメータの値に多様に関連します。

⁽²⁾ DCFIFO モードでのみ適用可能です。

パラメータ	HDL パラメータ	説明
Implement FIFO storage with logic cells only, even if the device contains memory blocks.	use_eab	FIFO IP コアが RAM ブロックを使用して構成されるかどうかを指定します。デフォルトでは、このパラメータはディセーブルされています。このパラメータをオフにすると、 What should the memory block type be パラメータに割り当てられたメモリ・ブロック・タイプに関係なく、FIFO IP コアはロジック・エレメントに実装されます。
Add circuit to synchronize 'aclr' input with 'wrclk' ⁽²⁾	write_aclr_synch	wrclk クロックによって aclr ポートを内部的に同期させる回路を追加するかどうかを指定します。この回路を追加すると、FIFO IP コアを破損し得る wrreq ポートと aclr ポート間の競合状態を防ぐことができます。デフォルトでは、このパラメータはディセーブルされています。
Add circuit to synchronize 'aclr' input with 'rdclk'	read_aclr_synch	rdclk クロックによって aclr ポートを内部的に同期させる回路を追加するかどうかを指定します。この回路を追加すると、FIFO IP コアを破損し得る rdreq ポートと aclr ポート間の競合状態を防ぐことができます。デフォルトでは、このパラメータはディセーブルされています。
Which type of optimization do you want? ⁽²⁾	clocks_are_synchronized	書き込みクロックと読み取りクロックが同期化されるかどうかを指定します。これにより、FIFO の動作を安定させるために追加される内部同期ステージ数を決定します。値は TRUE と FALSE です。省略する場合、デフォルト値は FALSE です。書き込みクロックと読み取りクロックが常に同期され、互いの倍数になる場合のみパラメータを TRUE に設定する必要があります。それ以外の場合は、メタスタビリティの問題を防ぐため、このパラメータを FALSE に設定します。クロックが同期化されない場合はこのパラメータを FALSE に設定し、rdsync_delaypipe および wrsync_delaypipe パラメータを使用して必要な同期ステージ数を決定します。
What should the memory block type be	ram_block_type	使用するターゲット・デバイスのメモリ・ブロックを指定します。設定した RAM コンフィギュレーションに基づいた適切な実装を取得するには、このパラメータを無視することによって Quartus II ソフトウェアが自動的にメモリ・タイプを選択することを可能にし、 Implement FIFO storage with logic cells only, even if the device contains memory blocks. パラメータをオンにします。これにより、必要な FIFO の深度に基づいて使用可能なメモリ・リソースにメモリ機能を配置するにあたって、コンパイラの柔軟性が増します。

パラメータ	HDL パラメータ	説明
Would you like to register the output to maximize the performance but use more area? ⁽³⁾	add_ram_output_register	q 出力をレジスタするかどうかを指定します。値は Yes (best speed) と No (smallest area) です。デフォルト値は No (smallest area) です。
Becomes true when usedw[] is greater than or equal to: ⁽³⁾	almost_full_value	almost_full ポートのスレッシュホールド値を設定します。FIFO IP コアに格納されているワード数がこの値以上になる場合、almost_full ポートがアサートされます。
Almost full ⁽³⁾		
Almost empty ⁽³⁾	almost_empty_value	almost_empty ポートのスレッシュホールド値を設定します。FIFO IP コアに格納されているワード数がこの値未満になる場合、almost_empty ポートがアサートされます。
Becomes true when usedw[] is less than: ⁽³⁾		
Currently selected device family	intended_device_family	Quartus II プロジェクトで設定したデバイスと一致するデバイスを指定します。機能シミュレーションでのみこのパラメータを使用します。

⁽³⁾ SCFIFO モードでのみ適用可能です。



ALTMEMMULT IP コア・リファレンス 10

2014.09.22

UG-M10MEMORY



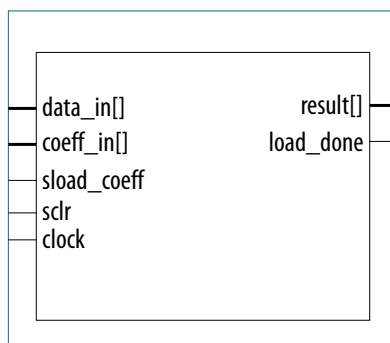
署名



フィードバック

ALTMEMMULT IP コアは、M9K メモリ・ブロックが有するオンチップ・メモリ・ブロックを使用してメモリ・ベースの乗算器のみを作成します。

図 10-1: ALTMEMMULT IP コア信号



MAX 10 デバイスの ALTMEMMULT IP コア信号

表 10-1: ALTMEMMULT IP コア入力信号

信号	必要性	説明
clock	あり	乗算器へのクロック入力。
coeff_in[]	なし	乗算器の係数入力ポート。入力ポートの容量は WIDTH_C パラメータの値によって決まります。
data_in[]	あり	乗算器へのデータ入力ポート。入力ポートの容量は WIDTH_D パラメータの値によって決まります。
sclr	なし	同期クリア入力。使用しない場合、デフォルト値はアクティブ High です。
sel[]	なし	固定係数選択。入力ポートの容量は WIDTH_S パラメータの値によって決まります。
sload_coeff	なし	同期ロード係数入力ポート。現在選択している係数値を coeff_in 入力で指定した値に置き換えます。

© 2014 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, ENPIRION, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO
9001:2008

信号	必要性	説明
sload_data	なし	同期ロード・データ入力ポート。新しい乗算演算を指定し、既存の乗算演算をキャンセルする信号。MAX_CLOCK_CYCLES_PER_RESULT パラメータが 1 の値を有する場合、sload_data 入力ポートは無視されます。

表 10-2: ALTMEMMULT IP コア出力信号

信号	必要性	説明
result[]	あり	乗算器出力ポート。出力ポートの容量は WIDTH_R パラメータの値によって決まります。
result_valid	あり	出力が完全な乗算の有効な結果である場合を示します。MAX_CLOCK_CYCLES_PER_RESULT パラメータが 1 の値を有する場合、result_valid 出力ポートは使用されません。
load_done	なし	新しい係数のロードが完了したことを示します。load_done 信号は、新しい係数のロードが完了したときにアサートします。load_done 信号が High でない場合は、他の係数値をメモリにロードすることはできません。

MAX 10 デバイスの ALTMEMMULT IP コアのパラメータ

表 10-3: MAX 10 デバイスの ALTMEMMULT IP コアのパラメータ

この表は、MAX 10 デバイスに適用可能な IP コアのパラメータをリストしています。

オプション	値	説明
How wide should the 'data_in' input bus be?	2、3、4、5、6、7、8、16、24、および 32	data_in ポートの幅を指定します。
What is the representation of 'data_in'?	SIGNED、UNSIGNED	data_in 入力ポートが符号付きか、または符号なしかを指定します。
How wide should the coefficient be?	2、3、4、5、6、7、8、16、24	coeff_in ポートの幅を指定します。
What is the representation of the coefficient?	SIGNED、UNSIGNED	coeff_in 入力ポートとプリロードされた係数が符号付きか、または符号なしかを指定します。
What is the value of the initial coefficient?	0、1、2、3、および 4	最初の固定係数の値を指定します。
Create ports to allow loading coefficients	On / Off	coeff_in および sload_coeff ポートを作成します。
Create a synchronous clear input	On / Off	sclr ポートを作成します。
What should the RAM block type be?	Auto、M9K	RAM ブロック・タイプを指定します。

MAX 10 エンベデッド・メモリ・ユーザーガイドの追加情報

A

2014.09.22

UG-M10MEMORY



署名



フィードバック

MAX 10 エンベデッド・メモリ・ユーザーガイド改訂履歴

日付	バージョン	変更内容
2014 年 9 月	2014.09.22	初版

© 2014 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, ENPIRION, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO
9001:2008