

SiC MOSFET

スナバ回路の設計方法

近年、SiC MOSFET は、様々な電源アプリケーションや電力ラインのスイッチング素子として急激に使用が加速しています。これは従来のパワー半導体と比較して高速スイッチング動作が可能となったことがひとつの要因となっていますが、スイッチング時の電圧や電流の変化が急峻になったことで、デバイス自身のパッケージインダクタンスや周辺回路の配線インダクタンスの影響を無視できなくなっており、結果としてドレインソース間に大きなサージが発生します。このサージは、使用する MOSFET の最大定格を超えないようにしなければならず、様々な抑制方法があります。そこで、このアプリケーションノートでは、ドレインソース間のサージ抑制方法のひとつであるスナバ回路の設計方法について説明します。

ドレインソース間に発生するサージ

ドレインソース間に発生するサージは、ターンオン時に流れた電流のエネルギー、配線や基板パターンのインダクタンスに蓄積されたままになっており、そのエネルギーがスイッチングデバイスの寄生容量と共振することにより発生します。Figure 1 にサージ発生時のリングング電流の経路について説明します。同図では High 側 (HS) と Low 側 (LS) にスイッチングデバイスが接続されるブリッジ構成で、LS デバイスがターンオンし、スイッチング電流 I_{MAIN} が流れた場合を示しています。この I_{MAIN} は通常 V_{SW} から流入し配線インダクタンス L_{MAIN} を通して流れています。

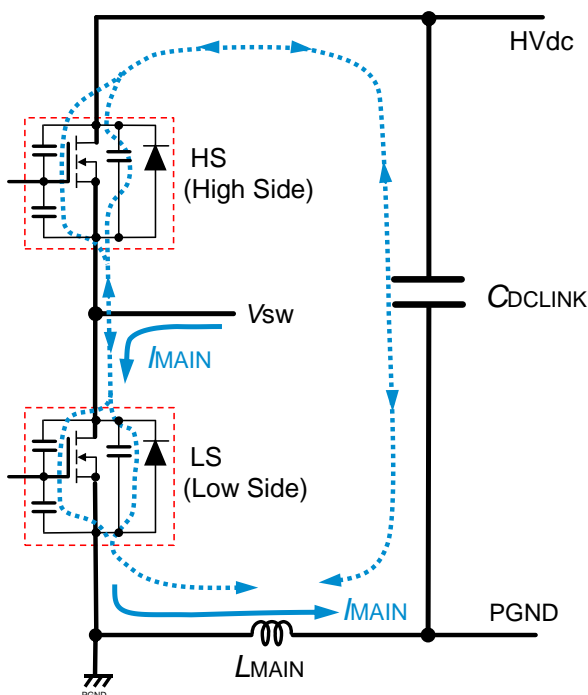


Figure 1. ターン・オフサージ発生時のリングング電流経路

次に LS デバイスがターン・オフした時、 L_{MAIN} に流れていた I_{MAIN} が、通常、入力電源 $HVdc$ - $PGND$ 間に接続されているバルク用コンデンサ C_{DCLINK} を通して HS デバイスと LS デバイスの寄生容量を経由し点線のように流れます。この時、LS 側ドレインソース間に L_{MAIN} と MOSFET の寄生容量 C_{OSS} ($C_{DS} + C_{DG}$) による共振現象が起き、ドレインソース間にサージが発生します。そのサージの最大値 V_{DS_SURGE} は、 $HVdc$ 端子に印加される電圧を V_{HVDC} 、MOSFET がターン・オフする時の抵抗を R_{OFF} とすると、以下の式で示されます^(*)1)。

$$V_{DS_SURGE} = \frac{V_A \cdot e^{-(a/\omega)[\tan^{-1}(a/\omega) + \phi]}}{1 + (a/\omega)^2} + V_{HVDC} \quad (1)$$

ただし、

$$V_A = \sqrt{V_{HVDC}^2 + (a/\omega)^2 * (2 * R_{OFF} * I_{MAIN} - V_{HVDC})^2}$$

$$\phi = \tan^{-1} \frac{V_{HVDC}}{(a/\omega) * (2 * R_{OFF} * I_{MAIN} - V_{HVDC})}$$

$$a = \frac{1}{2 * R_{OFF} * C_{OSS}}$$

$$\omega_{SURGE} = \frac{1}{\sqrt{L_{MAIN} * C_{OSS}}} * \sqrt{1 - \left(\frac{\sqrt{L_{MAIN} / C_{OSS}}}{2 R_{OFF}}\right)^2}$$

Figure 2. に ROHM 製 SiC MOSFET (SCT2080KE) を使ったターン・オフ時のサージ波形を示します。HVdc に 800V を印加した時、 V_{DS_SURGE} は 961V、リングング周波数は約 33MHz となっていることが分かります。式 (1) を使い、この波形から L_{MAIN} を算出すると約 110nH となります。

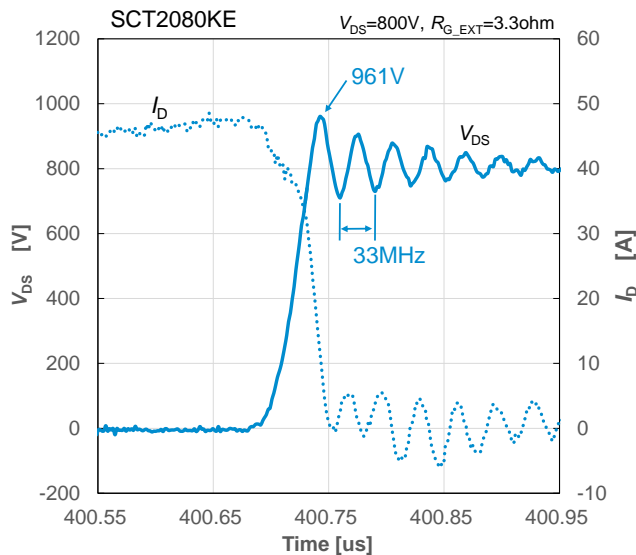


Figure 2. ターン・オフサージ波形

次に、Figure 3.に示すスナバ回路 C_{SNB} を付加し、実質的に L_{MAIN} が取り除かれた時のターン・オフサージ波形を Figure 4.に示します。

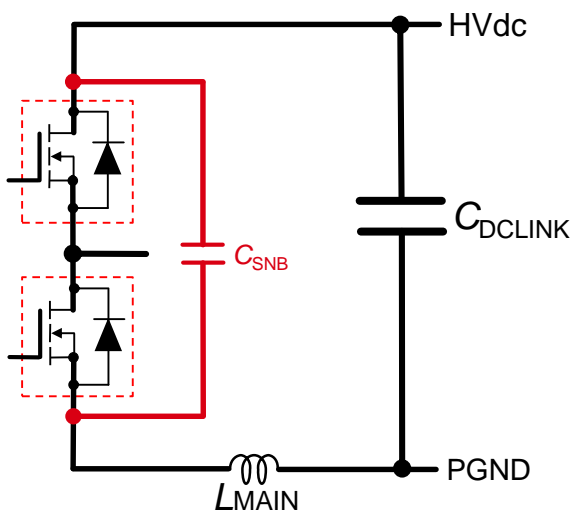


Figure 3. C スナバ回路

この時サージが 50V 以上低減され（約 901V）、リング周波数も 44.6MHz と大きくなり、 C_{SNB} を含む回路網での L_{MAIN} が小さくなっていることが分かります。同様に式（1）を用いて L_{MAIN} を算出すると、約 71nH となりました。

本来ならばこの配線インダクタンスを最小化するパターン設計が望ましいですが、通常デバイスの放熱設計を優先するため、必ずしも理想的な配線設計とはなりません。そこで、スナバ回路をできるだけスイッチングデバイスの近くにレイアウトし、バイパス回路を形成することにより、

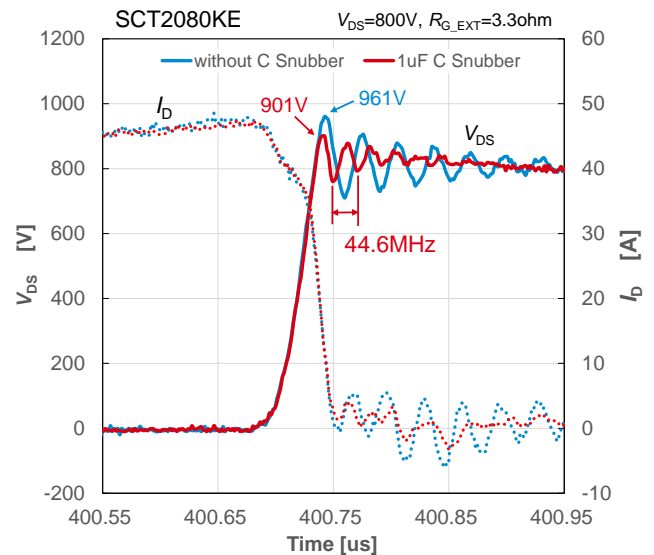


Figure 4. C スナバ回路によるターン・オフサージの低減

サージ発生の元となっている配線インダクタンスを最小化し、更に最小化された配線インダクタンスに蓄積されたエネルギーを吸収することができます。そして、スイッチングデバイスの電圧をクランプし、ターン・オフサージを小さくすることが可能となります。

スナバ回路の種類と選定

スナバ回路には抵抗やコイルおよびコンデンサなどの受動部品を組み合わせた回路や、半導体デバイスを用いたアクティブ回路があります。
(*1) このアプリケーションノートでは、制御不要でコスト的に優れた回路方式について説明します。

Figure 5.にスナバ回路例を示します。ブリッジ構成となっている MOSFET の上下に一括してコンデンサ C_{SNB} を接続する(a)C スナバ回路、各スイッチングデバイスのドレイン・ソース間に抵抗 R_{SNB} とコンデンサ C_{SNB} を接続する(b)RC スナバ回路、RC スナバ回路にダイオードを追加した(c)放電型 RCD スナバ回路、RCD スナバ回路の放電経路を変更した(d)非放電型 RCD スナバ回路などがあります。

これらのスナバ回路は、より効果を発揮するためには、出来る限りスイッチングデバイスの近くに実装されなければなりません。

(a)は部品点数が少ないですが、ブリッジ構成の上下間に接続しなければならないため、配線長が長くなる欠点があり、ディスクリート品よりも 2 in 1 構成等のモジュールで用いられることが多いです。

(b)は各スイッチングデバイスの近傍にスナバ回路をレイアウトできますが、デバイスがターンオンする毎に C_{SNB} に蓄積されたエネルギー全てを R_{SNB} で消費しなければなりません。（ブリッジ構成の場合、同期側はデッドタイム期間中に C_{SNB} に蓄積されたエネルギーは回収されます）そのため、スイッチング周波数が高くなると、 R_{SNB} で消費される電力は数 W にもなり、 C_{SNB} をあまり大きくできずサージ抑制効果が限定的になり易い方式です。また、 R_{SNB} によりサージ吸収能力は制限され、抑

制効果も限定的となります。

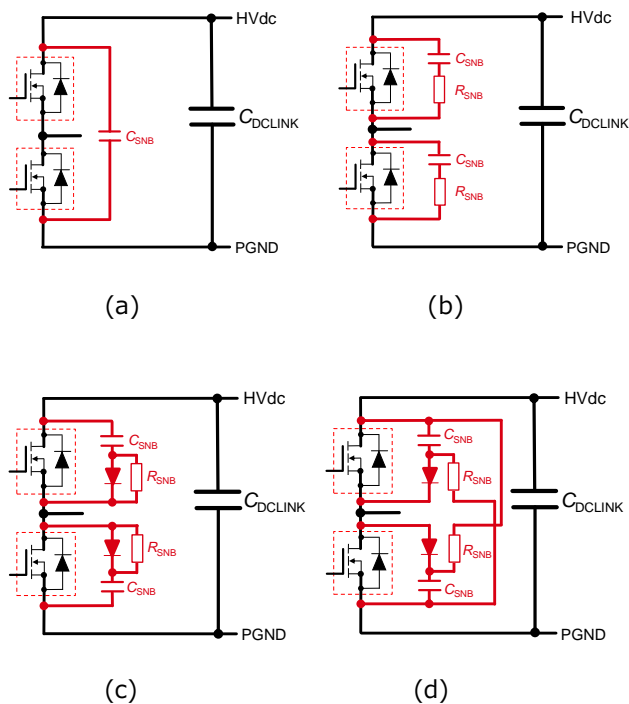


Figure 5. スナバ回路の種類

(a)C スナバ回路, (b)RC スナバ回路,

(c)放電型 RCD スナバ回路, (d)非放電型 RCD スナバ回路

(c)は R_{SNB} で消費する電力は(b)と同じですが、サージをダイオードのみ経由して吸収するため、(b)よりもサージ吸収効果が高く実用的です。ただし、使用するダイオードのリカバリ特性に注意し、サージ吸収時の電流変化が大きいためにスナバ回路の配線インダクタンスを極力小さくするなどの配慮が必要となります。なお、 R_{SNB} は C_{SNB} と並列に接続しても動作上は同じです。

(d)は C_{SNB} で吸収したサージエネルギーのみを R_{SNB} で消費するのみであり、 C_{SNB} に蓄積されたエネルギー全てをスイッチング毎に放電しません。そのため、スイッチング周波数が高速化しても R_{SNB} の消費電力はそれほど大きくならず、 C_{SNB} を大きくすることが可能となり、極めて抑制効果の高い回路を実現できます。ただ、配線レイアウトが複雑になり、4 層以上の基板でなければ実現は極めて困難です。

このように、ここで紹介したスナバ回路にも一長一短があり、電源回路構成や変換電力容量に応じた最適なスナバ回路を選択する必要があります。

次節から各スナバ回路の設計方法について説明します。

C スナバ回路の設計

Figure 6.に示す C スナバ回路は、 C_{SNB} を通して L_{MAIN} の蓄積エネルギーを吸収します。そのため、スナバ回路に形成される L_{SNB} は L_{MAIN} よりも小さくする必要があります。 C_{SNB} に蓄積されたエネルギーは基本的に放電されませんので、静電容量は大きいほどサージ抑制効果は

高くなりますが、使用するコンデンサの等価直列インダクタンス (ESL) も L_{SNB} に加味する必要があります。一般的にコンデンサはサイズが大きくなるほど ESL は大きくなりますので、静電容量の選定に当たっては注意を要します。

L_{MAIN} に蓄積されたエネルギーを全て C_{SNB} で吸収するとして、式(2)で示した静電容量を目安としてコンデンサを選定します。

$$C_{SNB} > \frac{L_{MAIN} \cdot I_{MAIN}^2}{V_{DS_SURGE}^2 - V_{HVDC}^2} \quad (2)$$

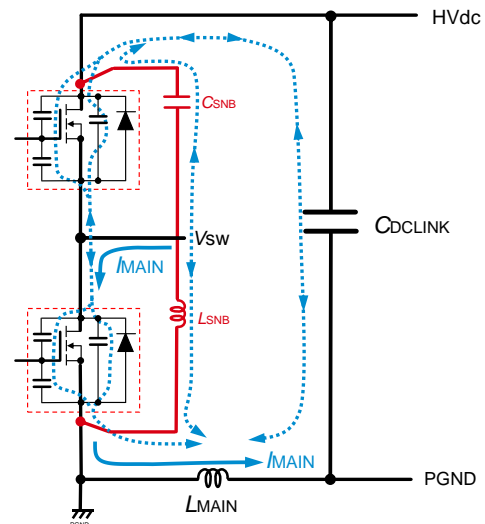


Figure 6. C スナバ回路

RC スナバ回路の設計

Figure 7.に RC スナバ回路の動作時電流の経路を示します。

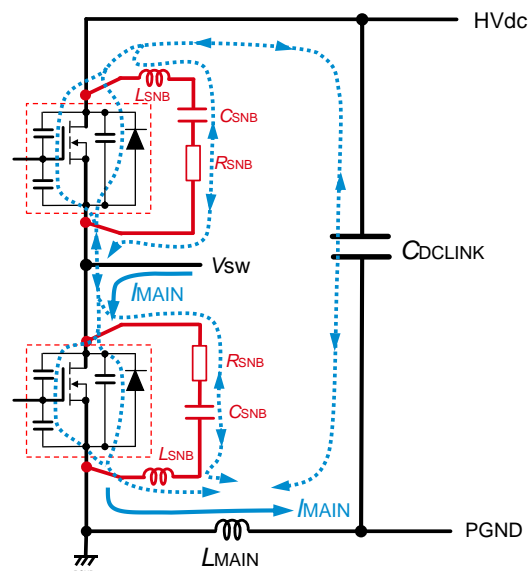


Figure 7. RC スナバ回路

C_{SNB} は C スナバ回路と同様に式(2)により決定します。次 R_{SNB} の目安値を式(3)から求めます。

$$R_{SNB} < \frac{-1}{f_{SW} \cdot C_{SNB} \cdot \ln[(V_{DS_SURGE} - V_{SNB}) / V_{DS_SURGE}]} \quad (3)$$

f_{SW} : スイッチング周波数

V_{SNB} : 放電スナバ電圧 (V_{DS_SURGE} の 0.9 倍)

R_{SNB} を決定した後に R_{SNB} で消費される電力を式(4)で計算し、損失を満足する抵抗器を選定します。

$$P_{SNB} = \frac{L_{TRACE} \times I_{MAIN}^2 \times f_{SW}}{2} + \frac{C_{SNB} \times V_{HVDC}^2 \times f_{SW}}{2} \quad (4)$$

RC スナバ回路では、式(4)の第二項が追加され、 f_{SW} あるいは V_{HVDC} が高いほど R_{SNB} で消費される電力は大きくなりますので、 P_{SNB} が大きく抵抗の選定が困難な場合は、 C_{SNB} の静電容量値を下げて再計算しなければなりません。

更に、RC スナバ回路が十分にサージを吸収するためには、 R_{SNB} と C_{SNB} による共振角周波数 ω_{SNB} が、サージの共振角周波数 ω_{SURGE} よりも十分高くなっていなければサージを吸収できませんので、式(5)に示す RC スナバ回路の共振角周波数 ω_{SNB} を合わせて確認します。

$$\omega_{SNB} = \frac{1}{R_{SNB} \cdot C_{SNB}} \gg \omega_{SURGE} \quad (5)$$

放電型 RCD スナバ回路の設計

放電型 RCD スナバ回路の設計は基本的に RC スナバ回路と同じとなります。ただし、ダイオードによるサージ吸収のため、式(5)による共振角周波数の確認は不要です。

なお、ダイオードはリカバリ電流の小さい製品を選定しなければなりません。

非放電型 RCD スナバ回路の設計

非放電型 RCD スナバ回路は放電型 RCD スナバ回路と違い R_{SNB} で消費する電力は、サージ分のみのエネルギーであり、許容損失が抑えられ R_{SNB} の選択枝が広がります。そのため、 C_{SNB} の静電容量を大きくすることが可能となり、クランプ効果を高めることができます。

C_{SNB} は式(2)で決定し、 R_{SNB} は式(3)で決定しますが、 R_{SNB} の消費電力は式(6)で決定され、式(4)の C_{SNB} および f_{SW} 含む第二項がありません。そのため、 C_{SNB} あるいは f_{SW} による消費電力の増加が基本的に無いため、大きい静電容量の C_{SNB} を選択できるため、クランプ効果の高いスナバ回路を実現できるばかりか、 f_{SW} の高周波化に対応できます。

$$P_{SNB} = \frac{L_{TRACE} \times I_{MAIN}^2 \times f_{SW}}{2} \quad (6)$$

Figure 8. に非放電型 RCD スナバ回路の動作後の放電経路を示します。上アームのサージは PGND へ、下アームは HVdc へと放電電流が R_{SNB} を経由して流れるため、それほど配線インダクタンスの影響を受けません。一方、MOSFET のドレイン-ソース間に接続する配線インダクタンス L_{SNB} は電流変化が大きいので極力小さくする必要があります。

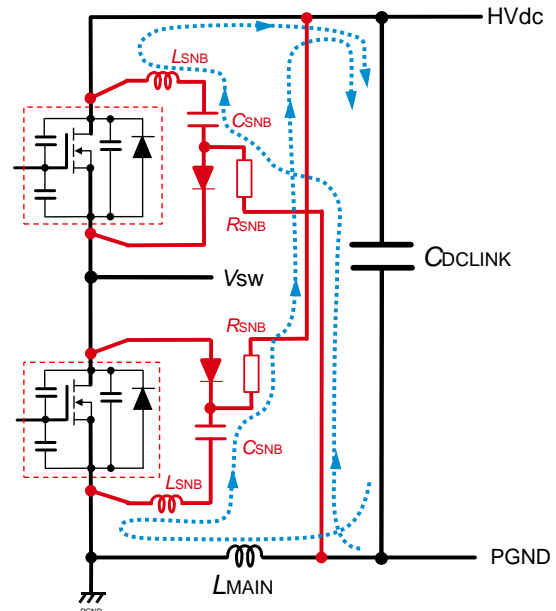
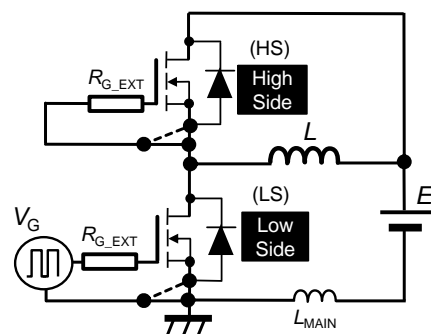


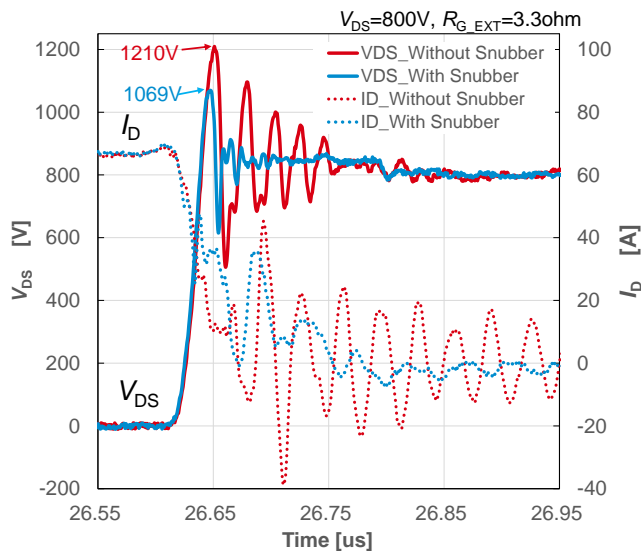
Figure 8. 非放電型 RCD スナバ回路の放電

Figure 9. に ROHM 製 SiC MOSFET (SCT3080KR) を用いた非放電型 RCD スナバ回路の効果を ROHM 製評価基板 (P02SCT3040KR-EVK-001) を使い検証した波形を示します。(a)は測定回路、(b)はスナバ回路の有無による測定波形です。 R_{G_EXT} は 3.3Ω 、HVdc は 800V、ドレイン電流 I_D は約 70A 時のターン・オフ波形となっています。

スナバ回路を接続しない時、ターン・オフ時のサージは 1210V 発生していますが、スナバ回路を付加すると 1069V になり、約 12% 低減していることが分かります。また、サージと一緒に発生している電圧リングも、スナバ回路を付加することで取り除かれており、大幅な EMC 低減も可能です。



(a) 測定回路 (LS 側スイッチング)



(b)ターン・オフ時の V_{DS} , I_D 波形

Figure 9. ターン・オフ サージ測定 (スナバ回路あり・なし)

また、Figure 10.に Buck Converter での変換効率を比較したグラフを示します。入力電圧 400V、出力電圧 200V、 R_{G_EXT} 6.8 Ω に設定し、発振周波数 100kHz 時の効率を示しています。

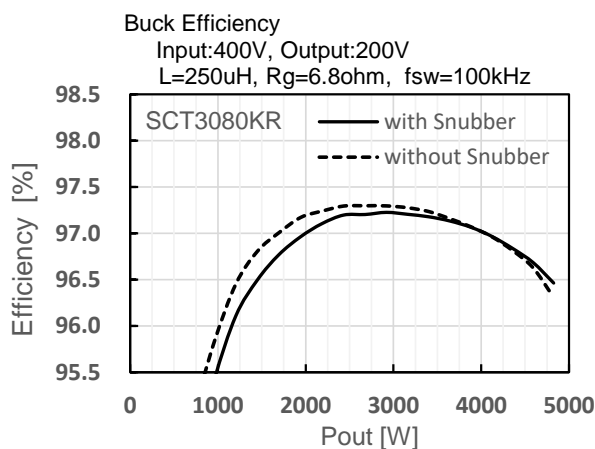


Figure 10. Buck 回路の効率

負荷電力を 1kW~4.8kW まで変化させた時、約 4kW 以下ではスナバ回路が無い場合の効率が最大で 0.4%良い結果となった一方で、4kW 以上ではスナバ回路を有する場合の効率が 0.15%良くなりました。これは、負荷電力が大きくなるとサージによる電力損失（共振電流によるコンデンサ等での等価直列抵抗による損失など）が大きくなり、スナバ回路によるサージ抑制でスイッチング損失が結果として低減されたためです。

パッケージによるサージ発生の違い

最後にターン・オフサージの発生がパッケージによって異なることを説明します。

Figure 11.は ROHM 製 SiC MOSFET の代表的なパッケージですが、(a)は広く一般的に使用されている TO-247N(3 ピン)、(b)は近年採用が広がっている駆動回路用ソース端子（いわゆるケルビン接続）を備えた TO-247-4L です。

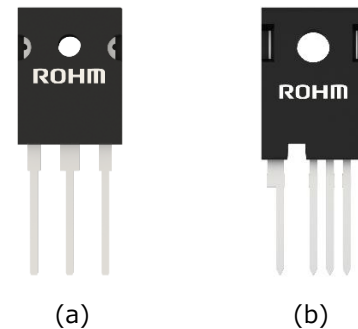


Figure 11. SiC MOSFET のパッケージ例

(a)TO-247N, (b)TO-247-4L

この 4L タイプは 3L タイプに比べ、駆動回路の経路を変更することで、スイッチング速度を速くしたものです。そのため、ターンオンサージやターン・オフサージが従来よりも大きくなる傾向にあります。

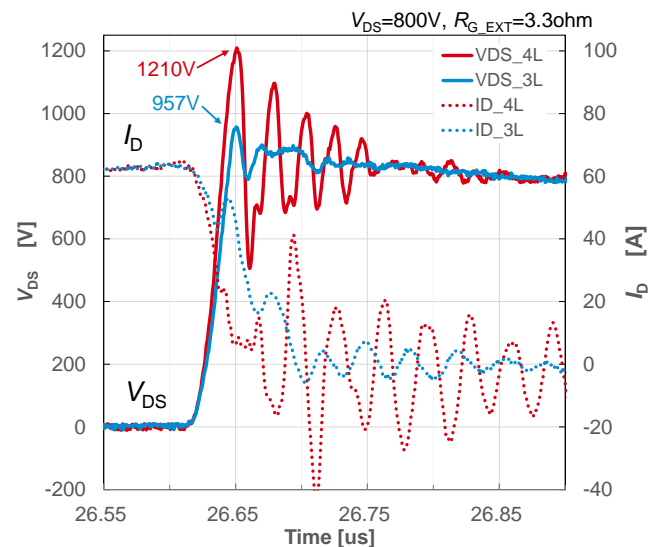


Figure 12. ターン・オフサージ比較

(TO-247N VS. TO-247-4L)

Figure 12.に 3L タイプと 4L タイプのターン・オフサージ比較を検証した波形を示します。測定回路は、Figure 9(a)と同じです。 V_{DS} = 800V、 R_{G_EXT} = 3.3 Ω 、 I_D = 65A 時のターン・オフであり、ドレイン・ソース間サージは 3L タイプが 957V なのに対し、4L タイプは 1210V と大きくなっていることがわかります。

このサージによる V_{DS} のリングングは、Figure 7.や Figure 8.で示したように、 C_{DS} のみならず、 C_{DG} , C_{GS} も経路して流れるため、MOSFET のゲート・ソース間電圧 V_{GS} に予期しないサージを発生させることがあり、

V_{GS} のサージ規格を越えてしまうことがあります。そのため、 V_{GS} のサージ抑制方法について別途アプリケーションノート^(*2)を提供していますが、抑制効果が不足する場合は、ドレイン－ソース間にスナバ回路を付加しサージを抑制することが有効な手段になる場合もあります。

以上のとおり、ブリッジ構成による MOSFET のゲート信号は、MOSFET 同士がお互いに関連しながら動作し、ゲート－ソース間電圧に予期しない電圧サージを発生させており、その抑制方法は基板のパターンレイアウトと絡みながら様々な対応が必要となっています。この資料はその一助となる資料として活用されることを期待しています。

参考資料：

*1 「スイッチングコンバータの基礎」 P95～P107

原田耕介、二宮保、顧文建 著

コロナ社, 1992 年 2 月

*2 「ゲート－ソース電圧のサージ抑制方法」

アプリケーションノート (No. 62AN009JRev.002)

ローム株式会社, 2020 年 4 月

ご 注 意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) 本資料に記載されている内容は製品のご紹介資料です。ご使用に際しては、別途最新の仕様書を必ずご請求のうえ、ご確認ください。
- 3) ロームは常に品質・信頼性の向上に取り組んでおりますが、半導体製品は種々の要因で故障・誤作動する可能性があります。
万が一、本製品が故障・誤作動した場合であっても、その影響により人身事故、火災損害等が起こらないようご使用機器でのディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もロームは負うものではありません。
- 4) 本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。
したがって、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。
- 5) 本資料に記載されております技術情報は、製品の代表的動作および応用回路例などを示したものであり、ロームまたは他社の知的財産権その他のあらゆる権利について明示的にも黙示的にも、その実施または利用を許諾するものではありません。上記技術情報の使用に起因して紛争が発生した場合、ロームはその責任を負うものではありません。
- 6) 本資料に掲載されております製品は、耐放射線設計はなされていません。
- 7) 本製品を下記のような特に高い信頼性が要求される機器等に使用される際には、ロームへ必ずご連絡の上、承諾を得てください。
・輸送機器（車載、船舶、鉄道など）、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム
- 8) 本製品を極めて高い信頼性を要求される下記のような機器等には、使用しないでください。
・航空宇宙機器、原子力制御機器、海底中継機器
- 9) 本資料の記載に従わないために生じたいかなる事故、損害もロームはその責任を負うものではありません。
- 10) 本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ロームはその責任を負うものではありません。
- 11) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上でご使用ください。
お客様にかかる法令を順守しないことにより生じた損害に関して、ロームは一切の責任を負いません。
本製品の RoHS 適合性などの詳細につきましては、セールス・オフィスまでお問合せください。
- 12) 本製品および本資料に記載の技術を輸出又は国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 13) 本資料の一部または全部をロームの許可なく、転載・複写することを堅くお断りします。



ローム製品のご検討ありがとうございます。
より詳しい資料やカタログなどご用意しておりますので、お問合せください。

ROHM Customer Support System

<http://www.rohm.co.jp/contact/>