

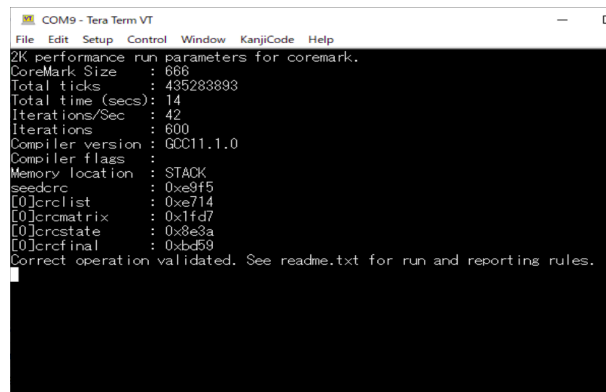
# 後期実験：マイクロプロセッサの設計と 実装

電気電子工学科3年

03210499

高原陽太

平成34年1月1日

A screenshot of a terminal window titled 'COM9 - Tera Term VT'. The window displays the output of a CoreMark test. The text is as follows:

```
2K performance run parameters for coremark.  
CoreMark Size : 666  
Total ticks : 435283893  
Total time (secs): 14  
Iterations/Sec : 42  
Iterations : 600  
Compiler version : GCC11.1.0  
Compiler flags :  
Memory location : STACK  
seedcrc : 0xe8f5  
[0]crc1 : 0xe714  
[0]crcmatrix : 0x1fd7  
[0]crcstate : 0x8e3a  
[0]crcfinal : 0xbd59  
Correct operation validated. See readme.txt for run and reporting rules.
```

図 1: 最終的な CoreMark のスコア

はじめに

今回のマイクロプロセッサ実験を通して、設計から実装まで自力で行った。そこで今回のレポートに関しては、基本課題と応用課題に取り組むに当たって工夫した点、苦労した点のそれぞれについて記述して行きたいと思う。

基本的な cpu の設計

まず実験 1-8 日目は基本的な cpu の設計と実装を行った。構造は wiki の資料を参考にして作成した。

工夫した箇所はストア命令を読み出す際に書き込む部分の指定をするための 4bit のフラグを指定するためのモジュールを事前に作成したことである。図 1 の store モジュールに対応している。このモジュールを作ったことによりデータメモリへの書き込みに必要な作業を分担することができた。

[実験結果]

実装した結果は以下の通りである。

最終的なスコアは図 2 に示されている通り、

$$Iterations/Sec = 42 \quad (1)$$

であった。これは基本課題として設計した cpu についてできるかぎりクリティカルパスなどを考慮し、動作周波数を  $30MHz$  として動かした際の実行結果である。

[苦労した点]

cpu を作る上で苦労した点は以下の通りである。

- ・ロードストア命令におけるメモリ番地の指定

## ・クロックの扱い

まずロードストア命令におけるメモリ番地の指定についてである。今回の RISC-V の仕様ではメモリのアドレッシングの単位はバイトである。したがって、alu の演算結果として読み出されたアドレスではそのままメモリ中の 1 バイトを特定することにはならない。そこで読み込んだアドレスをメモリ中のデータのインデントとして利用するにはそれぞれのアドレスを 4 で割る必要があり、このことを理解するのに時間を要した。またデータ語中のバイトの並べ方がリトルエンディアンであるため、alu から受け取ったアドレスの下位 2bit を 4 で割った余りについてロード命令のメモリを読み出しを場合分けする必要がある、実装に苦心した。

また、クロックを用いてメモリを制御することに関しても工夫した。今回の cpu はシングルプロセッサであるので 1 クロックでメモリに関する処理についても終了させる必要がある。しかし、フリップフロップにしまうと資源消費が大きくなってしまう。そのためできるだけブロック RAM の書き方にすることで資源消費量を抑えようとした。そこで命令メモリとデータメモリに読み出したり書き込むタイミングを別々にした。

具体的には命令メモリの読み出しをクロックの立ち上がりで行い、データメモリに関する読み出し書き込みはクロックの立ち下がりで行うようにした。

### [発展課題]

- ・ RV32M への対応
- ・ クリティカルパスの短縮
- ・ function 文による記述

まず、乗算器除算器の実装を行った。基本的には decoder と alu についての書き換えのみを行った。decoder については仕様書を見る限り 25bit 目の値が 1 かどうかで判別できるので、できるだけコードが簡略できるようにした。alu に関しては符号付きかどうかに注意しながら実装した。その際に例外的な数値などは define.vh にまとめて記載することで間違いを減らすようにした。

RV32M への対応に関して最も苦労したのは実行時間増加に伴うクリティカルパスの延長であった。乗算器が非常に遅いためそれによって今まで動いていた動作周波数で稼働しなくなってしまった。そのため遅延しても稼働するようにクリティカルパスの短縮と function 文による記述とい

う工夫を行った。

また乗算器除算器を取り入れたことにより消費資源量も増えてしまった。これも回路のコードに余分な箇所、重複している箇所があることに起因していると考えた。

下図がクリティカルパスである。大まかに見ると図の cpu の赤線部分のような経路がクリティカルパスになっていることが分かる。データメモリから読み出してくるロード命令が一番遅いと考えた。そこでできるだけデータメモリに関する処理を簡単にすることを考えた。考えたのが function 文による記述である。自分のコードを見返す限り、データメモリだけでなく decoder や alu についても always 文の中で巨大な case 文を用いて記述してしまったことで回路が複雑化してしまい、Vivado が最適化をできなくなってしまったのではないかと考えた。

実際に function 文で記述し直したところ、decoder と alu に関しては記述量を半分以下にまで減らすことができた。

しかし reg として存在しているメモリを参照する必要があるデータメモリを function 文で書くことができなかった。function 文と同様の機能を導入するには always(\*) でも記述することができるがそれだとブロック RAM にならないためデータメモリに関しては always 文と case 文を用いて記述せざるを得なかった。

データメモリに関しては上記のようにストアのフラグを立てる箇所を分離するなどしてできるだけ処理を減らすことでクリティカルパスの短縮を試みた。

LUT	F
0	
18992	1
19103	1

図 2: 最初の消費資源量

LUT	F
0	
25098	10
0	
25151	10

図 3: RV32M 後の消費資源量

```

292     3'b010:alucode='ALU_SW;
293     | default:alucode=6'b0;
294     endcase
295     // imm={20{tmp[31]},tmp[31:25],t
296     end
297     'LOAD:begin
298
299     srcreg1_num=ir[19:15];
300     srcreg2_num=5'b0;
301     dstreg_num=ir[11:7];
302     imm={{20{ir[31]},ir[31:20]}};
303     aluop1_type='OP_TYPE_REG;
304     aluop2_type='OP_TYPE_IMM;
305     reg_we='ENABLE;
306     is_load='ENABLE;
307     is_store='DISABLE;
308     is_halt='DISABLE;
309     case(opcode)
310     3'b000:alucode='ALU_LB;
311     3'b001:alucode='ALU_LH;
312     3'b010:alucode='ALU_LW;
313     3'b100:alucode='ALU_LBU;
314     3'b101:alucode='ALU_LHU;
315     | default:alucode=6'b0;
316     endcase
317     end
318     default:begin
319     srcreg1_num=5'b0;
320     srcreg2_num=5'b0;
321     dstreg_num=5'b0;
322     imm=32'd0;
323     aluop1_type='OP_TYPE_NONE;
324     aluop2_type='OP_TYPE_NONE;
325     reg_we='DISABLE;
326     is_load='DISABLE;
327     is_store='DISABLE;
328     is_halt='ENABLE;
329     end
330 endfunction

```

図 4: 当初の decoder のコード

```

'OPIMM,'OP','JALR','BRANCH','STORE','LOAD:aluop1='OP_TYPE_REG;
'AUIPC:aluop1='OP_TYPE_IMM;
default:aluop1='OP_TYPE_NONE;
endcase
endfunction

function [1:0]aluop2;
input [6:0]op;
case(op)
'OPIMM,'LUI','STORE','LOAD:aluop2='OP_TYPE_IMM;
'OP','BRANCH:aluop2='OP_TYPE_REG;
'AUIPC,'JAL','JALR:aluop2='OP_TYPE_PC;
default:aluop2='OP_TYPE_NONE;
endcase
endfunction

assign op=ir[6:0];
assign opcode=ir[14:12];

assign srcreg1_num=(op=='OPIMM||op=='OP||op=='JALR||op=='BRANCH||op=='STORE
assign srcreg2_num=(op=='OP||op=='BRANCH||op=='STORE)?ir[24:20]:5'b0;
assign dstreg_num=(op=='OPIMM||op=='OP||op=='LUI||op=='AUIPC||op=='JAL||op
assign imm=immediate(ir,op,opcode);
assign alucode=alu(ir,op,opcode);
assign aluop1_type=aluop1(op);
assign aluop2_type=aluop2(op);
assign reg_we=reg_en(op,dstreg_num);

```

図 5: 簡略化した decoder のコード s

