

APB2 peripheral clock enable register (RCC_APB2ENR)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved										TIM11 EN	TIM10 EN	TIM9 EN	Reserved		
										r/w	r/w	r/w			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADC3 EN	USART 1EN	TIM8 EN	SPI1 EN	TIM1 EN	ADC2 EN	ADC1 EN	IOPG EN	IOPF EN	IOPE EN	IOPD EN	IOPC EN	IOPB EN	IOPA EN	Res.	AFIO EN
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w		r/w

Bit	Fonction	Description
14	USART1EN	Active la clock pour USART1.
12	SPI1EN	Active la clock pour SPI1.
11	TIM1EN	Active la clock pour TIM1.
10-9	ADCxEN	Active la clock pour les ADCs (ADC1 ou ADC2).
6-2	IOPxEN	Active la clock pour les ports I/O des registres (A-E).
0	AFIOEN	Active la clock pour les fonctions I/O

GPIOx->CRL (x = A...G) PIN du 0 à 7

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNF7[1:0]		MODE7[1:0]		CNF6[1:0]		MODE6[1:0]		CNF5[1:0]		MODE5[1:0]		CNF4[1:0]		MODE4[1:0]	
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNF3[1:0]		MODE3[1:0]		CNF2[1:0]		MODE2[1:0]		CNF1[1:0]		MODE1[1:0]		CNF0[1:0]		MODE0[1:0]	
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bits	Nom	Description
31:30, 27:26, 23:22, 19:18, 15:14, 11:10, 7:6, 3:2	CNFy[1:0]	Bits de configuration du port x (y=0..7). En mode entrée (MODE[1:0]=00) : 00: Mode analogique, 01: Entrée flottante (état de réinitialisation), 10: Entrée avec pull-up / pull-down, 11: Réservé. En mode sortie (MODE[1:0] >00): 00: Sortie générale push-pull, 01: Sortie générale à collecteur ouvert, 10: Sortie de fonction alternative Push-pull, 11: Sortie de fonction alternative à collecteur ouvert.
29:28, 25:24, 21:20, 17:16, 13:12, 9:8, 5:4, 1:0	MODEy[1:0]	Bits de mode du port x (y=0..7). 00: Mode entrée (état de réinitialisation), 01: Mode de sortie, vitesse maximale 10 MHz, 10: Mode de sortie, vitesse maximale 2 MHz, 11: Mode de sortie, vitesse maximale 50

GPIOx->CRH (x = A...G) PIN du 8 à 16

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNF15[1:0]		MODE15[1:0]		CNF14[1:0]		MODE14[1:0]		CNF13[1:0]		MODE13[1:0]		CNF12[1:0]		MODE12[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNF11[1:0]		MODE11[1:0]		CNF10[1:0]		MODE10[1:0]		CNF9[1:0]		MODE9[1:0]		CNF8[1:0]		MODE8[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Fonctionne comme GPIOx->CRL

GPIOx->IDR (x=A..G)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IDR15	IDR14	IDR13	IDR12	IDR11	IDR10	IDR9	IDR8	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Bits	Nom	Description
31:16	Réservé	Doit être conservé à la valeur de réinitialisation.
15:0	IDRy	Données d'entrée du port (y=0..15). Ces bits sont en lecture seule. Ils contiennent la valeur d'entrée du port d'E/S correspondant.

GPIOx->ODR (x = A...G)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ODR15	ODR14	ODR13	ODR12	ODR11	ODR10	ODR9	ODR8	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bits 15:0 ODRy: Données de sortie du port (y=0..15)

Bits	Nom	Description
31:16	Réservé	Doit être conservé à la valeur de réinitialisation.
15:0	ODRy	Données de sortie du port (y=0..15). Ces bits peuvent être lus et écrits par le logiciel. Les valeurs écrites dans ces bits déterminent les valeurs de sortie des ports d'E/S correspondants.

GPIOx->BSRR

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BS15	BS14	BS13	BS12	BS11	BS10	BS9	BS8	BS7	BS6	BS5	BS4	BS3	BS2	BS1	BS0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Bits	Nom	Description
31:16	BRy	Bit de réinitialisation du port x, y (y=0..15). Ces bits sont en écriture seule. 0 : Aucune action sur le bit ODRx correspondant 1 : Réinitialise le bit ODRx correspondant
15:0	BSy	Bit de configuration du port x, y (y=0..15). Ces bits sont en écriture seule. 0 : Aucune action sur le bit ODRx correspondant 1 : Définit le bit ODRx correspondant

General purpose timers 3 registres importants pour comprendre comment ça marche

- Le registre de comptage (TIMx_CNT) : C'est le registre qui contient la valeur de comptage actuelle du timer. C'est un registre de 16 bits qui peut compter vers le haut, vers le bas, ou les deux en fonction de la configuration. Il peut être lu ou écrit par le logiciel à tout moment, même pendant que le timer est en cours d'exécution.
- Le registre de prédivision (TIMx_PSC) : Ce registre contrôle la division de la source d'horloge pour le timer. C'est un registre de 16 bits qui peut diviser la fréquence d'horloge par n'importe quel facteur entre 1 et 65536. Il peut être modifié à la volée, et la nouvelle valeur de prédivision prendra effet lors du prochain événement de mise à jour.
- Le registre de rechargement automatique (TIMx_ARR) : Ce registre détermine la valeur maximale de comptage du timer. Lorsque le compteur atteint cette valeur, un événement de mise à jour est généré et le timer est réinitialisé à zéro. Ce registre est préchargé, ce qui signifie que lorsqu'il est écrit, la nouvelle valeur est d'abord chargée dans un registre d'ombre. Le contenu du registre d'ombre est transféré dans le registre ARR lors du prochain événement de mise à jour. Cela garantit que la valeur ARR est mise à jour atomiquement, évitant ainsi les problèmes de fonctionnement du timer.

Petits points sur les interruptions :

- Une interruption est un événement qui arrête temporairement le flux normal d'exécution d'un programme pour exécuter une routine de service d'interruption (ISR) qui gère cet événement.

- Les interruptions sont déclenchées par des événements matériels ou logiciels, tels qu'un signal de chronométrage, une entrée d'horloge ou une demande de périphérique.
- Les interruptions sont utilisées pour traiter rapidement les événements en temps réel, évitant ainsi de perdre des données ou de rater des événements critiques.
- Lorsqu'une interruption est déclenchée, l'ISR correspondante est exécutée, puis le programme principal reprend là où il s'est arrêté.
- Dans les microcontrôleurs STM32, les interruptions sont gérées par un contrôleur d'interruptions (NVIC) qui permet de configurer et de prioriser les interruptions pour chaque périphérique.

Par exemple :

- La fonction "NVIC_EnableIRQ(TIM5_IRQn)" permet d'activer l'interruption correspondant au périphérique TIM5. Cela signifie que lorsque l'interruption est déclenchée, l'ISR correspondante sera exécutée :
- La fonction "void TIM5_IRQHandler(void)" est l'ISR associée à l'interruption du périphérique TIM5. Cette fonction est exécutée chaque fois que l'interruption TIM5 est déclenchée, ce qui permet d'effectuer un traitement spécifique à cet événement.

TIMx_CR1 control register 1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						CKD[1:0]		ARPE	CMS		DIR	OPM	URS	UDIS	CEN
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Nom	Description
	CEN	Activation du compteur
0	Counter disabled	Le compteur est désactivé
1	Counter enabled	Le compteur est activé

Interrupt enable register (TIMx_DIER)

Bit	Nom	Description
15	-	Réservé, doit être maintenu à la valeur de réinitialisation.
14	TDE	Activation de la demande DMA de déclenchement
13	-	Toujours lu comme 0.
12	CC4DE	Activation de la demande DMA de capture/comparaison 4

11	CC3DE	Activation de la demande DMA de capture/comparaison 3
10	CC2DE	Activation de la demande DMA de capture/comparaison 2
9	CC1DE	Activation de la demande DMA de capture/comparaison 1
8	UDE	Activation de la demande DMA de mise à jour
7	-	Réservé, doit être maintenu à la valeur de réinitialisation.
6	TIE	Activation de l'interruption de déclenchement
5	-	Réservé, doit être maintenu à la valeur de réinitialisation.
4	CC4IE	Activation de l'interruption de capture/comparaison 4
3	CC3IE	Activation de l'interruption de capture/comparaison 3
2	CC2IE	Activation de l'interruption de capture/comparaison 2
1	CC1IE	Activation de l'interruption de capture/comparaison 1
0	UIE	Activation de l'interruption de mise à jour

TIMx status register (TIMx_SR)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved			CC4OF	CC3OF	CC2OF	CC1OF	Reserved			TIF	Res	CC4IF	CC3IF	CC2IF	CC1IF	UIF
			rc_w0	rc_w0	rc_w0	rc_w0				rc_w0		rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

Bits	Nom	Description
15:13	Réservé	Doit être maintenu à la valeur de réinitialisation
12	CC4OF	Drapeau de surcapture de capture/comparaison 4
11	CC3OF	Drapeau de surcapture de capture/comparaison 3
10	CC2OF	Drapeau de surcapture de capture/comparaison 2
9	CC1OF	Drapeau de surcapture de capture/comparaison 1
8:7	Réservé	Doit être maintenu à la valeur de réinitialisation
6	TIF	Drapeau d'interruption de déclenchement
5	Réservé	Doit être maintenu à la valeur de réinitialisation
4	CC4IF	Drapeau d'interruption de capture/comparaison 4

3	CC3IF	Drapeau d'interruption de capture/comparaison 3
2	CC2IF	Drapeau d'interruption de capture/comparaison 2
1	CC1IF	Drapeau d'interruption de capture/comparaison 1
0	UIF	Drapeau d'interruption de mise à jour. 1 si mise à jour 0 zéro sinon.

TIMx prescaler (TIMx_PSC)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bits	Nom	Description
15:0	PSC[15:0]	Valeur du prédiviseur. La fréquence du signal de comptage CK_CNT est égale à $f_{CK_PSC} / (PSC[15:0] + 1)$.

TIMx_ARR auto-reload register

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Bits	Nom	Description
15-0	ARR[15:0]	Valeur à charger dans le registre de rechargement automatique