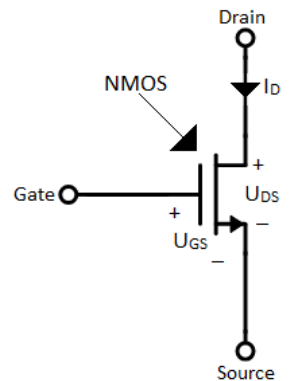


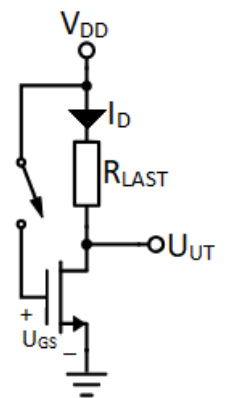
1.4 – Konstruktion av logiska grindar med CMOS-teknologi

1.4.1 - Introduktion

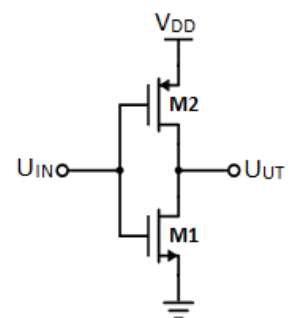
- Vi har tidigare sett exempel på hur de olika logiska grindarna fungerar samt hur dessa kan kombineras för att konstruera grindnät. Samtliga grindar målades då upp som en *black box via* var sin grindsymbol.
- I detta kapitel skall vi se under grindsymbolerna, för att se hur de logiska grindarna är uppbyggda och fungerar på insidan.
- Som vi har sett tidigare, så kan signaler i logiska grindnät anta värdet 0 eller 1, förutom i undantagsfall, såsom brus. För att åstadkomma detta så är logiska grindar uppbyggda av så kallade transistorswitchar. Därmed så är varje logisk grind uppbyggt med ett flertal switchar, som realiserar via halvledarkomponenten transistorn.
- Transistorn är den centrala byggstenen i nästan alla elektriska produkter, både digitala, såsom logiska grindar, minneskretsar och mikroprocessorer, samt analoga, såsom förstärkarkretsar, regulatorer samt oscillatorer. I detta avsnitt behandlas enbart transistorn i digitala applikationer. Därmed genomgås enbart konstruktion av transistorswitchar.
- Logiska grindar konstrueras främst med CMOS-teknologi. CMOS (*Complementary MOSFET*) är en typ av MOSFET-transistor (*Metal Oxide Semiconductor Field Effect Transistor*), som kan göras mycket små, har mycket låg tillverkningskostnad och effektförbrukning. Dessutom har CMOS-transistorer mycket hög switchhastighet, vilket innebär att utsignalen ur exempelvis en logisk grind kan ändra från 0 till 1 mycket fort.
- CMOS-transistorer kan göras mycket små, mycket mindre än resistorer, vilket är den främsta anledningen till att CMOS-switchar innehåller två transistornät med olika polaritet, som kallas pullup- respektive pulldown-nät. Genom att använda två transistornät, så behövs inte resistorer i switcharna, vilket medför att dessa kan göras mindre. Därmed kan fler switchar få plats på exempelvis ett chip, vilket möjliggör högre funktionalitet, samtidigt som switchhastigheten blir mycket hög.
- Större transistorer, exempelvis sådana som används inom audioförstärkare, kan mätas i centimeter, medan de minsta transistorerna kan mätas i nanometer. Sådana transistorer används som switchar exempelvis i IC-kretsar placerade på chip.
- Sedan 1960-talet så har man lyckats konstruera mindre och mindre transistorer, vilket har möjliggjort att man kan placera flera miljarder transistorer på ett enda chip. Under ca 40 års tid så lyckades man fördubbla antalet transistorer som fick plats på ett chip vartannat år. Denna utveckling har sedan några år tillbaka avtagit något, men transistorer görs fortfarande mindre.
- I dagsläget finns transistorer vars dimensioner kan mätas i nanometer till mikrometer. Detta har möjliggjort den tekniska utveckling vi har sett de senaste 50 åren, där en modern laptop-dator kan vara mycket kraftfullare än en gammal superdator, som kunde vara stor som ett hus.



MOSFET-transistor.



Power Switch, den vanligaste typen av switch inom kraftelektronik.



CMOS-switchen utgör byggstenen för NOT-grinden och fungerar därmed som inverterare. Transistor M1 och M2 bildar var sitt transistornät, som medför att resistorer inte behövs. Därmed kan switchen göras mindre.

Efter att ha läst detta kapitel förväntas läsaren kunna:

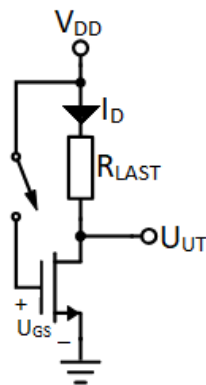
- Redogöra för MOSFET-transistorns parametrar samt vanliga användningsområden.
- Redogöra för CMOS-teknologi och dess fördelar för switchapplikationer.
- Konstruera diskreta transistorswitchar med MOSFET-transistorer, såsom Power Switchen.
- Konstruera logiska grindar med CMOS-teknologi, både i form av transistornät samt dimensionering av transistorernas W/L-ratio, alltså relation mellan CMOS-transistorernas kanalbredd och kanallängd.
- Känna till begrepp såsom transkonduktansparameter, transkonduktans, tröskelspänning, drainström och pullup- samt pulldown-nät.

Kapitlets upplägg:

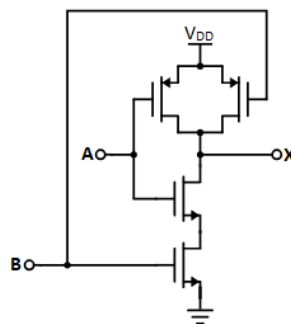
- Kapitlet börjar med en introduktion av MOSFET-transistorn och vanliga arbetsområden, följt av dess parametrar.
- Därefter behandlas konstruktion av enkla transistorswitchar, såsom Power Switchen.
- Slutligen behandlas konstruktion av logiska grindar med CMOS-teknologi i form av transistornät samt

1.4.2 - Transistortyper och användningsområde

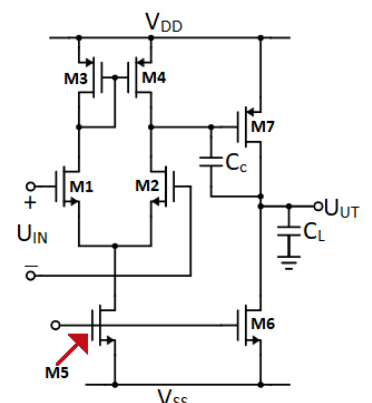
- Det finns två huvudtyper av transistorer, bipolartransistorn, som förkortas BJT-transistorn, (*bipolar junction transistor*) och fälteffekttransistorn, som förkortas FET-transistor (*field effect transistor*).
- BJT-transistorn används främst i diskreta analoga kretsar, såsom förstärkare, då dessa möjliggör mycket hög spänningsförstärkning. Samtidigt medför de relativt hög strömförbrukning och de kan inte heller göras lika små som exempelvis CMOS-transistorer. Därmed används de sällan i digitala kretsar, såsom för att konstruera logiska grindar eller switchar.
- Det finns ett flertal olika typer av FET-transistorer, där de vanligaste är MOSFET-transistorer samt JFET-transistorer. MOSFET-transistorer är absolut vanligast i IC-kretsar samt kraftelektronik, medan JFET förekommer i audioförstärkare samt högfrekvenskretsar.
- MOSFET-transistorer kan i sin tur delas in i Power MOSFET-transistorer och CMOS-transistorer. Power MOSFET-transistorer är större transistorer som främst används som switchar inom kraftelektronik, exempelvis för att driva elmotorer.
- Som nämndes tidigare så kan CMOS-transistorer göras väldigt små och har väldigt hög inresistans, vilket gör att de drar mycket lite ström och man kan placera miljoner transistorer på ett enskilt chip. Jämfört med analoga MOSFET-switchar så medför CMOS-transistorer lägre effektförbrukning samt högre switchfrekvens (omslag från hög till låg och vice-versa). Därmed används främst CMOS-transistorer i digitala kretsar.



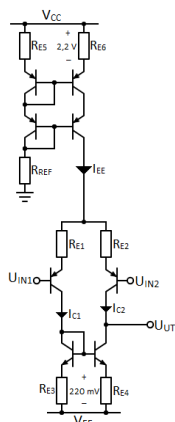
MOSFET-transistorer används till nästan alla analoga switchar, då man enkelt kan tillverka robusta switchar med låg effektförbrukning.



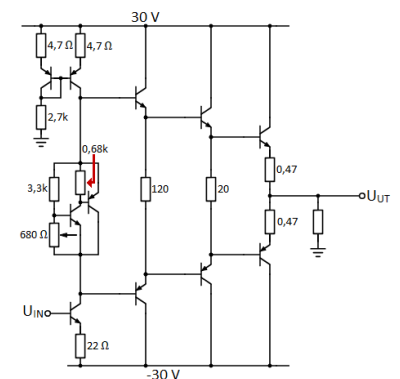
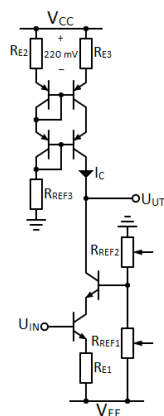
Även digitala kretsar tillverkas nästan enbart med CMOS-transistorer, eftersom dessa kan göras extremt små och har extremt låg effektförbrukning samt hög switchfrekvens.



Inom analoga IC-kretsar så används ofta endast CMOS-transistorer, trots lägre förstärkning, främst på grund av att man inte har plats med BJT-



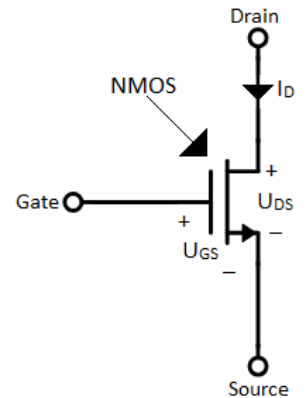
BJT-transistorer för att konstruera differentiaförstärkare samt spänningsförstärkare, då förstärkningen blir mycket högre (oftast ca tio gånger högre). Dock så används ofta MOSFET-transistorer ofta på ingångarna för att öka inresistansen, samtidigt som det finns trick för att erhålla hög förstärkning fast MOSFET-transistorer används, såsom kaskadkopplade förstärkarsteg och strömspeglar.



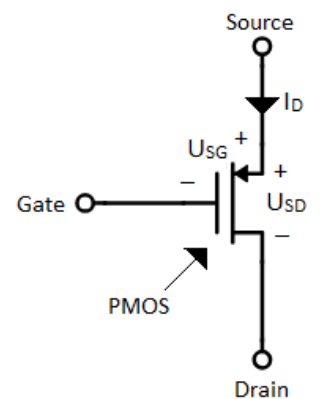
Slutsteg konstrueras oftast med BJT-transistorer, främst då utresistansen blir lägre, vilket medför högre utström, samt att konstruktionen blir enklare.

1.4.3 - MOSFET-transistorns uppbyggnad och egenskaper

- MOSFET-transistorn innehar tre anslutningar, gate, drain och source. I praktiken finns också en fjärde anslutning, body, placerad mellan drain och source, som inte har så stor betydelse i de flesta sammanhang och ritas ofta inte ut, vilket är fallet i figuren till höger.
- Body ansluts vanligtvis direkt till source. Ibland ansluts dock denna istället till jord, vilket sker i CMOS-kretsar för att minska brus, men ger upphov till den så kallade body-effekten om source inte också är ansluten till jord. Inom switch-applikationer, så är dock source ansluten till jord, vilket medför att body-effekten inte uppstår.
- MOSFET-transistorn har generellt sätt tio gånger lägre transkonduktans g_m än motsvarande BJT-transistor, vilket medför ca tio gånger lägre spänningsförstärkning. Därmed används ofta BJT-transistorer i diskreta förstärkarsteg, trots högre effektivförbrukning.
- MOSFET-transistorn är en switch, som leder då gate-sourcespänningen U_{GS} överstiger dess tröskelspänning U_{TN} , annars spärrar den. Därmed kan vi styra ifall en MOSFET-transistor skall leda genom att applicera en tillräckligt hög insignal U_x på dess ingång.
- Tröskelspänningen varierar mellan olika MOSFET-transistorer, men ligger vanligtvis mellan 1–4 V för diskreta MOSFET-transistorer och mellan 0,5–1 V för CMOS-transistorer.
- Det finns MOSFET-transistorer som istället kräver en tillräckligt låg spänning på gate för att leda (MOSFET-transistorer av utarmningstyp), men dessa är inte så vanligt förekommande inom analog IC-design.
- MOSFET-transistorn innehar mycket hög inresistans, ofta hundratals T Ω , vilket gör att den förbrukar mycket lite effekt samt att transistorsteget påverkas mycket lite av föregående steg eller signalgenerator. Därmed så lämpar sig MOSFET-transistorer utmärkt som buffrar för att öka inresistansen på elektrisk utrustning.
- MOSFET-transistorer innehar vanligtvis konstanta parametervärden, vilket medför att det är enkelt att tillverka olika exemplar med nästintill identiska egenskaper.



MOSFET-transistor av polariteten NMOS. Notera att drainströmmen I_D flödar från drain till source.



MOSFET-transistor av polariteten PMOS. Notera att drainströmmen I_D i detta fall flödar från source till drain.

1.4.4. - Signifikanta parametrar och formler för MOSFET-transistorer

- MOSFET-transistor har en hel del parametrar, varav det är en del vi bör hålla koll på. Vi skall nu presentera några av dem.
- Senare kommer vi gå igenom fler parametrar när detta bli aktuellt, men för att undvika förvirring så tar vi endast de vanligaste.

1. Transkonduktansparametern betecknas $\mu_n C_{ox}$:

- Transkonduktansparametern kan ses som en intern konstant, där högre värden medför högre drainström.

2. Tröskelspänningen betecknas U_T :

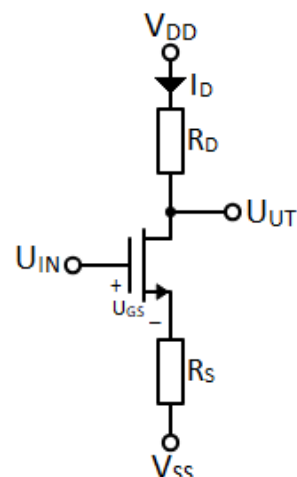
- Tröskelspänningen U_T är den minsta spänning som krävs in på en given MOSFET-transistors gate för att den skall börja leda. Tröskelspänningen varierar mellan olika MOSFET-modeller och kan ligga mellan 0,5 - 5 V, där mindre MOSFET-transistorer vanligtvis har lägre tröskelspänning.
- Tröskelspänningen U_T står ofta specificerad i datablad. Vanligtvis kan man avläsa ett minimumvärde, ett typiskt värde samt ett maximumvärde.
- Threshold Voltage:*

Min	Typ	Max
2 V	3 V	4 V

- Vid beräkning så bör man då anta att tröskelspänningen U_T är lika med det typiska värdet, vilket är 3 V ovan.

3. Ration mellan MOSFET-transistorers kanalbredd och kanallängd, även kallat W/L-ration, betecknas W/L:

- W/L-ration är den parameter som justeras mellan olika MOSFET-transistorer i IC-kretsar, exempelvis för att styra hur stor drainströmmen skall bli. Ju högre W/L-ratio desto högre blir drainströmmen, vilket i sin tur höjer transkonduktansen.
- Både kanalbredden samt kanallängden mäts båda två vanligtvis i mikrometer (μm), i visst fall i nanometer (nm).
- W/L-ration kan ligga mellan $1 \mu\text{m}/100 \mu\text{m}$ i så kallad strömspeglar upp till $30\,000 \mu\text{m}/1 \mu\text{m}$ inom högspänningsteknik.
- Vi kan inte ändra W/L-ration på diskreta MOSFET-transistorer; W/L-ration står nästan aldrig specificerad i MOSFET-transistorers datablad.



Ett GS-steg, som används för spänningsförstärkning, där en MOSFET-transistor utgör dess centrala byggsten.

4. Transkonduktans betecknas g_m :

- Transkonduktans är en parameter som indikerar en transistors förstärkningsförmåga. Transkonduktans mäts i enheten Siemens (S).
- Transkonduktansen g_m har signifikant betydelse för hur effektiv en transistor är på att förstärka spänning, exempelvis i en spänningsförstärkare; MOSFET-transistorer har vanligtvis tio gånger lägre transkonduktans än BJT-transistorer vid en given drainström/kollektorström.
- Vid en drainström/kollektorström på 1 mA så har en typisk MOSFET-transistor en transkonduktans på 4 mS, medan en BJT-transistor har ca 40 mS. Detta medför att en typisk MOSFET-transistor har ca tio gånger lägre förstärkning än en typisk BJT-transistor.
- Transkonduktansen är proportionell med drainströmmen/kollektorströmmen; om drainströmmen/kollektorströmmen halveras så halveras också transkonduktansen. Vid en drainström/kollektorström på 0,5 mA så har en typisk MOSFET-transistor en transkonduktans på 2 mS, medan en BJT-transistor har ca 20 mS.
- Transkonduktansen g_m på en given MOSFET-transistor kan beräknas med följande formel:

$$g_m = \frac{2I_D}{U_{GS} - U_T},$$

där g_m är transkonduktansen, I_D är drainströmmen, U_{GS} är gate-sourcespänningen och U_T är MOSFET-transistorns tröskelspänning.

MOSFET-transistorns arbetsområden:

- Följande formler gäller för NMOS-transistorer; samma formler gäller för PMOS-transistorer, men motsatt polaritet.

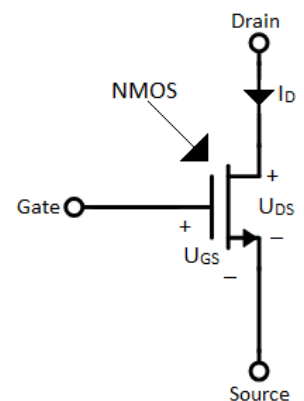
1. Strykt arbetsområde:

- Om gate-sourcespänningen U_{GS} understiger tröskelspänningen U_T så leder inte MOSFET-transistorn. Man säger då att MOSFET-transistorn är strypt:

$$U_{GS} < U_T \rightarrow \text{FET-transistorn är strypt}$$

$$I_D = 0$$

- Ingen drainström flödar och MOSFET-transistor kan sägas vara av.
- Alla MOSFET-transistorer arbetar i det strypta tillståndet när de inte är igång, oavsett om det handlar om switchar, förstärkare eller något annat.

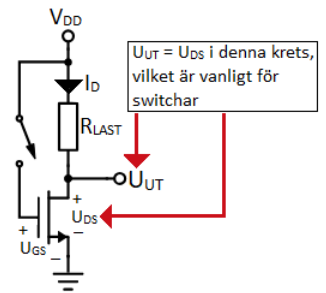


NMOS-transistor.

2. Linjärt arbetsområde:

- Om gate-sourcespänningen ökar något så att den överstiger tröskelspänningen med en viss marginal, så kommer MOSFET-transistorn börja leda.
- Så länge drain-sourcespänningen U_{DS} är låg, alltså lägre än differensen mellan gate-sourcespänningen U_{GS} och U_T , så kommer drainströmmen I_D öka linjärt med ökad drain-sourcespänning U_{DS} samt ökad gate-sourcespänning U_{GS} . I detta läge så arbetar MOSFET-transistorn i det linjära området.

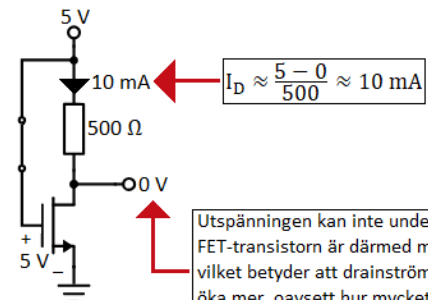
$$U_{GS} > U_T \text{ \& } U_{GS} - U_T > U_{DS} \rightarrow \text{linjära området}$$



MOSFET-switchar skall alltid arbeta i det linjära området.

- MOSFET-switchar arbetar alltid i det linjära området när de är ledande, därför att MOSFET-transistorn då skall vara maxledande.

- Detta åstadkommes enkelt genom att ansluta MOSFET-transistorns gate till matningsspänningen V_{DD} via en switch, såsom i figuren till höger. Då blir U_{GS} så hög som möjligt för denna krets; gate-sourcespänningen U_{GS} kan inte överstiga matningsspänningen V_{DD} , som i detta fall är 5 V.



Utspänningen kan inte understiga 0 V. FET-transistorn är därmed maxledande, vilket betyder att drainströmmen inte kan öka mer, oavsett hur mycket vi ökar spänningen på FET-transistorns gate

Sluten MOSFET-switch.

- När switchen är öppen så blir transistorn strypt, vilket medför att ingen drainström flödar genom lasten.
- När switchen istället är sluten så blir gate-sourcespänningen U_{GS} lika med 5 V. Detta medför att drainströmmen I_D når sitt högsta värde, vilket leder till att hela matningsspänningen (förutom enstaka millivolt) alltså ca 5 V, faller över lasten.
- Några enstaka millivolt faller alltså mellan MOSFET-transistorns drain och source, vilket är detsamma som spänningen på utgången i kretsen ovan. Eftersom denna spänning är så liten så försummar vi den.

$$U_{DS,MIN} \approx 0$$

- Drain-sourcespänningen U_{DS} kan alltså inte understiga ca 0 V, vilket medför att drainströmmen I_D inte kan överstiga ca 10 mA, eftersom

$$I_{D,MAX} = \frac{V_{DD} - U_{DS,MIN}}{R_{LAST}} \approx \frac{5-0}{500} \approx 10 \text{ mA}$$

- Om någon av MOSFET-transistorns parametrar måste beräknas så kan formeln för drainströmmen I_D i det linjära arbetsområdet användas:

$$I_D = u_n C_{ox} * \frac{W}{L} \left[(U_{GS} - U_T) U_{DS} - \frac{U_{DS}^2}{2} \right],$$

där I_D är drainströmmen, $\mu_n C_{ox}$ är transkonduktansparametern, W/L är MOSFET-transistorns W/L -ratio, alltså ration mellan dess kanalbredd och kanallängd, U_{GS} är gate-sourcespänningen, U_T är tröskelspänningen och U_{DS} är drain-sourcespänningen, som är lika med utspänningen på en vanlig MOSFET-switch:

$$U_{UT} = U_{DS},$$

eftersom ingen sourceresistor R_S finns på en vanligt MOSFET-switch, vilket medför att följande ekvation kan användas vid beräkning av drainströmmen I_D i linjärt arbetsområde:

$$I_D = u_n C_{ox} * \frac{W}{L} \left[(U_{GS} - U_T) U_{UT} - \frac{U_{UT}^2}{2} \right]$$

3. Mättat arbetsområde:

- När drain-sourcespänningen U_{DS} fortsätter öka så kommer transistorn till slut bli mättad. När detta sker så blir drainströmmen I_D nästan helt beroende av gate-sourcespänningen U_{GS} .
- Detta medför att drainströmmen I_D ökar enbart med ökad gate-sourcespänning U_{GS} , inte med ökar drain-sourcespänning U_{DS} .

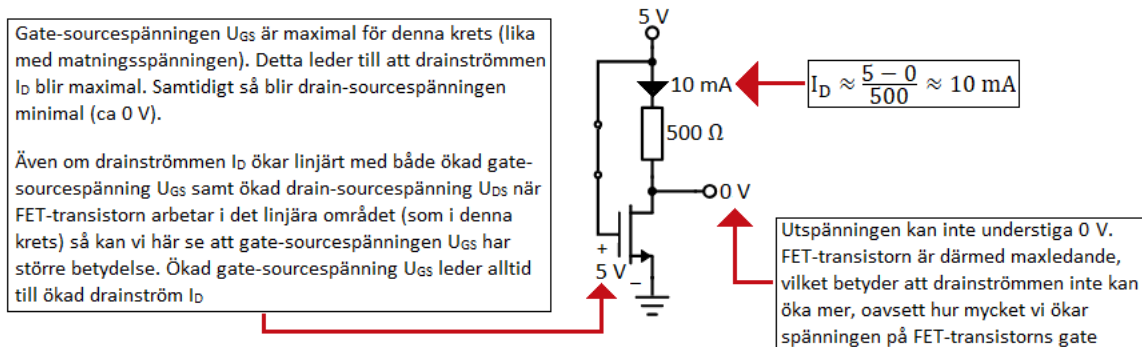
$$U_{GS} > U_T \text{ \& } U_{GS} - U_T < U_{GS} \rightarrow \text{mättat arbetsområde}$$

- MOSFET-transistorer i förstärkarkretsar skall alltid arbeta i det mättade området .
- Formeln för drainström i mättat tillstånd är

$$I_D = \frac{\mu_n C_{ox}}{2} * \frac{W}{L} (U_{GS} - U_T)^2,$$

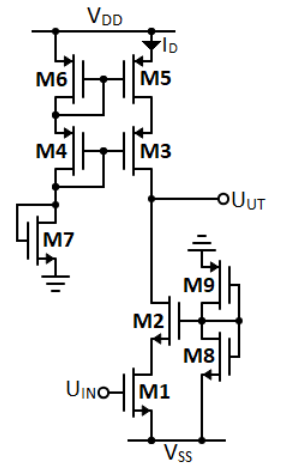
där I_D är drainströmmen, $\mu_n C_{ox}$ är transkonduktansparametern, W/L är MOSFET-transistorns W/L -ratio, alltså ration mellan dess kanalbredd och kanallängd, U_{GS} är gate-sourcespänningen och U_T är tröskelspänningen.

- Notera att ökad W/L -ratio samt ökad gate-sourcespänning U_{GS} ökar drainströmmen.
- Mättad MOSFET-transistor innebär att drainströmmen I_D inte kan öka mer trots ökad drain-sourcespänning U_{DS} . Dock medför fortfarande ökad gate-sourcespänning U_{GS} att drainströmmen ökar.
- I ledande tillstånd så leder alltid ökad gate-sourcespänning U_{GS} till ökad drainström I_D , även när MOSFET-transistorn arbetar i det linjära området.
- Som vi såg på switchen förut, som arbetade i det linjära området, så medförde maximal gate-sourcespänning U_{GS} att drainströmmen I_D blev maximal. Samtidigt blev drain-sourcespänningen (samma som utspänningen) ungefär lika med noll, vilket berodde på att drainströmmen blev så hög att (nästan) hela matningsspänningen, då 10 V, hamnade över lasten. Endast lite med drain-sourcespänning U_{DS} återstod, vilket kan antas ligga i området 100 mV.



MOSFET-transistorn i kretsen ovan är maxledande, på grund av att gate-sourcespänningen är så hög som möjligt för denna krets (lika med matningsspänningen, alltså 5 V). Därmed så blir drainströmmen I_D maximal. I detta fall arbetar MOSFET-transistorn i sitt linjära område, vilket betyder att drainströmmen I_D ökar med ökad drain-sourcespänning U_{DS} . Samtidigt så leder alltid ökad U_{GS} att I_D ökar. Som vi ser så spelar dock ökad U_{DS} mindre roll än U_{GS} .

Därmed så kan man säga att det linjära arbetsområdet inte säger så mycket när vi konstruerar MOSFET-switchar eller andra kretsar med MOSFET-transistorer. Det vi främst behöver veta är vi skall konstruera kretsarna samt att ökad U_{GS} alltid leder till ökad I_D .



MOSFET-transistorer i förstärkarkretsar skall alltid arbeta i det mättade området.

Förhållandet mellan MOSFET-transistorns W/L-ratio och transkonduktans g_m i mättat tillstånd:

- Vi kan enkelt också visa hur W/L-ration påverkar transkonduktansen genom att sätta samman formlerna för drainströmmen i mättat tillstånd respektive transkonduktans ovan.
- Vi ersätter I_D i formeln för transkonduktans med formeln för drainström och kan då härleda följande uttryck:

$$g_m = \frac{2I_D}{U_{GS} - U_T} = \frac{2 * \left[\frac{\mu_n C_{ox}}{2} * \frac{W}{L} (U_{GS} - U_T)^2 \right]}{U_{GS} - U_T} = 2 * \left[\frac{\mu_n C_{ox}}{2} * \frac{W}{L} (U_{GS} - U_T) \right] = \mu_n C_{ox} * \frac{W}{L} (U_{GS} - U_T)$$

- Vi kan därmed beräkna transkonduktansen med följande formel:

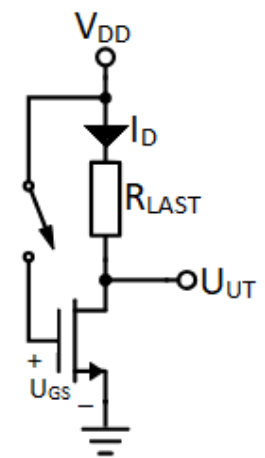
$$g_m = \mu_n C_{ox} * \frac{W}{L} (U_{GS} - U_T),$$

där g_m är transkonduktansen, $\mu_n C_{ox}$ är transkonduktansparametern, W/L är W/L-ration, U_{GS} är gate-sourcespänningen och U_T är tröskelspänningen.

- Notera att ökad W/L-ratio leder till ökad transkonduktans; därmed så medför ökad W/L-ratio att MOSFET-transistorns förstärkning ökar. Därmed så är det möjligt att tillverka MOSFET-transistorer som har hög förstärkning i IC-kretsar. Dock så är det föga troligt att man kan få lika hög förstärkning som på en BJT-transistor utan att orealistiskt höga W/L-ratios.

1.4.5 - MOSFET-transistorn som switch

- När transistorer används som switchar så placeras en last i drain, se figuren till höger, där en last är placerad i drain på en MOSFET-switch. När transistoren är på så flödar drainströmmen I_D genom lasten från drain till source, alltså från matningsspänningen V_{DD} ned till jord.
- Switchen fungerar sedan som en vanlig lampknapp, antingen är lampan tänd med full ljusstyrka eller så är den släckt. Vi kan då styra ifall lampan skall vara tänd eller släckt med en lampknapp.
- För switchar konstruerade med transistorer så gäller alltså samma princip; antingen är transistoren på och då skall den vara maxledande, alltså maximalt med ström skall flöda genom lasten, eller så skall transistoren vara av och ingen ström flödar genom lasten.
- När en MOSFET-transistor är maxledande så arbetar den i det linjära området. När MOSFET-transistorn inte leder så säger man att den är strypt, oavsett vilken transistortyp det handlar om.



Power Switch, som kan användas för att driva elektrisk utrustning. I denna figur är switchen sluten, så att ström flödar genom lasten.

MOSFET-transistorn inom kraftelektronik: Power switch

- I praktiskt sett alla ändamål så används MOSFET-transistorer som switchar, både analoga och digitala, främst på grund av att inresistansen är så hög, vilket medför lägre energiförbrukning, samt att konstruktionen bli lättare. Dessutom så är MOSFET-transistorer väldigt robusta och okänsliga för störningar.
- På grund av MOSFET-transistorns nästintill obefintliga gateström I_G så kan vi ansluta ingången direkt till matningsspänningen via en switch, se figuren till höger. Genom att sluta eller öppna switchen så kan vi därmed styra när ström skall flöda genom lasten eller inte. Som exempel, om lasten vore en lamp så hade lampan tänts när switchen slöts. Om vi sedan öppnar switchen så släcks lampan.

1.4.6 - Exempel på dimensionering av en Power Switch

- Vi skall driva en last med maximal drainström. Lasten har en resistans på 1 kΩ. Vi använder en matningsspänning V_{DD} på 10 V.
- Det absolut enklaste sättet att driva lasten är gaten direkt till matningsspänningen V_{DD} via en switch, se figuren till höger. Gate-sourcespänningen U_{GS} blir då lika med matningsspänningen V_{DD} , vilket i detta fall är 10 V.

$$U_{GS} = V_{DD} = 10 \text{ V}$$

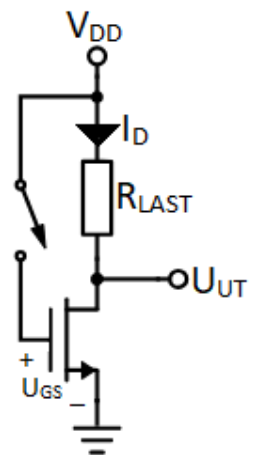
- Maximal drainström I_D kommer då flöda genom lasten, samtidigt som förlusteffekten blir mycket liten på grund av den obefintliga gateströmmen, se figuren till höger.
- När drainströmmen I_D blir maximal så hamnar så mycket av matningsspänningen V_{DD} som är möjligt över lasten, vilket i sin tur medför att drain-sourcespänningen U_{DS} , och därmed också utspänningen U_{UT} , blir så liten som möjligt. I praktiken så kan utsignalen inte bli mindre än några millivolt, som vi försummar.

$$U_{UT} \approx 0 \text{ V}$$

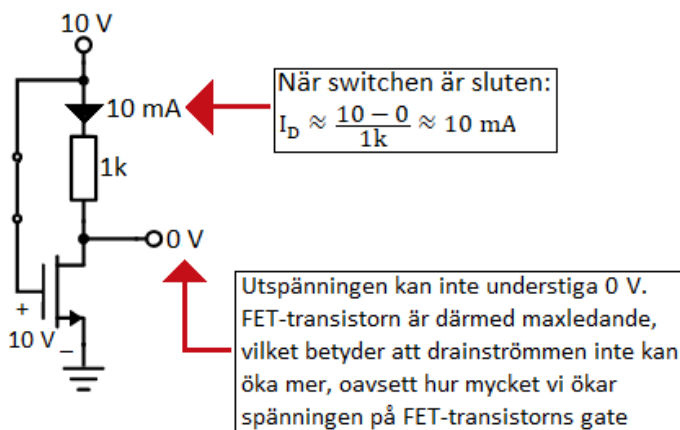
- Därmed så kan spänningen över lasten inte överstiga ungefär $10 - 0 \text{ V} \approx 10 \text{ V}$ för denna last, vilket också begränsar den maximala drainströmmen, som i detta fall blir

$$I_D = \frac{V_{DD} - U_{UT}}{R_{LAST}} \approx \frac{10 - 0}{1k} \approx 10 \text{ mA}$$

- MOSFET-transistorn blir i detta fall maxledande. Eftersom utspänningen inte kan understiga några millivolt så kan spänningsfallet över lasten inte bli högre än ca 10 V, vilket medför att drainströmmen inte kan bli högre än 10 mA för denna last.

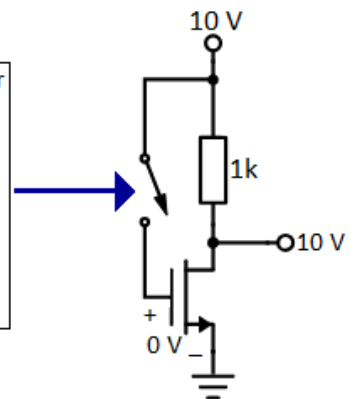


Öppen Power Switch.



Drainströmmen kan inte överstiga ca 10 mA, även om vi ökar inspänningen. Transistorn är därmed maxledande. Dock så innebär den höga inresistansen att gateströmmen är nästintill obefintlig, vilket leder till låg effektförbrukning.

När switchen är öppen så blir transistorn strypt och ingen ström flödar genom transistorn. Utspänningen når då sitt maxvärde, som är lika med matningsspänningen, vilket i detta fall är lika med 10 V



När vi öppnar switchen så blir transistorn strypt, vilket medför att ingen ström flödar genom lasten. Då blir utspänningen lika med 10 V.

Precis som BJT-switchar så fungerar MOSFET-switchar som inverterare; när insignalen är hög (i detta fall 10 V) så blir utsignalen låg (0,2 V, alltså ca 0 V). När insignalen är låg (0 V) så blir utsignalen hög (i detta fall 10 V).

- Som vi nu har sett så är MOSFET-switchar generellt sett överlägsna BJT-switchar på alla möjliga sätt, främst på grund av den höga inresistansen, vilket leder till obefintlig gateström och låg förlusteffekt.
- Därför så används nästan enbart MOSFET-transistorer till switchar, där Power MOSFET är den vanligaste switchen inom kraftelektronik samt diskret design. Inom analog IC-design samt digitalteknik så används nästan enbart CMOS-transistorer, se nästa avsnitt, som behandlar CMOS-teknologi samt logiska grindar.

1.4.7 - Digitala switchar del I: Introduktion till CMOS-teknologi

Detta avsnitt är en kort introduktion till digitala kretsar konstruerade med CMOS-teknologi. Se nästa avsnitt för mer detaljer.

- Inom analog IC-design samt digitalteknik så används nästan enbart så kallad CMOS-transistorer, främst för att dessa transistorer kan göras väldigt små, medför låg effektförbrukning, är okänsliga mot störningar och är mycket snabbare än tidigare logiska digitala kretsar.

- Den kontinuerligt minskande storleken på CMOS-transistorer har bidragit till samhällets utveckling, där fler transistorer kan placeras på en viss yta.

- Detta har medfört att vi idag kan konstruera laptopdatorer som är kraftfullare än datorer som var stora som hus förr i tiden.

- Innan CMOS-teknologi blev utbrett som idag så användes BJT-transistorer för att skapa digitala switchar med så kallad TTL-teknologi (Transistor-Transistorlogik).

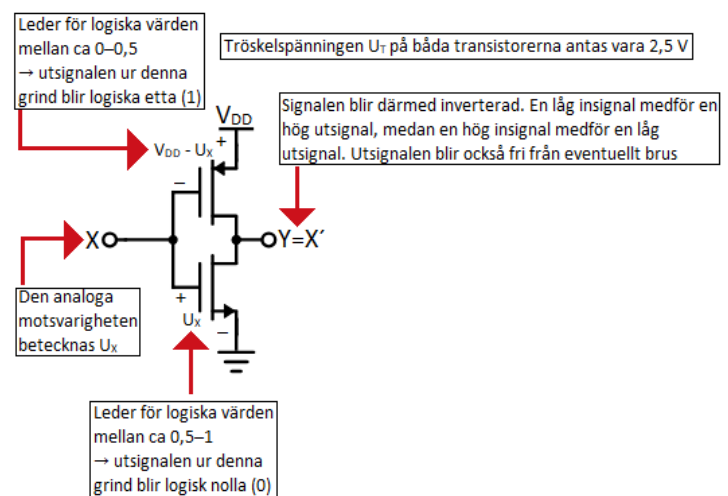
- Jämfört med dagens digitala switchar så var energiförbrukningen mycket hög; en modern CMOS-switch kan ha en energiförbrukning som är tusentals gånger lägre än gamla BJT-switchar.

- CMOS står för *Complementary MOSFET* och betyder att switchen utgörs av två transistornät, som konstrueras med MOSFET-transistorer av motsatt polaritet, se figuren till höger.

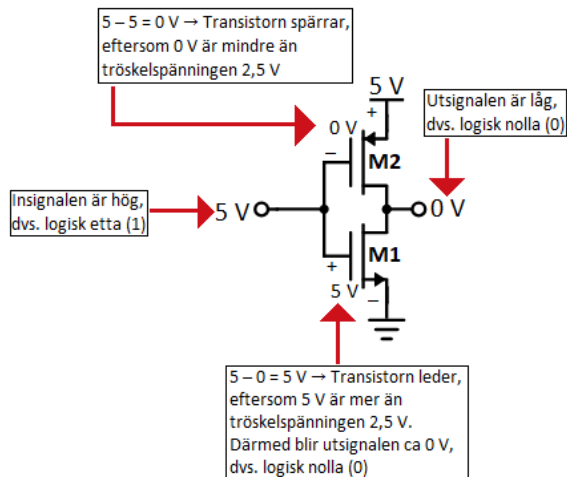
- Anledningen till att två transistornät används är främst att switchen kan göras mycket mindre, då inga utrymmeskrävande resistorer behövs, samtidigt som switchfrekvensen blir väldigt hög. Eftersom CMOS-transistorer kan göras mycket små, så upptar transistornäten mycket lite utrymme.

- Det övre transistornätet kallas pullup-nät och konstrueras med så kallad PMOS-transistorer, som har "motsatt polaritet" de MOSFET-transistorer vi har sett tidigare. Kortfattat kan man säga att dessa transistorer leder när insignalen X är tillräckligt låg, vilket är när X understiger 2,5 V i figuren nedan.

- Det nedre transistornätet kallas pulldown-nät och konstrueras med så kallad NMOS-transistorer, vilket är sådana transistorer vi har stött på hittills. För att NMOS-transistorerna skall leda så måste insignalen vara tillräckligt hög, vilket i den vänstra figuren nedan är minst 2,5 V.

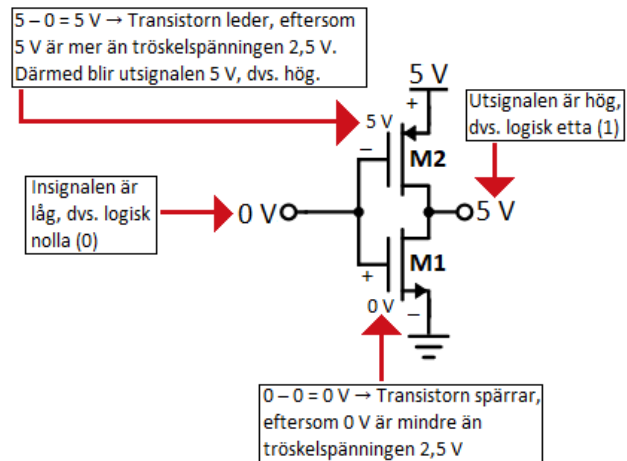


En CMOS-switch, som fungerar som inverterare inom digitala kretsar. En hög insignal medför en låg utsignal och en låg utsignal medför en hög utsignal.



CMOS-switchens arbetssätt när signalen är hög, vilket vanligtvis är 5 V, ibland lägre, exempelvis 1,8 V.

Notera att utsignalen blir inverterad, alltså låg (0 V), eftersom transistor M1 är direkt ansluten till jord.



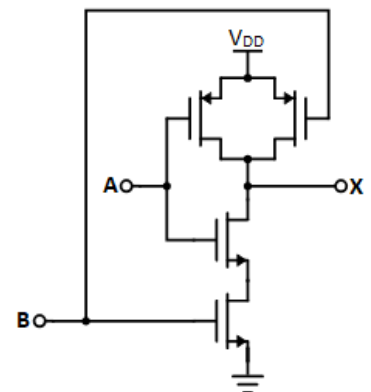
CMOS-switchens arbetssätt när signalen är låg, alltså 0 V, vilket vanligtvis är 5 V, ibland lägre, exempelvis 1,8 V.

Notera att utsignalen blir inverterad, alltså hög. Utsignalens får då samma spänning som matningsspänning, vilket är 5 V i detta fall.

- CMOS-transistorer kan användas för att konstruera de logiska grindar vi har sett tidigare. Som exempel, så utgör CMOS-switchen ovan byggstenen för en NOT-grind.

NAND-logik:

- Figuren till höger visar en NAND-grind, vilket är den vanligaste grinden inom digitalteknik. Övriga grindar kan enkelt konstrueras med NAND-grindar, vilket kallas NAND-logik.
- Notera att NAND-grinden har samma uppbyggnad som AND-grinden ovan, bara att det inte behövs någon NOT-grind (CMOS-switch) på utgången. Detta medför att NAND-grinden är snabbare än AND-grinden.
- Förutom att NAND-grinden är snabbare än vanliga grindar såsom AND- eller OR-grinden så är det enkelt att endast behöva använda en typ av logisk grind på ett chip.
- Tänk ett chip som har plats för miljarder logiska grindar. Det är mycket enklare att endast behöva placera ut en typ av logisk grind än åtta olika över chipet.
- Av dessa två anledningar (snabbhet och enkelhet) så används vanligtvis NAND-logik för att bygga upp digitala kretsar.



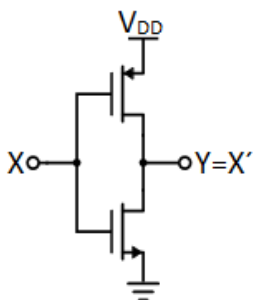
En NAND-grind, den vanligaste CMOS-switchen inom digitalteknik. Övriga logiska grindar kan enkelt konstrueras med NAND-grindar, vilket oftast är fallet i moderna digitala kretsar.

1.4.8 - Digitala switchar del II: Uppbyggnad av logiska funktioner med CMOS-transistorer

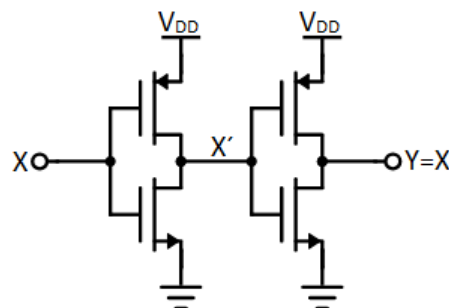
Denna del är en fördjupning av föregående kapitel. Vi börjar med lite repetition för en sen gå in på detalj hur logiska grindar byggs upp med CMOS-teknologi. Vänligen läs föregående kapitel först för ett få en sammanfattning av materialet.

- CMOS står för Complementary MOSFET och betyder att switchen utgörs av två transistornät, som konstrueras med MOSFET-transistorer av motsatt polaritet, se figuren till höger.
- I dagsläget så används nästan enbart CMOS-teknologi inom digitala kretsar, på grund av flera orsaker:

1. CMOS-transistorer har extremt låg effektförbrukning (på grund av extremt hög ingångsresistans, vanligtvis hundratals TΩ), till och med lägre än andra typer av MOSFET-switchar.
2. CMOS-transistorer kan göras mycket små, vilket medför att man kan placera extremt många CMOS-kretsar (logiska funktioner) på ett chip. På ett chip är det möjligt att få plats med flera miljarder CMOS-transistorer i dagsläget.
3. CMOS-transistorer är mycket okänsliga mot störningar.
4. Det går att ansluta CMOS-kretsar till olika matningsspänningar. En stor fördel är att man kan använda mycket lägre matningsspänning än tidigare digitala kretsar, som vanligtvis krävde minst 5 V matningsspänning.
5. CMOS-kretsar är mycket snabbare/har mycket lägre grindfördröjning än tidigare kretsar. Kretsarna kan alltså ställas om från exempelvis 0 till 1 extremt

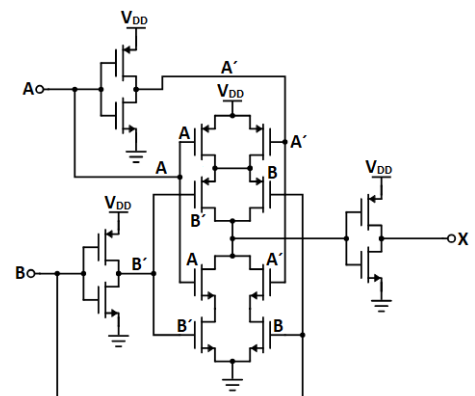


CMOS-switchen är den mest grundläggande digitala grinden, vars funktion är att invertera signaler. Inom digitalteknik kallas CMOS-switchen NOT-grind.



Buffern eliminerar eventuellt brus som kan uppkomma på digitala signaler, så att signalerna återfår sitt originalvärde, vilket antingen är logisk nolla eller etta.

Buffern består av två CMOS-switchar, där den första inverterar signalen och den andra inverterar tillbaka den till ursprungsläget, fast utan brus.



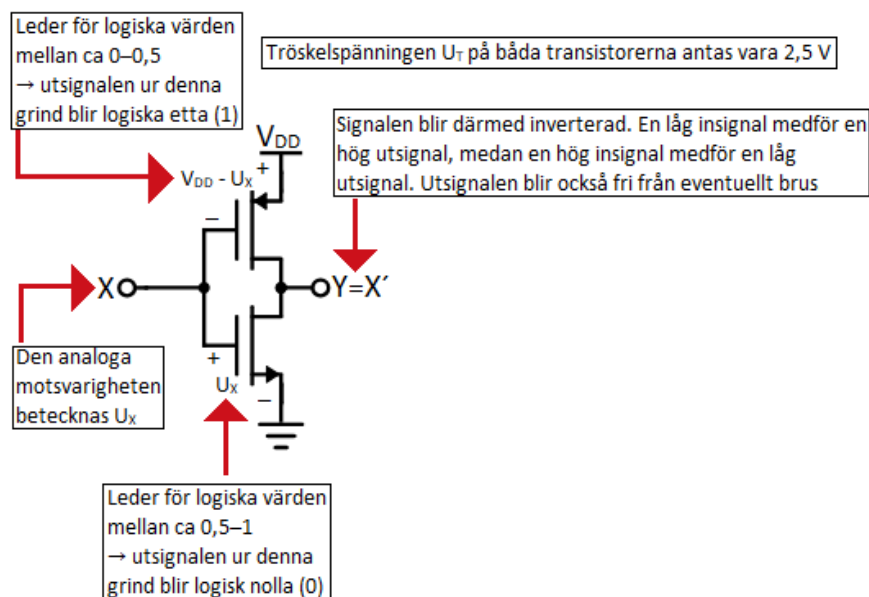
En XNOR-grind, den mest komplexa av de vanliga logiska grindarna. XNOR-grinden har som funktion att de två insignalerna måste ha samma värde, antingen 0 (låg) eller 1 (hög), för att utsignalen skall bli hög.

Digitalteknik och logiska grindar

- Logiska grindar är digitala kretsar, där utgångarna är logiska funktioner av en eller flera ingångar. De logiska funktionerna beskrivs med så kallad boolesk algebra, se kapitel 6 - Digitalteknik för mer detaljer om boolesk algebra.
- Grindarnas beteckningar följer deras logiska funktioner.
- För att demonstrera hur grindarnas olika funktioner nedan så betecknas deras utgångar med X, Y, A & B. A och B är ingångar på grindar med två insignalers finns, medan X är ingång på grindar med en ingång (NOT-grinden).

Pulldown- och pullup-nät

- CMOS-grindar är uppbyggda av två nät med transistorer, ett nedre nät bestående av NMOS-transistorer samt ett övre nät bestående av PMOS-transistorer, se figuren till höger. Det nedre nätet kallas pulldown-nät, medan det övre nätet kallas pullup-nät.
- Om det nedre nätet leder så blir utsignalen låg, under förutsättningen att ingen switch är placerad direkt efter grinden. Om det nedre nätet leder så blir utsignalen hög, lika stor som matningsspänningen V_{DD} , förutsatt att ingen switch är placerad efter grinden.

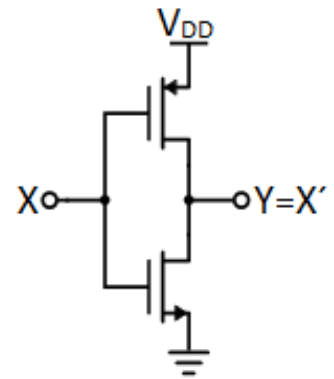


CMOS-switch. Det övre nätet kallas pullup-nät och är uppbyggt av PMOS-transistorer. Pullup-nätet medför att utsignalen blir hög om insignalen är låg.

Det nedre nätet kallas pulldown-nät och består av NMOS-transistorer. Pulldown-nätet medför att utsignalen blir låg om insignalen är hög.

CMOS-switchen

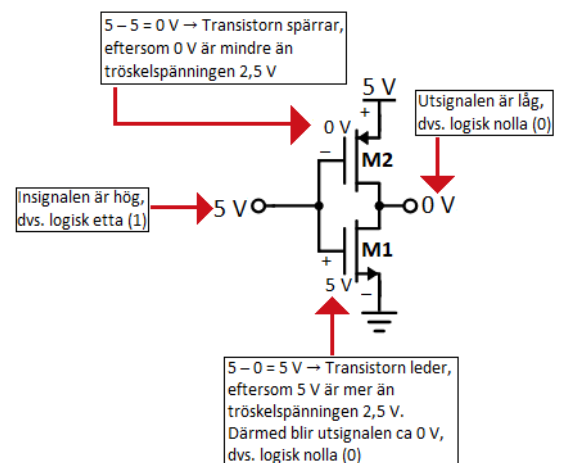
- Figuren till höger visar en så kallad CMOS switch, som inom digitalteknik kallas NOT-grind, eftersom den utför den logiska operationen NOT (invertering).
- CMOS-switchen inverterar signaler, så att en hög insignal medför en låg utsignal och en hög insignal medför en låg utsignal.
- Dessa digitala signaler har en analog motsvarighet, där en logisk etta (1) är lika med matningsspänningen V_{DD} och en logisk nolla (0) är lika med 0 V.
- Antag att matningsspänningen V_{DD} är lika med 5 V. CMOS-switchen medför att en logisk nolla på ingången (motsvarar en spänning på ca 0 V), blir en logisk etta på utgången (motsvarar ungefär matningsspänningen, alltså 5 V).
- Samtidigt så medför en logisk etta på ingången (ca 5 V) att utsignalen blir en logisk nolla (ca 0 V).
- Notera att CMOS-switchen består utav två MOSFET-transistorer med motsatt polaritet. Den övre transistoren (M2) är en PMOS-transistor och leder när insignalen understiger tröskelspänningen, alltså insignalen är låg. Den nedre transistoren (M1) är en NMOS-transistor, som leder när insignalen överstiger dess tröskelspänning, alltså när insignalen är hög.



CMOS-switch, vilket utgör byggstenen för NOT-grinden.

När CMOS-transistorn spärrar (OFF)

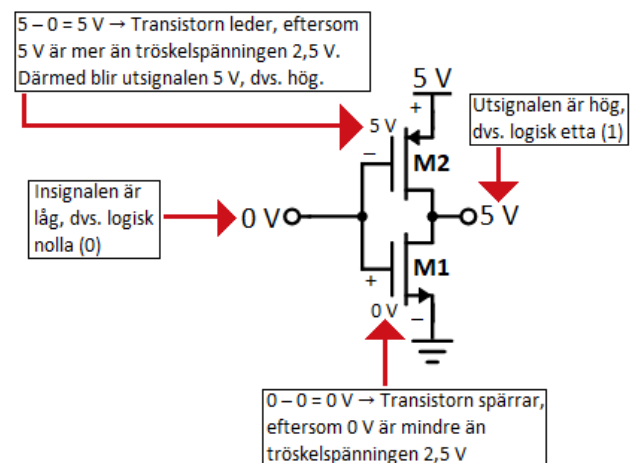
- När insignalen är låg så kommer alltså transistor M2 att leda, medan M1 spärrar.
- Eftersom resistansen mellan transistor M2:s drain och source är så låg när den leder ($R_{DS(on)} \approx 0,1 \Omega$) så blir utsignalen hög, omkring matningsspänningen – 0,2 V, alltså $V_{DD} - 0,2 \text{ V}$. Då kommer maximal ström att gå genom lasten och effektutvecklingen i lasten blir maximal, vilket är precis vad vi vill!
- Resistansen mellan transistor M1:s drain och source är samtidigt extremt hög, så vägen mellan drain och source är spärrad – all ström flödar till jord genom lasten.
- Då får vi maximal effektutveckling i lasten, då drainströmmen är maximal, vilket medför att maximalt spänningsfall hamnar över lasten. Då blir utsignalen låg (ca 0,2 V på grund utav $R_{DS(on)}$), eftersom nästan all spänning faller över lasten.



En hög insignal på en CMOS-switch medför en låg utsignal.

När CMOS-transistorn leder (ON):

- När insignalen är hög så kommer transistor M1 leda, samtidigt som M2 spärrar.
- Eftersom spänningsfallet U_{DS1} mellan M1:s drain och source är omkring 0,1 V när den leder så blir utsignalen 0,1 V, vilket är ekvivalent med en logisk nolla (0).
- Samtidigt är resistansen mellan transistor M2:s drain och source extremt hög, vilket gör att spänningsfallet över den blir ungefär lika med matningsspänningen V_{DD} , samtidigt som nästan ingen ström flödar genom kretsen.



Låg insignal på CMOS-switchen medför en hög utsignal.

1.4.9 - Konstruktion av logiska grindar med CMOS-transistorer

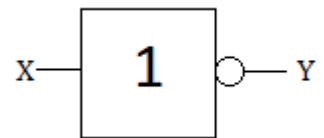
- Detta avsnitt behandlar tillvägagångssättet för att konstruera logiska grindar med CMOS-transistorer. Detta avsnitt fokuserar på transistornäten, alltså antalet transistorer och placering.
- Se avsnitt 1.4.10 för dimensionering av CMOS-transistorernas W/L-ratios utefter specifikationer, såsom effektförbrukning P_{TOT} och matningsspänning V_{DD} , samt transistorernas parametrar, såsom tröskelspänning U_T .

NOT-grinden

- NOT-grindens logiska funktion kan härledas med formeln

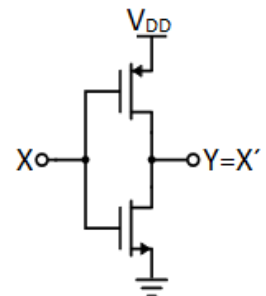
$$Y = X'$$

där X är insignal och Y är utsignal.



NOT-grind.

- NOT-grinden består utav en vanlig CMOS-switch, se figuren till höger.
- Som vi har sett tidigare så inverterar CMOS-switchen insignalen, så att utsignalen får motsatt värde; om insignalen är hög så blir utsignalen låg och vice versa.
- Det är lämpligt att använda transistorer vars tröskelspänning U_T ligger omkring halva matningsspänningen V_{DD} .
- Om matningsspänningen V_{DD} är lika med 5 V så vore det därmed lämpligt att transistorernas respektive tröskelspänning U_T ligger omkring 2,5 V. Detta medför att insignalen som har blivit påverkade av brus till stor del kan bli inverterade utan problem.



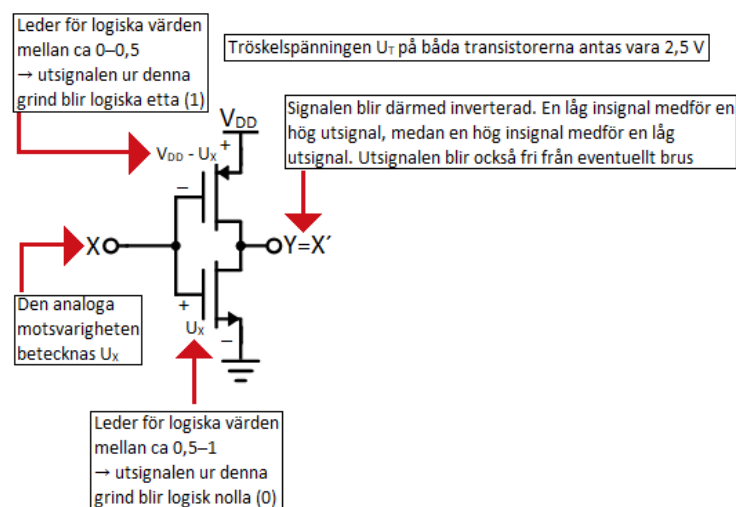
NOT-grind konstruerad med CMOS-transistorer.

- I figuren nedan, så antas båda transistorer har en tröskelspänning U_T på 2,5 V:

$$U_{TN} = U_{TP} = 2,5 \text{ V},$$

där U_{TN} samt U_{TP} är NMOS- respektive PMOS-transistorns tröskelspänning.

- Därmed så krävs en gate-sourcespänning U_{GS} / source-gatespänning U_{SG} på minst 2,5 V för att respektive transistor skall börja leda.



NOT-grinden medför eliminerat brus, då insignalen X omvandlar till 0 eller 1, vilket medför en ren signal.

- PMOS-transistorn tröskelspänning U_{TP} skrivs ofta som ett negativ storhet i databladet, exempelvis $-2,5\text{ V}$. Detta betyder att PMOS-transistorns gate-sourcespänning U_{GS} måste understiga $-2,5\text{ V}$ för att leda:

$$U_{TP} = -2,5\text{ V} \rightarrow U_{GS} \leq -2,5\text{ V för att leda}$$

vilket är ekvivalent med att source-gatespänningen U_{SG} måste överstiga $2,5\text{ V}$ för att PMOS-transistorn skall börja leda, då

$$U_{SG} = -U_{GS},$$

vilket innebär att

$$U_{TP} = -2,5\text{ V} \rightarrow U_{SG} \geq 2,5\text{ V för att leda}$$

- Därmed så måste insignalen X ha en spänningsnivå, som vi kallar U_X , på minst $2,5\text{ V}$, för att NMOS-transistorn skall börja leda, medan PMOS-transistorn kräver en spänningsnivå U_X som understiger $2,5\text{ V}$.
- Eftersom båda transistorer har en tröskelspänningen $U_{TN} = U_{TP}$ på $2,5\text{ V}$, så kan utsignalen Y bli både logisk nolla (0) eller logisk etta (1) ifall insignalens spänningsnivå V_X är $2,5\text{ V}$, eftersom vi inte vilken av dem som kommer leda och vad utsignalen kommer bli.
- Detta kommer avgöras av deras exakta tröskelspänningar; förmodligen har den ena något högre tröskelspänning än den andra, vilket medför att den ena kommer leda och den andra kommer spärra.

- Detta beror på att PMOS-transistorns source-gatespänning U_{SG} är lika med matningsspänningen V_{DD} minus insignalens spänningsnivå V_X

$$U_{SG} = V_{DD} - V_X$$

- Som exempel, om matningsspänningen V_{DD} är lika med 5 V och insignalens spänningsnivå V_X är lika med 3 V så blir PMOS-transistorns sourcespänning U_{SG} lika med 2 V , då

$$U_{SG} = 5 - 3 = 2\text{ V}$$

- Därmed så kommer denna transistor inte leda, eftersom spänningsfallet understiger tröskelspänningen U_T , som ligger på $2,5\text{ V}$:

$$U_{SG} < U_{TP} \rightarrow \text{PMOS} - \text{transistorn spärrar}$$

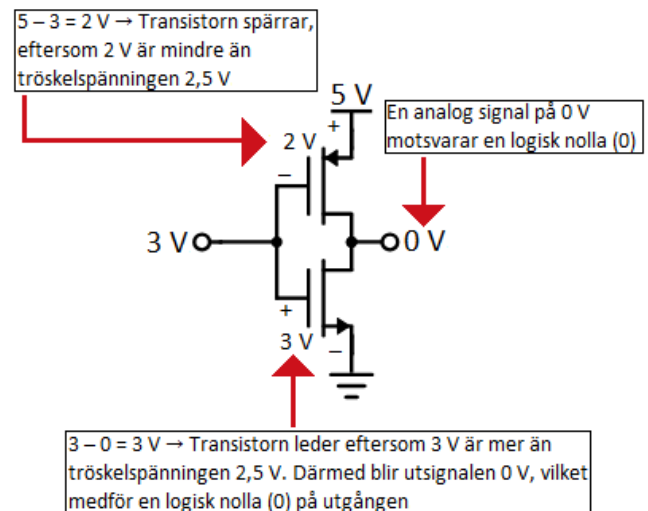
- Dock kommer NMOS-transistorn leda, då gate-sourcespänning U_{GS} utgörs av spänningsskillnaden mellan insignalen V_X samt jord och därmed hamnar på 3 V :

$$U_{GS} = V_X - 0 = 3\text{ V},$$

vilket överstiger tröskelspänningen U_{TN} :

$$U_{GS} > U_{TN} \rightarrow \text{NMOS} - \text{transistorn leder}$$

- Därmed blir NOT-grindens utsignal Y en logisk nolla (0) utan kvarstående brus.
- På samma sätt gäller att om en låg signal hade blivit utsatt för brus så att dess logiska värde hade ökar från 0 upp till $0,3$ så hade denna signals analoga värde uppgått till $5 * 0,3 = 1,5\text{ V}$, vilket understiger NMOS-transistorns tröskelspänning U_{TN} . Detta innebär att NMOS-transistorns då kommer spärra.
- Därmed så kommer PMOS-transistorns source-gatespänning U_{SG} bli $5 - 1,5\text{ V} = 3,5\text{ V}$, vilket överstiger dess tröskelspänning U_{TP} . Därmed kommer PMOS-transistorn leda, vilket innebär att utsignalen Y blir hög, alltså en logisk etta (1) utan brus.



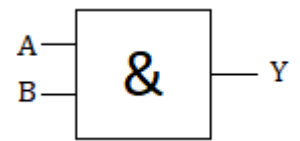
NOT-grind, där insignalens spänningsnivå V_X är lika med 3 V , vilket motsvarar en logisk insignal X på $3/5 = 0,6$, som inverteras till 0.

AND-grinden

- AND-grindens logiska funktion kan härledas med formeln

$$Y = A * B,$$

där A samt B är insignaler och Y är utsignal.



AND-grind.

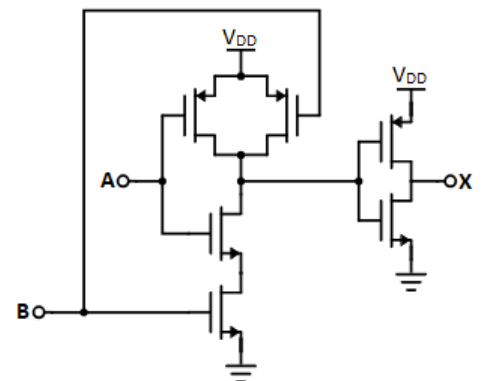
- Det nedre nätet kallas pulldown-nät och består utav NMOS-transistorer. För att realisera den logiska funktionen $Y = A * B$ så skall pulldown-nätet bestå utav $A * B$.
- Gångertecknet mellan A och B indikerar parallellkoppling, vilket indikerar att A och B skall parallellkopplas.

$$Y = A * B$$

- Det övre nätet kallas pullup-nät och består utav PMOS-transistorer. För att ta reda på hur PMOS-transistorerna skall placeras för att realisera den logiska funktionen $Y = A + B$ så använder vi ekvationen nedan, men struntar i apostroferna:

$$Y = (A' + B')'$$

- Vi skall alltså placera A seriellet med B, eftersom vi skall rita ut $A' + B'$, fast inverterade.
- Därefter sätter vi ihop pulldown- och pullup-nätet, för att slutligen placera en inverterare på utgången.
- Därefter är AND-grinden färdigkonstruerad, se figuren till höger.



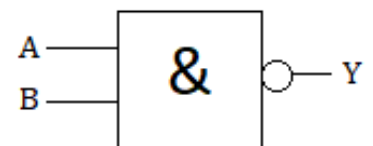
AND-grind konstruerad med CMOS-transistorer.

NAND-grinden:

- NAND-grindens logiska funktion kan härledas med formeln

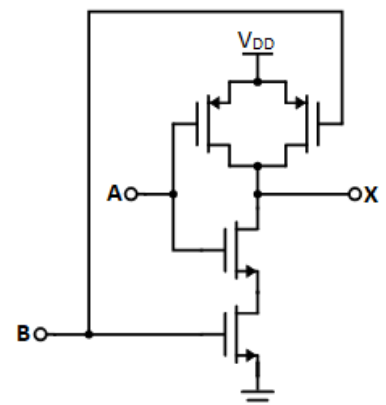
$$Y = (A * B)',$$

där A samt B är insignaler och Y är utsignal.



NAND-grind.

- Eftersom NAND-grinden är en inverterande AND så kan grindnätet konstrueras genom att använda samma nät som för AND-grinden, men utan inverteraren på utgången.
- Genom att ta bort inverteraren på AND-grindens utgång så erhålls därmed en NAND-grind.



NAND-grind konstruerad med CMOS-transistorer.

OR-grinden

- OR-grindens logiska funktion kan härledas med formeln

$$Y = A + B,$$

där A samt B är insignalerna och Y är utsignalen.

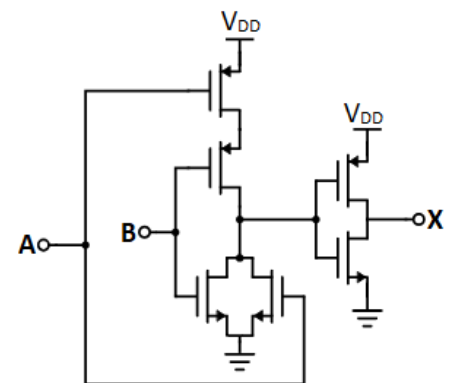
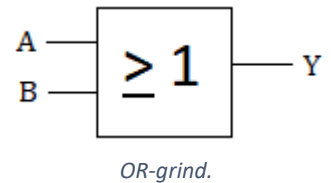
- Pulldown-nätet (NMOS-transistorerna) skall realisera funktionen $Y = A + B$. Plustecknet mellan A och B indikerar seriekoppling.
- I det nedre nätet så skall alltså A och B seriekopplas till jord. Vi seriekopplar därmed två NMOS-transistorer mittpunkten mellan pullup- och pulldown-nätet ned till jord.

- För att pullup-nätet (PMOS-transistorerna) skall realisera funktionen så använder vi uttrycket

$$Y = (A' * B')',$$

men vi inverterar signalerna, vilket i detta fall innebär att vi tar bort apostroferna.

- PMOS-transistorerna skall alltså realisera funktionen $A * B$, alltså A och B skall parallellkopplas. Vi parallellkopplar därmed två PMOS-transistorer i pullup-nätet, från matningsspänningen V_{DD} ned till mittpunkten mellan pullup- och pulldown-nätet.
- Därefter så tar vi utsignalen mellan de två transistornätets mittpunkt och inverterar denna med en NOT-grind, bestående av en CMOS-switch. Därefter har vi skapat transistornätet för en OR-grind.



OR-grind konstruerad med CMOS-transistorer.

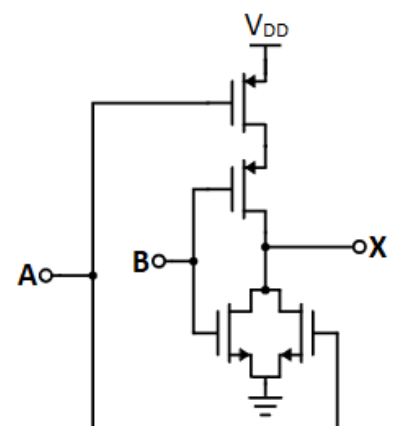
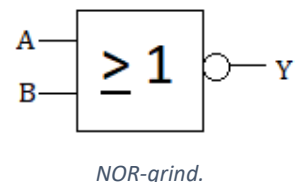
NOR-grinden

- OR-grindens logiska funktion kan härledas med formeln

$$Y = (A + B)',$$

där A samt B är insignalerna och Y är utsignalen.

- För att konstruera NOR-grinden med CMOS-transistorer, så använder vi samma nät som för OR-grinden, men utan inverteraren på utgången. Detta är också lätt att förstå rent intuitivt, eftersom NOR-grinden är en inverterande OR.



NOR-grind konstruerad med CMOS-transistorer.

XOR-grinden

- XOR-grindens logiska funktion kan härledas med formeln

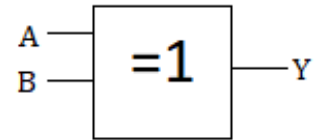
$$Y = A \oplus B = AB' + A'B,$$

där A samt B är insignaler och Y är utsignal.

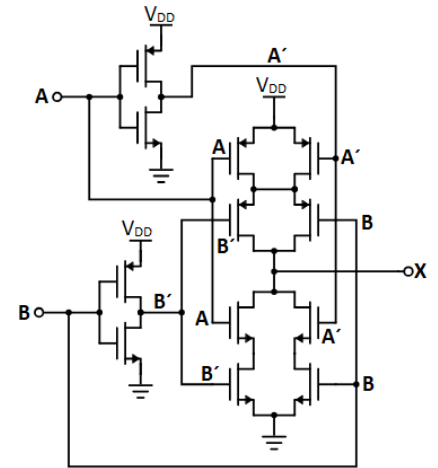
- Pulldown-nätet (NMOS-grindarna) skall realisera funktionen $Y = AB' + A'B$. För att göra detta så måste vi seriekoppla AB' med $A'B$:

- AB' är detsamma som $A * B'$, vilket indikerar att A skall parallellkopplas med B' .
- $A'B$ är detsamma som $A' * B$, vilket indikerar att A' skall parallellkopplas med B.

- I detta fall så behöver vi alltså två switchar på ingången, som möjliggör att vi har tillgång till signalerna A, B, A' samt B'.



XOR-grind.



XOR-grind konstruerad med CMOS-transistorer.

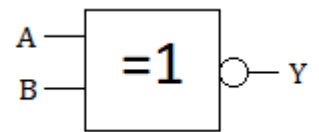
XNOR-grinden

- XNOR-grindens logiska funktion kan härledas med formeln

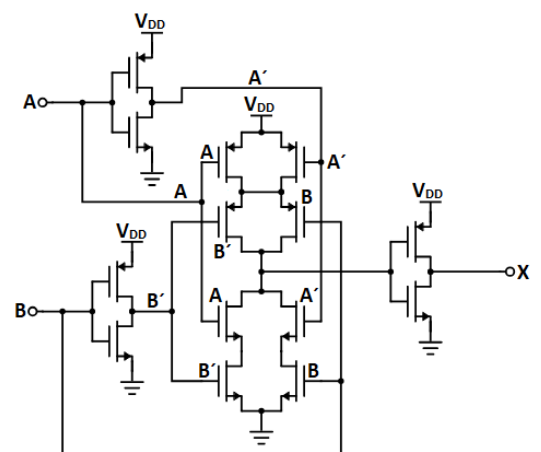
$$Y = (A \oplus B)' = (AB' + A'B)',$$

där A samt B är insignaler och Y är utsignal.

- För att realisera XNOR-grinden så kan vi använda en vanlig XOR-grind, med skillnaden att en Inverterare måste placeras på utgången. Därmed erhålls grindnätet till höger.



XNOR-grind.



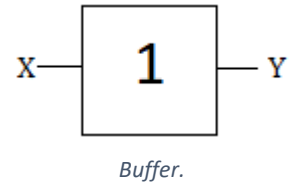
XNOR-grind konstruerad med CMOS-transistorer.

Buffern

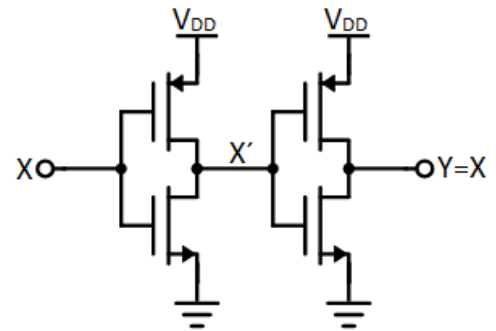
- Bufferns logiska funktion kan härledas med formeln

$$Y = X,$$

där X är insignalen och Y är utsignalen.



- Återställer signaler till sitt originalvärde om det har blivit påverkat av brus.
- Bufferns grindnät kan skapas genom att kaskadkoppla två inverterare (NOT-grindar), se figuren till höger.
- Som exempel, om insignalen X är 0,8 så kommer denna inverteras till 0 av den första NOT-grinden. Därefter så kommer den andra NOT-grinden invertera detta värde, så att utsignalen blir 1.
- Det är viktigt att sätta välja rätt tröskelspänning på dessa transistorer, så att logiska värden ned till 0,5 inverteras till 1.



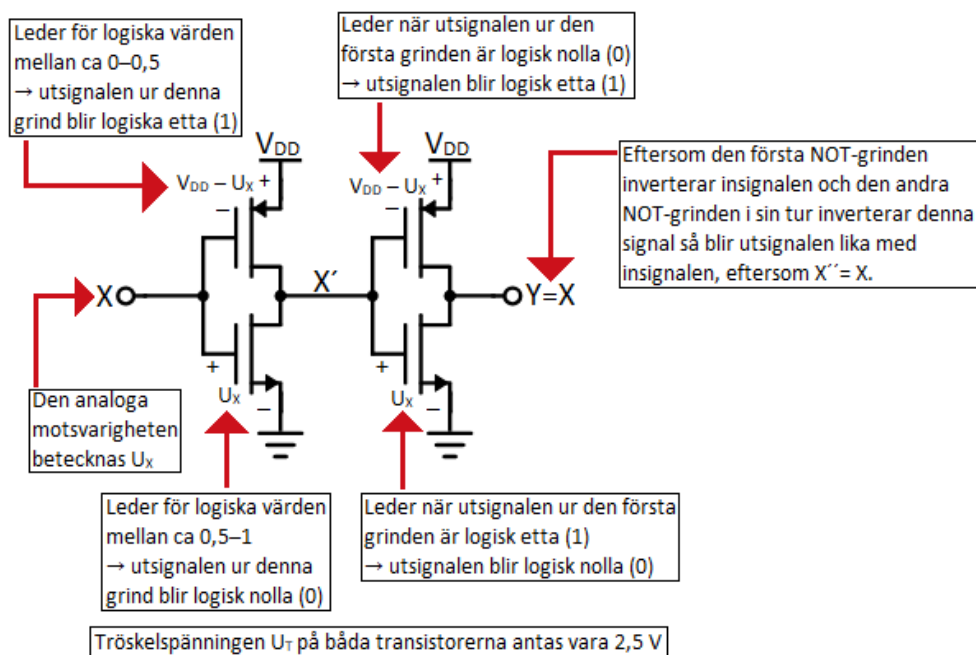
Buffern konstruerad med CMOS-transistorer.

- Detta ser man till genom att välja transistorer vars tröskelspänning U_T ligger runt halva matningsspänningen V_{DD} vilket motsvarar det logiska värdet 0,5:

$$U_{TN} = U_{TP} = \frac{V_{DD}}{2}$$

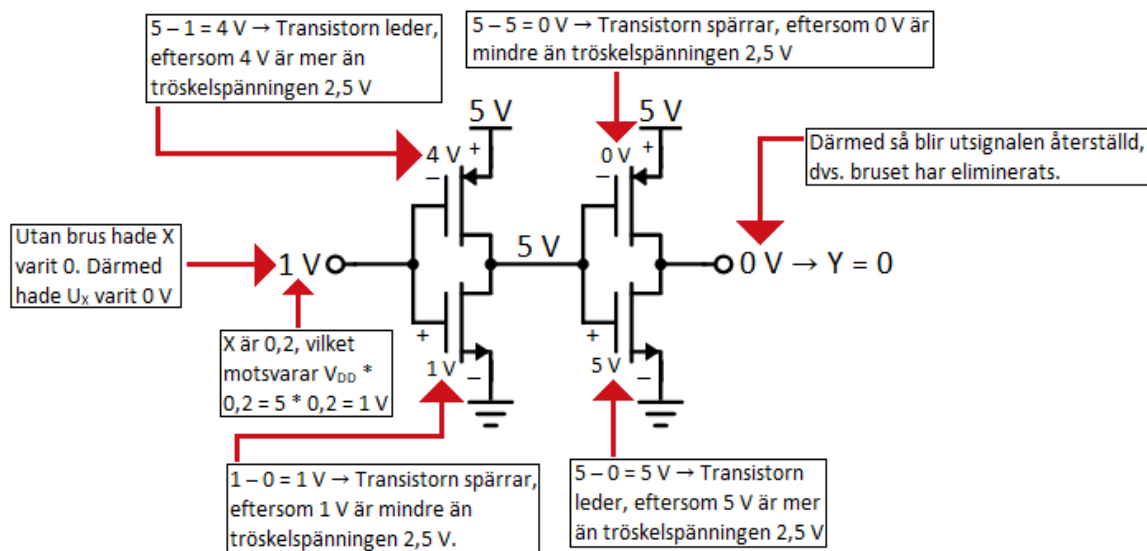
där U_{TN} och U_{TP} är NMOS- respektive PMOS-transistorns tröskelspänning och V_{DD} är bufferns matningsspänning.

- Som exempel, om matningsspänningen V_{DD} är lika med 5 V så hade det varit lämpligt att använda transistorer vars tröskelspänning är lika med ca 2,5 V, vilket medför att för logiska värden nedan till omkring 0,5 så kommer den nedre transistoren i den första NOT-grinden leda. Då blir utsignalen ur denna grind låg. Därefter kommer den övre transistorer i den andra NOT-grinden leda, vilket medför att utsignalen blir en ren logisk etta (1).



Bufferns arbetssätt, sett på transistornivå.

- Som exempel, anta att vi har en logisk nolla (0) som insignal, se figuren nedan. På grund av brus har insignalen blivit 0,2, vilket motsvarar att insignalens spänningsnivå V_x är lika med $0,2 * 5 = 1$ V. Utan brus hade insignalen varit 0 V, inte 1 V.
- Eftersom 1 V är mindre än tröskelspänningen så kommer PMOS-transistorn i den första NOT-grinden leda. Då blir utsignalen ur den första grinden en logisk etta (1), vilket motsvarar 5 V. Denna signal används sedan som insignal på den andra NOT-grinden.
- Eftersom insignalen på den andra NOT-grinden är en logisk etta (1), alltså 5 V, så kommer NMOS-transistorn leda, vilket medför att utsignalen Y blir en logisk nolla (0), vilket motsvarar 0 V. Därmed så hade signalen återställts till sitt ursprungsvärde och bruset eliminerades



Exempel på buffer som återställer en signal till en logisk nolla (0 V).

- Om vi hade valt en lägre tröskelspänning U_T på transistorerna, exempelvis 1 V, och matningsspänningen fortfarande var 5 V så hade detta medfört att signaler vars logiska värde ligger mellan ca 0,2 - 1 hade blivit logiska ettor (1). Detta beror på att 1 V motsvarar 20 % av matningsspänningen, vilket medför att alla signaler mellan 0,2 - 1 hade överstigit tröskelspänning U_{TN} på den första NOT-grindens NMOS-transistor.
- Därmed så hade utsignalen ur den första NOT-grinden blivit en logisk nolla (0) för alla insignal X vars logiska värde ligger mellan 0,2 - 1. Sedan hade denna signal inverterats av den andra NOT-grinden, så att utsignalen Y hade blivit en logisk etta (1).
- Detta är inte önskvärt, då logiska nollor som blir påverkade av brus kanske ökar från 0 till 0,2 som i exemplet ovan. Då kommer utsignalen istället bli en logisk etta (1), medan den skulle bli återställd till en logisk nolla (0).

1.4.10 - Dimensionering av W/L-ratios på CMOS-transistorer i logiska grindar

- Detta avsnitt behandlar tillvägagångssättet för att dimensionera W/L-ratios på CMOS-transistorer som bygger upp logiska grindar.
- Denna dimensionering sker utifrån ett flertal parametrar, såsom matningsspänningen V_{DD} , transistorernas parametrar, önskad effektförbrukning P_{TOT} samt drainström I_D .
- För det första bör samtliga transistorers W/L-ratios fastställas, vilket är relativt enkelt ifall matningsspänningen V_{DD} samt önskad drainström I_D är känd.
- Vi utgår från att matningsspänningen V_{DD} är satt till 5 V:

$$V_{DD} = 5 \text{ V}$$

- Som nämndes tidigare så skall MOSFET-transistorn arbeta i dess linjära området när den arbetar som en switch.
- CMOS-switchen ovan till höger utgör en NOT-grind, som inverterar inkommande signaler.
- Som en tumregel, så bör transistorernas respektive tröskelspänning U_{TN} / U_{TP} på halva matningsspänningen V_{DD} , alltså 2,5 V, då

$$U_{TN} = U_{TP} = \frac{V_{DD}}{2} = 2,5 \text{ V}$$

- Därmed ser vi till att en av transistorerna leder för varje inspänning V_X mellan 0 - 5 V. Därmed ser vi till att även inkommande signaler vars värde har ökat eller minskat något av brus kan inverteras. Samtidigt så kommer bruset elimineras, då utsignalen V_Y kommer hamna mycket nära 0 V eller 5 V, vilket motsvarar en logisk nolla (0 V) eller en logisk etta (1).
- Endast för insignaler som medför en inspänning V_X mycket nära 2,5 V, så kan utspänningen bli både 0 V och 5 V eller något däremellan. Om inspänningen V_X hade varit exakt 2,5 V, så att båda transistorer hade ledat, så hade vi kunnat anta att utspänningen V_Y hade hamnat ungefär mitt emellan 0 V och 5 V, alltså runt 2,5 V.
- Transistor M1 och M2 kan antas ha en drain-sourcespänning $U_{DS1} /$ source-drainspänning U_{SD2} på ca 0,1 V i ledande tillstånd:

$$U_{DS1} = U_{SD2} \approx 0,1 \text{ V}$$

- Genom att använda Kirchhoffs spänningslag från matningsspänningen V_{DD} ned till CMOS-switchens utspänning V_Y via transistor M2:s source-drainspänning U_{SD} , så kan följande formel härledas:

$$V_{DD} - U_{SD2} - V_Y = 0,$$

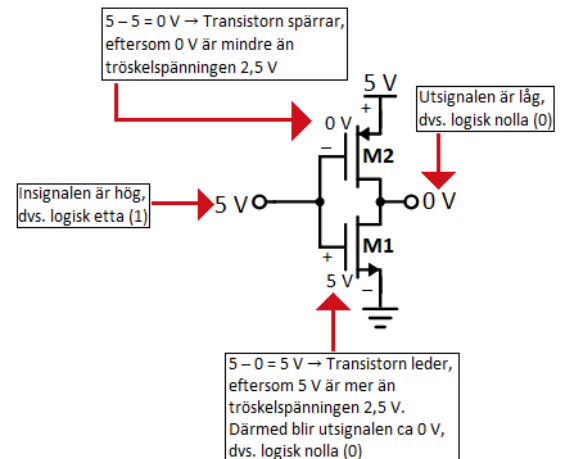
vilket kan transformeras till

$$V_Y = V_{DD} - U_{SD2},$$

där V_Y är utspänningen, V_{DD} är matningsspänningen och U_{SD2} är transistor M2:s source-drainspänning.

- Då insignalen X utgörs av en logisk nolla (0), så skall utsignalen Y utgöras av en logisk etta (1). Eftersom matningsspänningen V_{DD} är satt till 5 V, så ser vi att en utsignal Y som utgörs av en logisk etta (1) motsvarar en utspänning V_Y på ca 4,9 V, då

$$V_Y = V_{DD} - U_{SG2} \approx 5 - 0,1 = 4,9 \text{ V}$$



När transistor M1 leder, så är dess gate-sourcespänning U_{GS1} lika med 5 V. Via detta samt önskad drainström kan ett lämpligt värde på dess W/L-ratio fastställas.

- Genom att används Kirchhoffs spänningslag från matningsspänningen utspänningen V_Y ned till jord via transistor M1:s drain-sourcespänning U_{DS1} , så kan följande formel härledas:

$$V_Y - U_{DS1} = 0,$$

vilket kan transformeras till

$$V_Y = U_{DS1},$$

där V_Y är utspänningen och U_{DS1} är transistor M1:s drain-sourcespänning.

- Ifall insignalen X utgörs av en logisk etta (1), så skall utsignalen Y blir en logisk nolla (0), vilket är ekvivalent med en utspänning V_Y på ca 0,1 V,

$$V_Y = U_{DS1} \approx 0,1 V$$

- Vi kan anta att transistor M1, som är en NMOS-transistor, har en transkonduktansparameter $\mu_n C_{ox}$ på $60 \mu A/V^2$:

$$\mu_n C_{ox} = 60 \mu A/V^2,$$

samtidigt som transistor M2, som är en PMOS-transistor, kan antas ha en transkonduktansparameter $\mu_p C_{ox}$ på $30 \mu A/V^2$:

$$\mu_p C_{ox} = 30 \mu A/V^2$$

- Antag att CMOS-switchen skall ha en effektförbrukning P_{TOT} på ca $10 \mu W$:

$$P_{TOT} = 10 \mu W$$

- Förhållande mellan CMOS-switchens effektförbrukning P_L samt drainströmmen I_D som flödar genom CMOS-switchen kan härledas med effektlagen:

$$P_L = V_{DD} * I_D,$$

som kan transformeras till

$$I_D = \frac{P_L}{V_{DD}},$$

där V_{DD} är matningsspänningen.

- Via effektförbrukningen P_{TOT} , så ser vi att drainströmmen I_D skall sättas till $2 \mu A$, då

$$I_D = \frac{10\mu}{5} = 2 \mu A$$

- Därefter kan transistor M1:s samt M2:s W/L-ratio beräknas.
- Drainströmmen I_D som flödar genom transistor M1 i linjärt tillstånd kan härledas med formeln

$$I_D = \mu_n C_{ox} * \left(\frac{W}{L}\right)_1 \left[(U_{GS1} - U_{TN})U_{DS1} - \frac{U_{DS1}^2}{2} \right],$$

där I_D är drainströmmen, $\mu_n C_{ox}$ är transistor M1:s transkonduktansparameter, $(W/L)_1$ är dess W/L-ratio, U_{GS1} är gate-sourcespänningen, U_{TN} är tröskelspänningen och U_{DS1} är drain-sourcespänningen.

- Formeln ovan kan transformeras till

$$\left(\frac{W}{L}\right)_1 = \frac{I_D}{\mu_n C_{ox} \left[(U_{GS1} - U_{TN})U_{DS1} - \frac{U_{DS1}^2}{2} \right]}$$

- Genom att beräkna med Kirchoffs spänningslag från inspänningen V_X ned till jord via transistor M1:s gate-sourcespänning U_{GS1} , så kan följande formel härledas:

$$V_X - U_{GS1} = 0,$$

vilket kan transformeras till

$$U_{GS1} = V_X$$

- Transistor M1 leder då insignal X utgörs av en logisk etta (1), vilket motsvarar en inspänning V_X på 5 V, förutsatt att X är fri från brus. Då blir transistor M1:s gate-sourcespänning U_{GS1} lika med 5 V, då

$$U_{GS1} = V_X = 5 \text{ V}$$

- Därefter kan ett lämpligt värde på transistor M1:s W/L-ratio $(W/L)_1$ fastställas. Vi ser då att W/L-ration $(W/L)_1$ bör sättas till ca $1 \mu\text{m} / 7 \mu\text{m}$, då

$$\left(\frac{W}{L}\right)_1 = \frac{2\mu}{60\mu * \left[(5 - 2,5) * 0,1 - \frac{0,1^2}{2}\right]} \approx 0,14 \approx \frac{1 \mu\text{m}}{7 \mu\text{m}}$$

- Därefter kan ett lämpligt värde på transistor M2:s W/L-ratio (W/L) beräknas. Drainströmmen I_D som flödar genom transistor M2 i linjärt tillstånd kan härledas med formeln

$$I_D = \mu_p C_{ox} * \left(\frac{W}{L}\right)_2 \left[(U_{SG2} - U_{TP}) U_{SD2} - \frac{U_{SD}^2}{2} \right],$$

där I_D är drainströmmen, $\mu_p C_{ox}$ är transistor M2:s transkonduktansparameter, $(W/L)_2$ är dess W/L-ratio, U_{SG2} är gate-sourcespänningen, U_{TP} är tröskelspänningen och U_{SD1} är source-drainspänningen.

- Formeln ovan kan transformeras till

$$\left(\frac{W}{L}\right)_2 = \frac{I_D}{\mu_p C_{ox} \left[(U_{SG2} - U_{TP}) U_{SD2} - \frac{U_{SD}^2}{2} \right]}$$

- Genom att beräkna med Kirchoffs spänningslag matningsspänningen V_{DD} ned till inspänningen V_X via transistor M2:s source-gatespänning U_{SG2} , så kan följande formel härledas:

$$V_{DD} - U_{SG2} - V_X = 0,$$

vilket kan transformeras till

$$U_{SG2} = V_{DD} - V_X$$

- Transistor M2 leder då insignal X utgörs av en logisk nolla (0), vilket motsvarar en inspänning V_X på 0 V, under förutsättning att insignal X är brusfri. Då blir transistor M2:s source-gatespänning U_{SG2} lika med 5 V, då

$$U_{SG2} = V_{DD} - V_X = 5 - 0 = 5 \text{ V}$$

- Därmed ser vi att transistor M2:s W/L-ratio $(W/L)_2$ bör sättas till ca $1 \mu\text{m} / 4 \mu\text{m}$, då

$$\left(\frac{W}{L}\right)_2 = \frac{2\mu}{30\mu * \left[(5 - 2,5) * 0,1 - \frac{0,1^2}{2}\right]} \approx 0,27 \approx \frac{1 \mu\text{m}}{4 \mu\text{m}}$$

- Ifall en logisk grind med fler CMOS-transistorer skall konstrueras, exempelvis en OR- eller en XOR-grind, så hade samtliga NMOS-transistorer i pulldown-nätet satts till samma W/L-ratio som NMOS-transistor M1 och samtliga PMOS-transistorer i pullup-nätet hade satts till samma W/L-ratio som PMOS-transistor M2,
- Ovanstående regel gäller under förutsättning att lika stor drainström I_D skall flöda genom samtliga transistorer och att de har identiska parametrar, såsom transkonduktansparameter $\mu_n C_{ox}$ samt tröskelspänning U_{TN} . I normalfallet är CMOS-transistorerna i princip identiska dimensioneras därför likadant.