

Övningsuppgifter 2025-04-30

1. Du ska konstruera ett digitalt system för togglning av tre lysdioder via tre tryckknappar. Systemet ska innehålla följande portar:
 - Insignal *clock* ska utgöras av en systemklocka med godtycklig frekvens (dock 50 MHz på FPGA-kortet).
 - Insignal *reset_n* ska utgöras av en inverterande reset-signal, när *reset_n* = 0 ska systemåterställning ske.
 - Insignaler *button_n[2:0]* ska utgöras av tre inverterande tryckknappar.
 - Utsignaler *led[2:0]* ska utgöras av tre lysdioder, som var och en togglas vid nedtryckning av motsvarande tryckknapp.

Kretsen ska implementeras synkront med en asynkron reset; samtliga signaler i kretsen uppdateras vid stigande flank på klockan *clock* eller när reset-signalen *reset_n* är låg. När *reset_n* är låg ska systemåterställning ske, vilket innebär att samtliga signaler ska sättas i startläget (och samtliga lysdioder ska då släckas).

- a) Realisera motsvarande grindnät för hand och simulera i CircuitVerse. Sätt klockans periodtid till 1000 ms.
 - b) Validera att konstruktionen fungerar som tänkt. Testa att toggla lysdioderna via nedtryckning av motsvarande tryckknappar. Testa också att trycka ned reset-signalen *reset_n*, verifiera att samtliga lysdioder släcks direkt.
2. Implementera konstruktionen i VHDL via en modul döpt *led_toggle3*.
 - a) Välj FPGA-kort Terasic DE0 (enhet 5CEBA4F23C7). Toppmodulen ska ha samma namn som projektet.
 - b) Verifiera konstruktionen på ett FPGA-kort. Anslut insignal *clock* till en 50 MHz systemklocka, *reset_n* samt *button_n[2:0]* till var sin tryckknapp och *led[2:0]* till var sin lysdiod, se databladet för PIN-nummer (finns på GitHub).