Övningsuppgifter 2025-03-14

1. Vi ska realisera en 2-bitars prioritersavkodare, som under lektion ska användas i en AD-omvandlare konstruerad i LTspice. Prioritetsavkodaren ska ha fyra insignaler ABCD samt två utsignaler XY. Prioritetsavkodaren bryr sig bara om den mest signifikanta insignalen ABCD. Därmed gäller följande, där X betyder don't care, alltså att värdet inte spelar någon roll:

$$ABCD = \begin{cases} 1XXX => XY = 11\\ 01XX => XY = 10\\ 001X => XY = 01\\ 000X => XY = 00 \end{cases}$$

Sanningstabellen för prioritetsavkodaren visas nedan:

ABCD	XY
0000	00
0001	00
0010	01
0011	01
0100	10
0101	10
0110	10
0111	10
1000	11
1001	11
1010	11
1011	11
1100	11
1101	11
1110	11
1111	11

Tabell 1: Sanningstabell för 2-bitars prioritetsavkodare

Tips Eftersom prioritetsavkodaren enbart bryr sig om den mest signifikanta höga insignalen kan sanningstabellen ovan förenklas via don't care-värden (symboliserade via X), såsom visas nedan:

ABCD	XY
0000	00
001X	01
01XX	10
1XXX	11

Tabell 2: Förenklad sanningstabell för 2-bitars prioritetsavkodare.

- a) Ta fram minimerade ekvationer för utsignaler X och Y, antingen matematiskt eller via Karnaugh-diagram. Använd någon av sanningstabellerna ovan.
- b) Realisera motsvarande grindnät för hand.
- c) Simulera grindnätet via CircuitVerse, validera att konstruktionen fungerar som tänkt.
- d) Skapa ett nytt projekt döpt *priority_encoder* i Quartus och realisera konstruktionen genom att implementera de framtagna ekvationerna direkt. Välj FPGA-kort Terasic DEO (enhet 5CEBA4F23C7). Toppmodulen ska ha samma namn som projektet. Kompilera och inspektera den syntetiserade kretsen. Matchar den motsvarande krets som realiserades för hand?
- e) Verifiera konstruktionen på ett FPGA-kort. Anslut insignaler ABCD till var sin slide-switch och utsignaler XY till var sin lysdiod, se databladet för PIN-nummer (finns på Classroom).