

Övningsuppgifter 2025-03-28

1. På mikrodatorn ATmega328P används en multiplexer för att analoga kanaler PORTC0 – PORTC7 ska kunna dela på en enda AD-omvandlare. Enbart en av de analoga kanalernas insignaler släpps igenom till AD-omvandlaren vid ett givet tillfälle, vilket kontrolleras via selektorbitar MUX[2:0] i registret ADMUX (*ADC Multiplexer Select Register*) enligt nedanstående tabell:

MUX[2:0]	Kanal
000	PORTC0
001	PORTC1
010	PORTC2
011	PORTC3
100	PORTC4
101	PORTC5
110	PORTC6
111	PORTC7

Tabell 1: Sanningstabell för multiplexer för ATmega328:s analoga kanaler.

Vi ska i denna uppgift konstruera en sådan 8-to-1 multiplexer (8-to-1 indikerar åtta inportar samt en utport). För läsbarhetens skull sätter vi att A - H = PORTC[7:0] samt att S[2:0] = MUX[2:0] i resten av uppgiften. Vi kan också beteckna multiplexerns utsignal till X. Sanningstabellen ovan kan därmed skrivas om såsom visas nedan:

S[2:0]	X
000	A
001	B
010	C
011	D
100	E
101	F
110	G
111	H

Tabell 2: Sanningstabell för uppgift 1.

- Härled en logisk ekvation för multiplexerns utsignal X via insignaler A - F samt selektorbitar S[2:0].
- Realisera grindnätet i CircuitVerse. Kontrollera att det fungerar korrekt.
- Implementera konstruktionen i VHDL via en modul döpt *mux_8_to_1*. Välj FPGA-kort Terasic DE0 (enhet 5CEBA4F23C7). Toppmodulen ska ha samma namn som projektet.
- Verifiera konstruktionen på ett FPGA-kort. Anslut insignaler A - H till var sin slide-switch, selektorbitar S[2:0] till var sin tryckknapp samt utsignal X till en lysdiod, se databladet för PIN-nummer (finns [här](#)).

OBS! Tryckknapparna har aktivt låg insignal, så signalen är låg vid nedtryckning. Vi kan enkelt lösa detta genom att använda inverterande signaler i toppmodulen.