

Övningsuppgifter 2025-03-21

1. Du ska realisera en 4-bitars komparator med insignaler ABCD samt utsignaler X, Y och Z.

Komparatorn ska fungera enligt nedan:

- Om $AB > CD \Rightarrow XYZ = 100 \Rightarrow X = 1$ indikerar att AB är större än CD.
- Om $AB = CD \Rightarrow XYZ = 010 \Rightarrow Y = 1$ indikerar att AB och CD är samma.
- Om $AB < CD \Rightarrow XYZ = 001 \Rightarrow Z = 1$ indikerar att AB är mindre än CD.

- a) Ta fram minimerade ekvationer för utsignaler X, Y och Z, antingen matematiskt eller via Karnaugh-diagram.
- b) Realisera motsvarande grindnät för hand.
- c) Implementera konstruktionen i VHDL via en modul döpt *comparator_4bit*. Välj FPGA-kort Terasic DE0 (enhet 5CEBA4F23C7). Toppmodulen ska ha samma namn som projektet.
- d) Skapa en testbänk döpt *comparator_4bit_tb* och simulera samtliga 16 kombinationer 0000 – 1111 av insignaler ABCD under 10 ns var.
- e) Validera konstruktionen i ModelSim. Inspektera att in- och utsignalerna matchar ovanstående sanningstabell.
- f) Verifiera konstruktionen på ett FPGA-kort. Anslut insignaler ABCD till var sin slide-switch och utsignaler XYZ till var sin lysdiod, se databladet för PIN-nummer (finns [här](#)).