

Övningsuppgifter 2025-04-04

1. Du ska konstruera en heladderare innehållande tre insignaler A, B och C_{IN} (*carry in*) samt två utsignaler S (*sum*) och C_{OUT} (*carry out*). Summan av insignalerna ska tilldelas till utsignal S. Eftersom S bara utgörs av en bit kan det hända att vi får en carry-bit, som ska tilldelas till utsignal C_{OUT} .

Man kan också tänka att utsignalerna tillsammans utgör ett 2-bitars tal, där C_{OUT} utgör MSB (mest signifikant bit), vilket kan uttryckas i en ekvation såsom visas nedan:

$$\{C_{OUT}, S\} = A + B + C_{IN}$$

Därmed gäller att

$$\{C_{OUT}, S\} = \begin{cases} \{0,0\} & \text{om } A + B + C_{IN} = 0 \\ \{0,1\} & \text{om } A + B + C_{IN} = 1 \\ \{1,0\} & \text{om } A + B + C_{IN} = 2 \\ \{1,1\} & \text{om } A + B + C_{IN} = 3 \end{cases}$$

- a) Rita upp en sanningstabell för heladderaren. Härled sedan logiska ekvationer för heladderarens utsignaler S och C_{OUT} .
- b) Realisera grindnätet i CircuitVerse. Kontrollera att det fungerar korrekt.
- a) Implementera konstruktionen i VHDL via en modul döpt *full_adder*. Välj FPGA-kort Terasic DE0 (enhet 5CEBA4F23C7). Toppmodulen ska ha samma namn som projektet.
- b) Skapa en testbänk döpt *full_adder_tb* och simulera samtliga åtta kombinationer 000 – 111 av insignalerna under 10 ns var. Den totala simuleringstiden ska alltså uppgå till 80 ns. Validera konstruktionen i ModelSim.
- c) Verifiera konstruktionen på ett FPGA-kort. Anslut insignaler A, B samt C_{IN} till var sin slide-switch samt utsignaler S samt C_{OUT} till var sin lysdiod, se databladet för PIN-nummer (finns [här](#)).