

## Övningsuppgifter 2025-05-09

1. Du ska konstruera ett digitalt system för togglning av en lysdiod via en tryckknapp. Systemet ska innehålla följande portar:
- Insignal *clock* ska utgöras av en systemklocka med godtycklig frekvens (dock 50 MHz på FPGA-kortet).
  - Insignal *reset\_n* ska utgöras av en inverterande reset-signal, när *reset\_n* = 0 ska systemåterställning ske.
  - Insignal *button\_n* ska utgöras av inverterande tryckknapp, som vid nedtryckning (låg signal) togglar en lysdiod.
  - Utsignal *led* ska utgöras av en lysdiod, som togglas vid nedtryckning av *button\_n*.

Kretsen ska implementeras synkront med en asynkron reset; samtliga signaler i kretsen uppdateras vid stigande flank på klockan *clock* eller när reset-signalen *reset\_n* är låg. När *reset\_n* är låg ska systemåterställning ske, vilket innebär att samtliga signaler ska sättas i startläget (och lysdioden ska då släckas).

Kretsen ska också göras mer robust via förebyggande av metastabilitet. För att åstadkomma detta ska den så kallade double-flop metoden. Därmed ska varje insignal (förutom systemklockan) synkroniseras via två vippor styck.

- a) Realisera motsvarande grindnät för hand och simulera i CircuitVerse. Sätt klockans periodtid till 1000 ms. Testa att toggla lysdioden via nedtryckning av tryckknapp *button\_n*. Sker togglingen direkt eller dröjer det? Fundera på resultatet.
- b) Skapa ett projekt döpt *led\_toggle\_meta\_prev* i Quartus. Välj FPGA-kort Terasic DE0 (enhet 5CEBA4F23C7). Implementera portar såsom beskrivet ovan.
- c) Lägg till följande synkroniserade signaler i toppmodulen (s2 indikerar att signalerna har synkroniserats med två vippor):
- **reset\_s2\_n**: Asynkron inverterande reset-signal synkroniserad i enlighet med double-flop metoden.
  - **button\_edge\_s2**: Indikerar nedtryckning av tryckknapp *button\_n* på fallande flank. Signalen är dessutom synkroniserad i enlighet med double-flop metoden.

Dessa signaler kommer anslutas till en instans av en delkomponent och därigenom fungera enligt beskrivningen ovan.

- d) Lägg till kod i toppmodulen så att lysdioden *led* togglas vid fallande flank på tryckknapp *button\_n* (den synkroniserade signalen *button\_edge\_s2* kommer då vara ettställd). Om reset-knappen trycks ned, vilket ska kontrolleras via den synkroniserade signalen *reset\_s2\_n*, ska lysdioden direkt släckas.
- e) Skapa en delkomponent döpt *meta\_prev* i en fil döpt *meta\_prev.vhd*. Denna delkomponent ska kunna användas för att synkronisera insignalerna med double-flop metoden (i syfte att förebygga metastabilitet) samt detektera nedtryckning av tryckknapp *button\_n* på fallande flank.
- Använd följande portar:
- **clock**: 50 MHz systemklocka på FPGA-kortet.
  - **reset\_n**: Asynkron inverterande reset-signal ansluten till en tryckknapp.
  - **button\_n**: Tryckknapp för togglning av lysdioden.
  - **reset\_s2\_n**: Asynkron inverterande reset-signal synkroniserad i enlighet med double-flop metoden.
  - **button\_edge\_s2**: Indikerar nedtryckning av tryckknapp *button\_n* på fallande flank. Signalen är dessutom synkroniserad i enlighet med double-flop metoden.

- f) Skapa en instans av delkomponenten *meta\_prev* i toppmodulen. Döp instansen till *meta\_prev1* och anslut portarna till motsvarande signaler i toppmodulen.
- g) Verifiera konstruktionen på ett FPGA-kort. Anslut insignal *clock* till en 50 MHz systemklocka, *reset\_n* samt *button\_n* till var tryckknapp och *led* till en lysdiod, se databladet för PIN-nummer (finns på kursrepot på GitHub).