

实验 2 从代码到电路

对下列四段代码：

- (1) 分别新建工程文件（工程名：_学号后 4 位_2_n），新建 Verilog HDL 文件，将代码输入；
- (2) 快捷键“Ctrl+K”或者通过菜单 Processing--Start--Start Analysis & Synthesis，分析并综合电路，若有错误请自行更正，打印代码和编译报告（Flow Summary）；
- (3) 选择菜单 Tools—Netlist Viewers—RTL Viewer，查看逻辑电路图并打印；
- (4) 新建向量波形文件(University Program VWF)，参照后面的“仿真波形参考”编辑输入信号的波形，用默认参数保存，并选择菜单 Simulation—Run Functional Simulation 运行功能仿真，分析仿真结果；

注：每一步都需要截图、打印、分析

- (5) 对比分析 4 段代码、电路和仿真结果的共同点和差异。

- (6) 从四段代码中自选一段代码构建的工程，将 A、B、SEL 分别锁定到 SW10~12，L 锁定到 LED0，重新对工程完整编译“Ctrl+L”，将电路下载到实验箱上验证并记录电路的功能。

//代码 1: Gate-level description of a 2-to-1-line multiplexer

```
module mux2to1_ga(A, B, SEL, L);
    input A, B, SEL; //定义输入信号
    output L; //定义输出信号
    wire selnot, A1, B1; //定义内部节点信号数据类型
    not U1(selnot, SEL);
    and U2(A1, A, selnot);
    and U3(B1, B, SEL);
    or U4(L, A1, B1);
endmodule
```

//代码 2: Gate-level description of a 2-to-1-line multiplexer

```
module _2to1muxtri (A,B,SEL,L);
    input A,B,SEL;
    output L;
    tri L;
    bufif0 (L,A,SEL);
    bufif1 (L,B,SEL);
endmodule
```

//代码 3: Dataflow description of 2-to-1-line multiplexer

```
module mux2x1_df (A,B,SEL,L);
    input A,B,SEL;
    output L;
    assign L = SEL ? B : A;
endmodule
```

//代码 4: Behavioral description of 2-to-1-line multiplexer

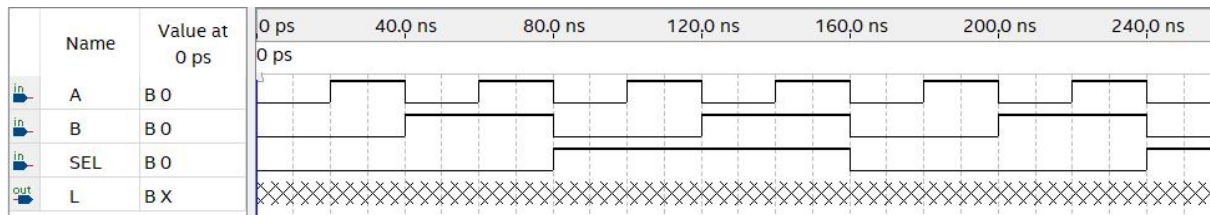
```
module mux2to1_bh(A, B, SEL, L);
```

```

input A, B, SEL;
output L;
reg L;    //define register variable
always @(SEL or A or B)
if (SEL == 1) L = B; //也可以写成 if (SEL) L=B;
else L = A;
endmodule

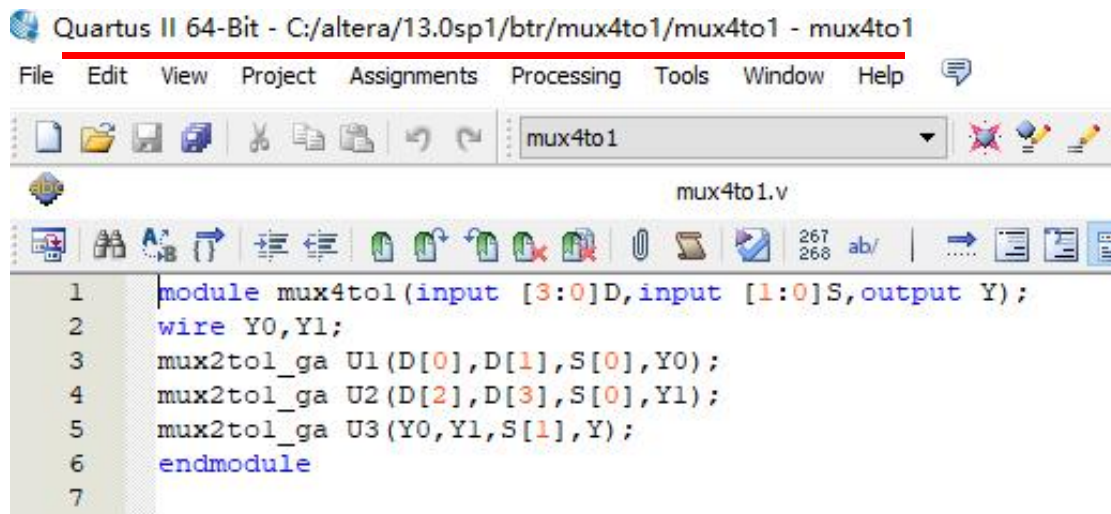
```

仿真波形参考



代码和综合结果截图要求:

1. 必须要有文件名(第一行红线处);
2. 代码和综合结果必须完整。



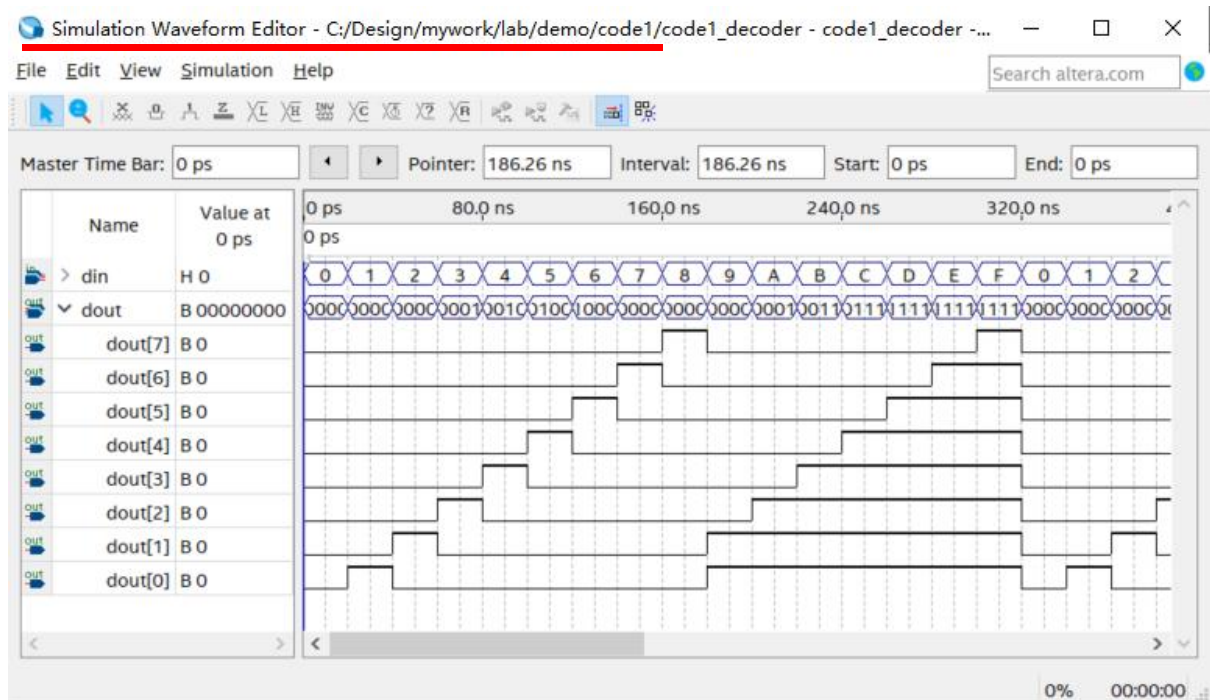
```
1 module mux4to1(input [3:0]D,input [1:0]S,output Y);
2 wire Y0,Y1;
3 mux2to1_ga U1(D[0],D[1],S[0],Y0);
4 mux2to1_ga U2(D[2],D[3],S[0],Y1);
5 mux2to1_ga U3(Y0,Y1,S[1],Y);
6 endmodule
7
```

Flow Summary	
<<Filter>>	
Flow Status	Successful - Sat Sep 18 01:17:17 2021
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	code1_decoder
Top-level Entity Name	code1_decoder
Family	Cyclone IV E
Device	EP4CE6E22C8
Timing Models	Final
Total logic elements	8
Total registers	0
Total pins	12
Total virtual pins	0
Total memory bits	0
Embedded Multiplier 9-bit elements	0
Total PLLs	0

仿真波形截图要求：

1. 必须要有文件名（第一行）；
2. 信号名（左侧 name 列）必须清楚完整可读；
3. 波形必须清晰可读。
4. 波形至少有一个完整的周期。

好的仿真结果截图示例



差的截图示例(无标题栏、无信号名)

