

实验3 Verilog 层次化文件设计——汽车流动转向灯电路设计

一、实验目的

- 1、巩固组合逻辑电路设计、仿真方法。
- 2、学习 Verilog HDL 层次化文件设计。

二、实验内容

1. 用 Verilog HDL 以层次化的设计方法，结合实验 1 的译码器电路（需修改部分代码），使用下文计数器模块代码“Code-1 7 进制计数器”，将计数器输出 Q 与译码器输入 x(codein)相连，译码器输出 codeout 锁定到实验箱的 LED 上，设计一个彩灯控制器。LED 在控制电路的驱动下，按图 2 所示规律点亮/熄灭（●表示亮灯，○表示灭灯）。对整体电路进行仿真，应当能够看到 en 为高电平时计数器的输出值自动增加，相应地译码器的输出随时间 t 变化依次改变，并循环。图 1 为顶层电路框图。

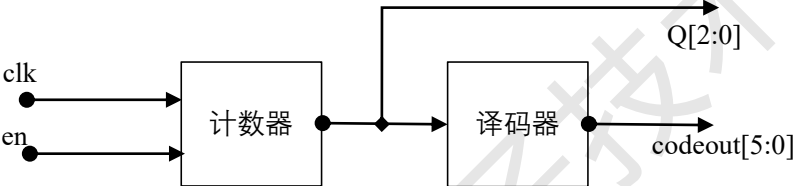


图 1 顶层电路框图

t0	●	●	●	●	●	○
t1	●	●	●	●	●	●
t2	○	●	●	●	●	●
t3	○	○	●	●	●	●
t4	○	○	○	●	●	●
t5	○	○	○	○	●	●
t6	○	○	○	○	○	●
LED	17	16	15	14	13	12

图 2 灯效示意图

- 2. 引脚锁定
 - a) 计数器的 en 锁定到实验箱的开关 SW1；
 - b) 计数器的输出 Q 作为待观测的中间信号锁定到指示灯 LED21..LED20；
 - c) clk 锁定到 CLK0（PIN_88）；
 - d) 译码器输出锁定到指示灯 LED17..LED12。
- 3. 实验测试
 - a) 将计数器的 clk 与实验箱的时钟 clk0 锁定到一起。
 - b) 将 clk0 设置到 1~2Hz，拨动 SW1，观察灯的显示，并记录实验现象。
 - c) 将 en 置为高电平，改变 clk0 的频率（1~1024Hz），观察灯的显示，并用文字记录实验现象。
 - d) 将 clk0 设置到 PULSE，使用手动脉冲，单步调试，观察计数器输出 Q 与 codeout 指示灯显示的对应关系。

- e) 将 clk0 锁定到按键 Key2，重新编译并将电路烧写到 FPGA，多次按动 Key2（或拨动 SW2），观察实验现象，分析与 clk0 连接到 PULSE

```
1  module dzx_2345_2_1(clk,en,Q);
2  input  clk,en;
3  output reg[2:0] Q;
4
5  always@(posedge clk)
6  begin
7      if(en == 1'b1)
8      begin
9          if(Q < 3'd6)
10             Q <= Q + 1'b1;
11          else
12             Q <= 0;
13      end
14      else
15          Q <= Q;
16      end
17  end
18  endmodule
```

Code-1 7 进制计数器

的区别。

4. 提高性实验内容
产生其它的彩灯显示效果。

三、 预习要求

1. 自行查找资料，自学 Verilog HDL 的层次化文件设计，完成本实验“实验内容”部分的设计要求。
2. 对实验电路进行功能仿真，并将仿真结果截图插入报告中。
3. 列出引脚锁定分配表（信号名->主板器件名->引脚号）。
4. 填写编译报告。

四、 实验报告要求

- 1、列出通电测试结果。
- 2、列出实验过程出现的问题及解决措施。
- 3、附源程序

4、 截图要求

- (1) 代码截图必须包含 Quartus 的标题栏（图 3 红线处）；
- (2) 仿真波形截图必须包含仿真软件窗口的标题栏（图 4 红线处）；
- (3) 图上文字大小合适，信号名清晰完整可见；
- (4) 波形清晰可读（总线设置为便于观察的进制）；
- (5) 波形顺序应当是上面为输入信号，下面为输出信号；
- (6) 截图显示 1~2 个周期；
- (7) 截图不应有大面积空白区域。

五、 课后思考题

如果有 9 个灯的显示需要控制，电路代码需做如何修改？

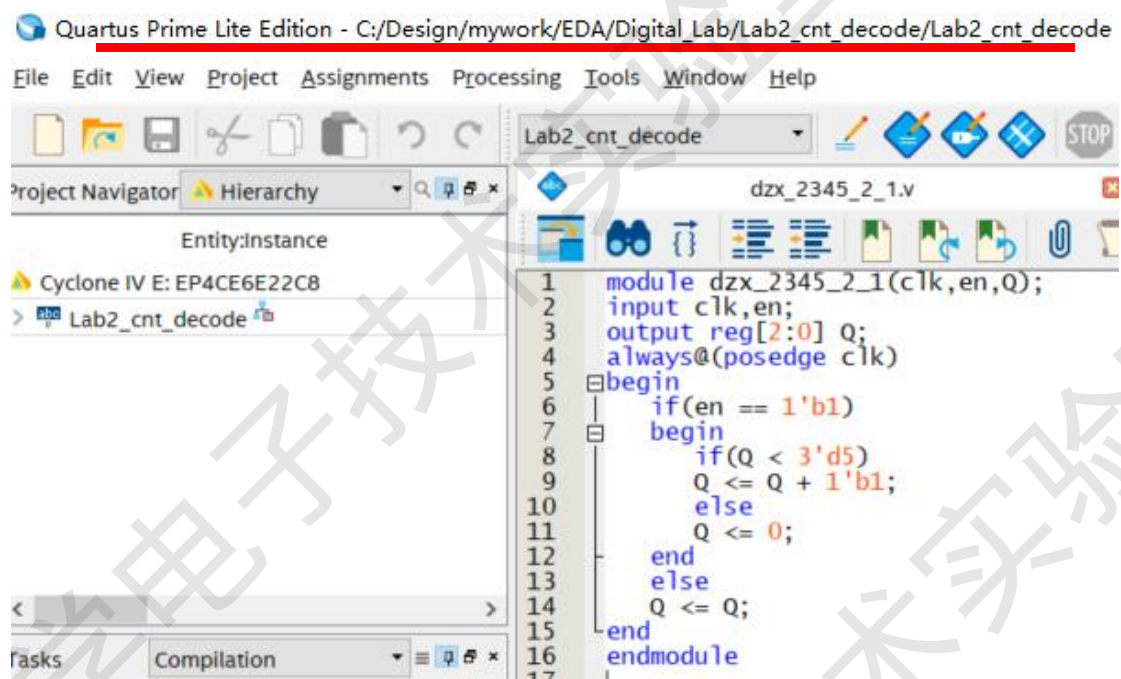


图 3 代码截图示例

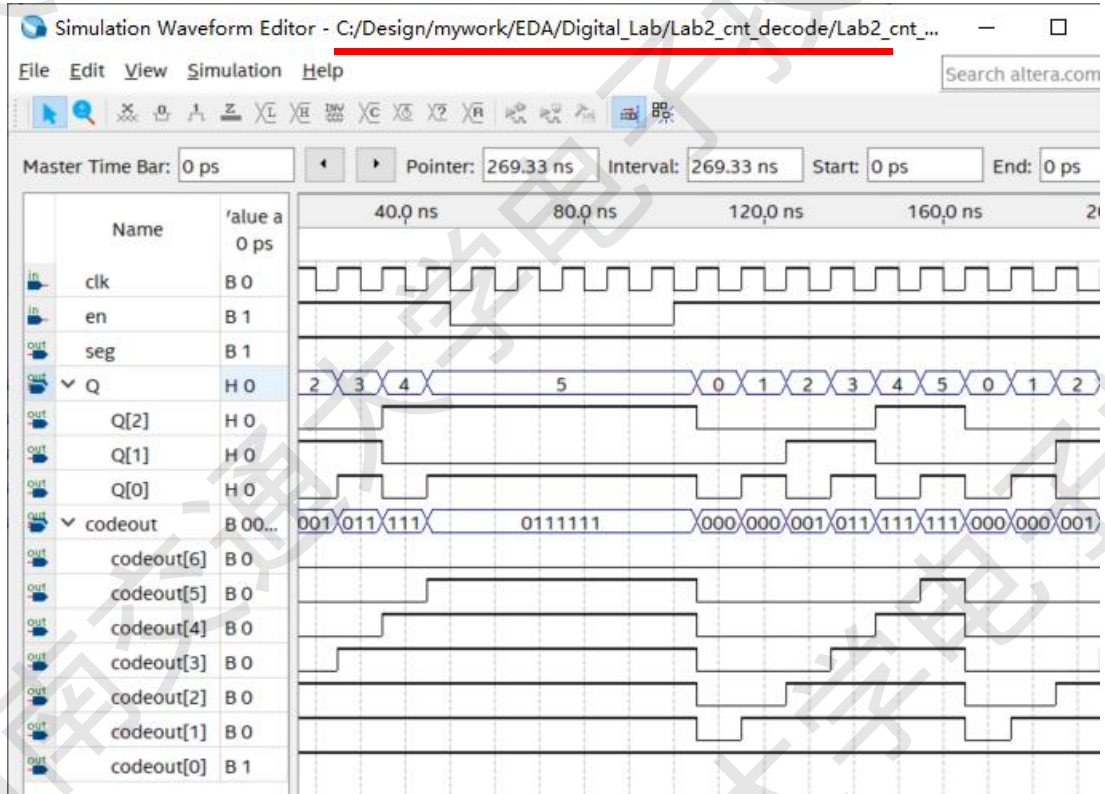


图 4 仿真波形截图示例（波形仅参考，实验要求以图 2 为准）
(波形有至少一个完整周期，有对全局控制信号 en 的不同状态观测，信号名称显示完整，等)

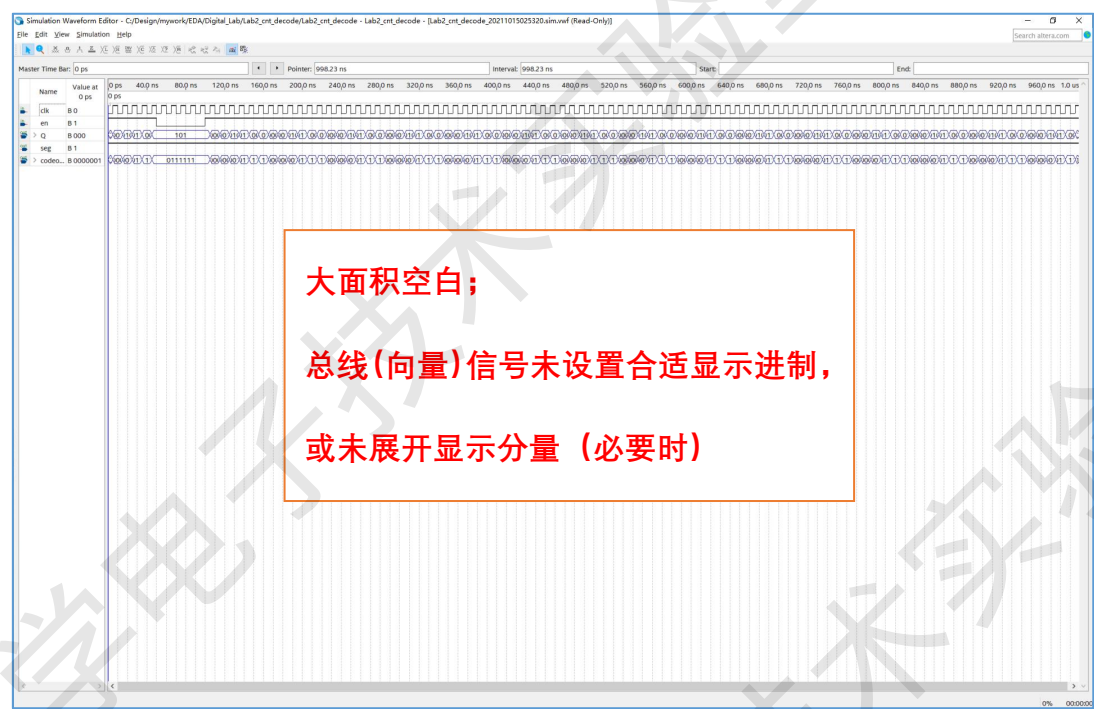


图 5 差的仿真波形截图 1

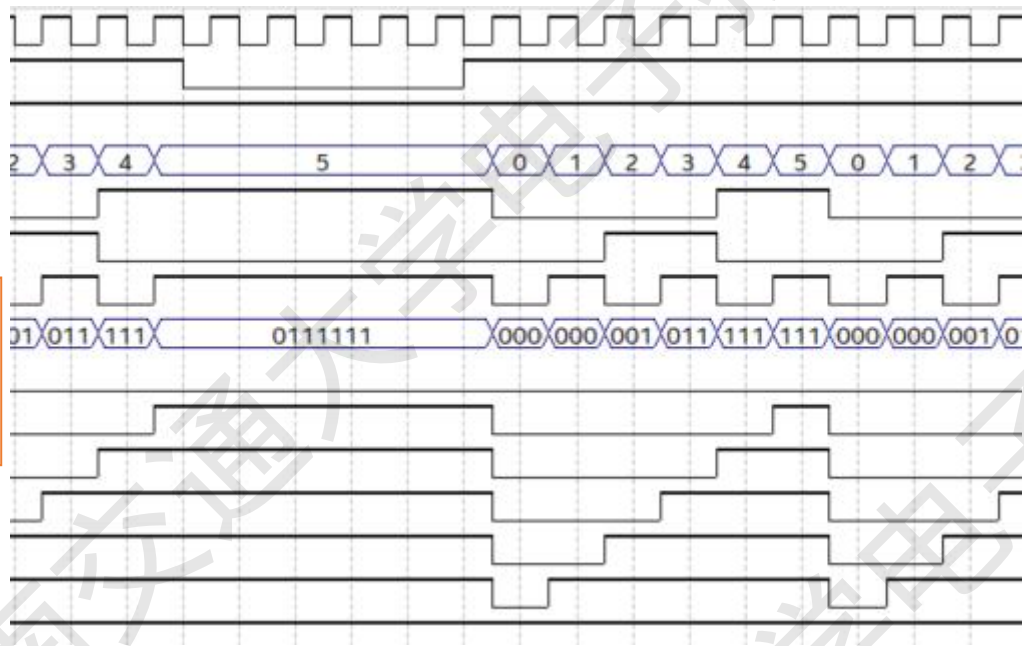


图 6 差的仿真波形截图 2