

数码管动态扫描显示电路设计

- 一、实验目的
1. 学习动态扫描显示数码管的使用。

2. 学习数据选择器及其信号分配方法。

3. 巩固 Verilog HDL 层次化设计电路的方法。

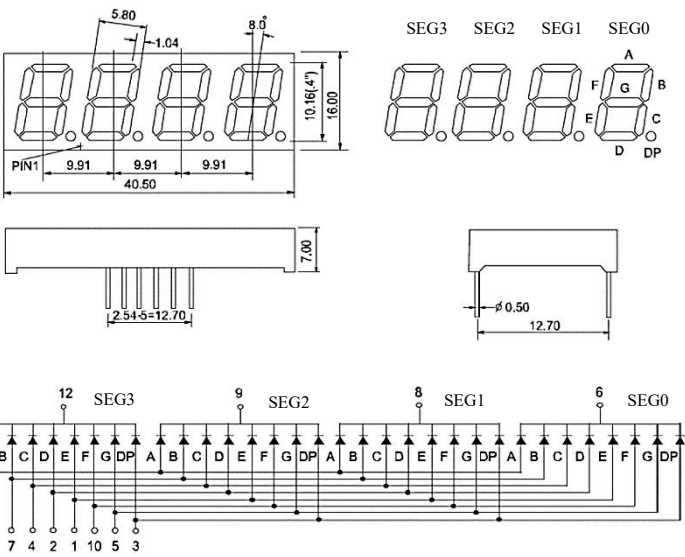
二、基本实验内容

多位数码管的显示电路如果每一位都单独连接到驱动（控制）器上，需要非常多的引脚和布线通道，实际使用中，为了降低成本方便 PCB 布局布线，常使用动态显示数码管。

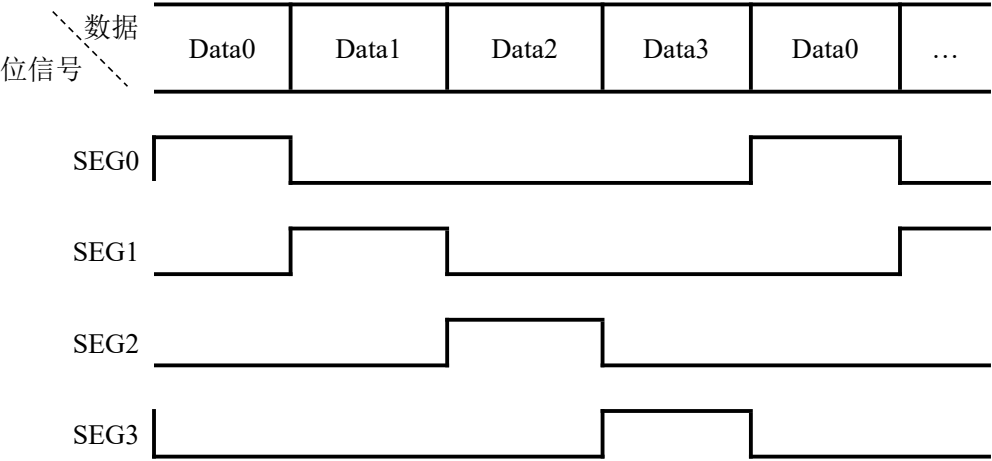
右图是 1 种 4 位共阴型数码管的引脚图。

A,B,C,D,E,F,G,DP 是段选（行）引脚，SEG0,SEG1,SEG2,SEG3 是位选（列）引脚。

对于共阴型数码管，段信号是高电平有效，位选信号是低电平有效。整个数码管共用同一组段信号（引脚）。实验室所用的数字电路实验箱上，数码管的位选信号经过一个 NPN 型三极管放大驱动能力之后连接到数码管的位选引脚，信号被三极管反相，因此，进行 FPGA 程序设计时位选信号应设计成高电平有效。数码管的驱动信号时序图可参考下图。



1种4位共阴型数码管引脚图



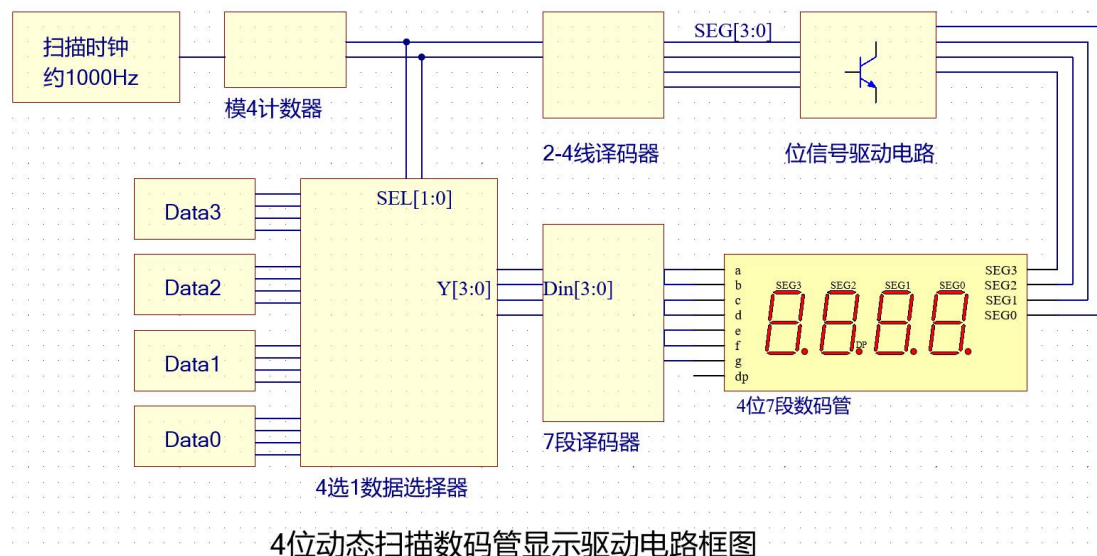
4 位动态扫描显示数码管驱动信号时序图

4 位动态扫描显示数码管的位选信号可看作是 4 相时钟，占空比 25%，位选信号为高电平时将需要显示的数据送到数码管译码器上译码，再将译码输出送到数码管的段信号。

从上述时序图可以看出，在 SEG0 为高电平时，SEG0 位数码管被选中驱动，Data0 被送到 7 段译码器中译码，此时数码管的 SEG0 位显示 Data0 的数值，其它几位数码管不亮；在下一个时钟相位，SEG1 为高电平，SEG1 显示 Data1 的数据...在第四个时钟相位 SEG3 显示 Data3 之后，一个显示周期结束，电路将开始下一个显示周期。由于人眼的视觉暂留，当 SEG 位选信号切换得足够快（100Hz 以上），在人眼看来，数码管的所有位都同时点亮。

使用可编程芯片（FPGA/CPLD）控制多位动态扫描数码管显示时，一般需要使用计数器、译码器等模块电路，电路原理可参考下图“4 位动态扫描数码管显示驱动电路框图”。Data0,Data1,Data2,Data3 为 BCD 码数据，对应数码管上显示的千、百、十、个位显示的数值。“位信号驱动电路”和“7 段数码管”是可编程芯片之外的单独电路元件，其余部分都需要编程实现，为了获得频率 1000Hz 左右的扫描时钟，可能还需要设计一个前置分频器，将高频系统时钟分频。为简化实验，本实验使用实验箱提供的可调时钟 CLK1 作为扫描时钟。

注意，因为位信号驱动电路和数码管的切换速度都不高，一般最高只能几 kHz，所以扫描时钟频率并非越高越好，否则数码管的亮度可能会降低，甚至显示错误。



实验要求：

用 Verilog HDL 设计一个 3 位数码管动态扫描显示电路，在实验箱的数码管上固定显示显示自己学号的后[4~2]位数，例如 2024001234 显示 123。采用层次化设计方法，只能使用 1 个 7 段译码器。不用的数码管位信号需设置为低电平，以关闭显示。

将扫描时钟频率改为 1Hz 时，任意时候应有 1 位数码管显示数字。

三、提高性实验

1. 在基本实验内容的基础上，增加一个功能切换控制开关，切换功能后，数码管显示的数字可以自动循环移位。
2. 其它显示功能。

四、预习要求

1. 简要写出电路设计思路。
2. 完成实验程序代码编写。
3. 用 ModelSim 对实验电路进行功能仿真，并将仿真结果截图。除了观察输出引脚上的电平，还应该观察中间信号——数据选择器的输出 Y，确保所有信号都是正确的再进行下一步实验。
4. 列出引脚锁定分配表（信号名->主板器件名->引脚号），实验箱上的数码管段信号命名为小写字母，位信号命名是 SEG0~SEG7。

五、实验报告要求

1. 列出关键程序代码。
2. 附 Quartus 生成的 RTL 图（菜单 Tools -> Netlist Viewers -> RTL）。
3. 附仿真测试波形。
4. 列出实验过程出现的问题及解决措施。
5. 附源程序（截图）