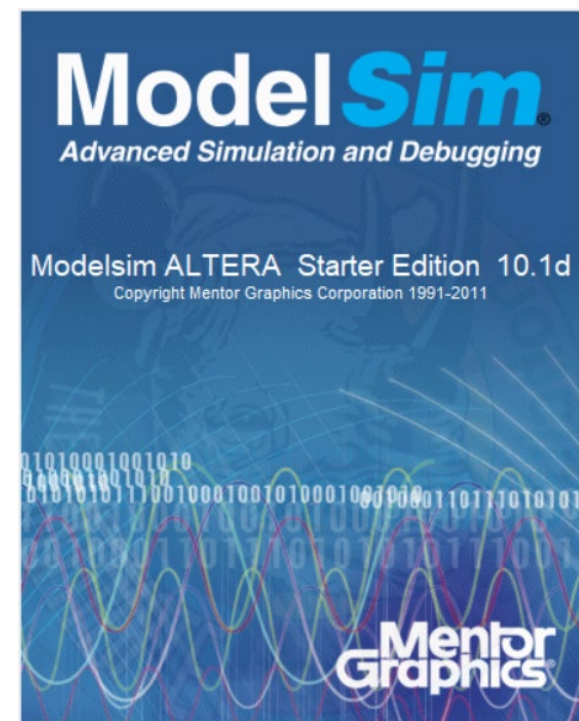


# ModelSim仿真简介

西南交通大学 电子技术基础实验室 龙文杰

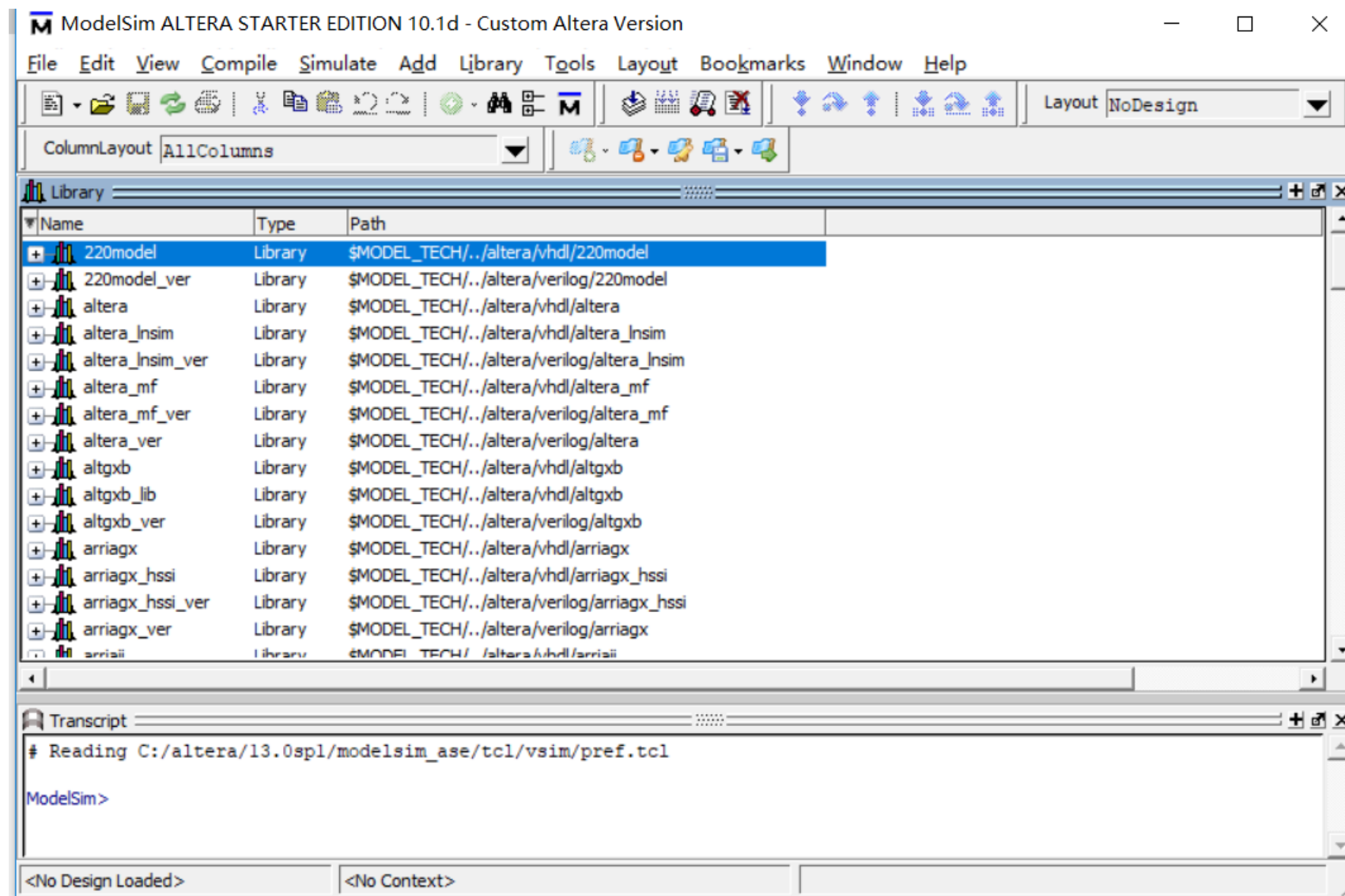


# ModelSim仿真操作流程

- 创建工作目录
- 创建测试文件
- 创建ModelSim工程
- 添加设计文件、测试文件
- 编译
- 配置仿真（添加波形、设置仿真时长）
- 运行仿真，观察仿真结果
- 设置显示

# 启动软件

- 从“开始”菜单项
- Intel FPGA子目录
- 启动ModelSim



# 参考代码（对计数器进行仿真）

测试代码文件名

```
1 //test_dzx_2345_2_1.v
2 `timescale 1ns/1ns //时间单位/时间精度，时间单位 >= 时间精度
3 //注意，最前面的符号是主键盘区数字键'1'左边的符号（tab键上方）
4 module test_dzx_2345_2_1;
5 reg clk;
6 reg en;
7 wire [2:0] Q;
8 initial //初始化，所有变量都需要初始化
9 begin
10     clk = 0; //设置clk初始值为0
11     en = 1; //设置en初始值为1
12     #50 //设置50个单位时间延时
13     en = 0; //将en置为0
14     #100 //延迟100个单位时间
15     en = 1; //将en置为1
16 end
17 always#5 clk = ~clk; //每隔5个单位时间将clk取反，产生时钟
18 dzx_2345_2_1 test1( //连接测试代码与计数器电路
19     .clk(clk),
20     .en(en),
21     .Q(Q)
22 );
23 endmodule
```

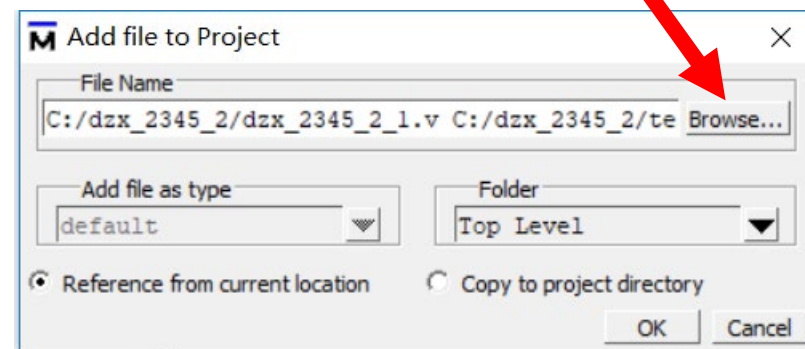
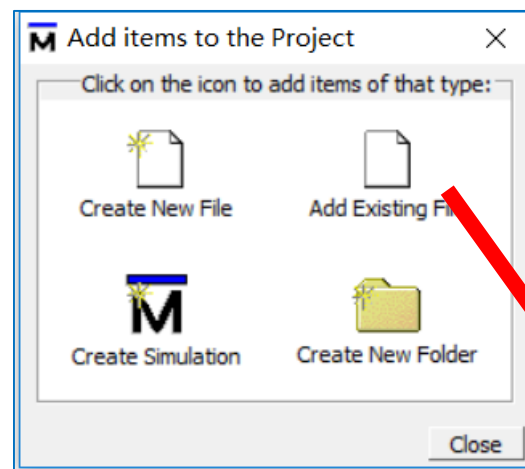
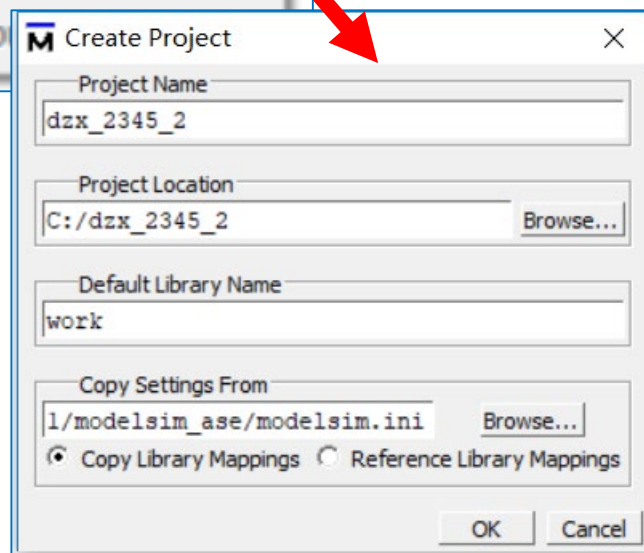
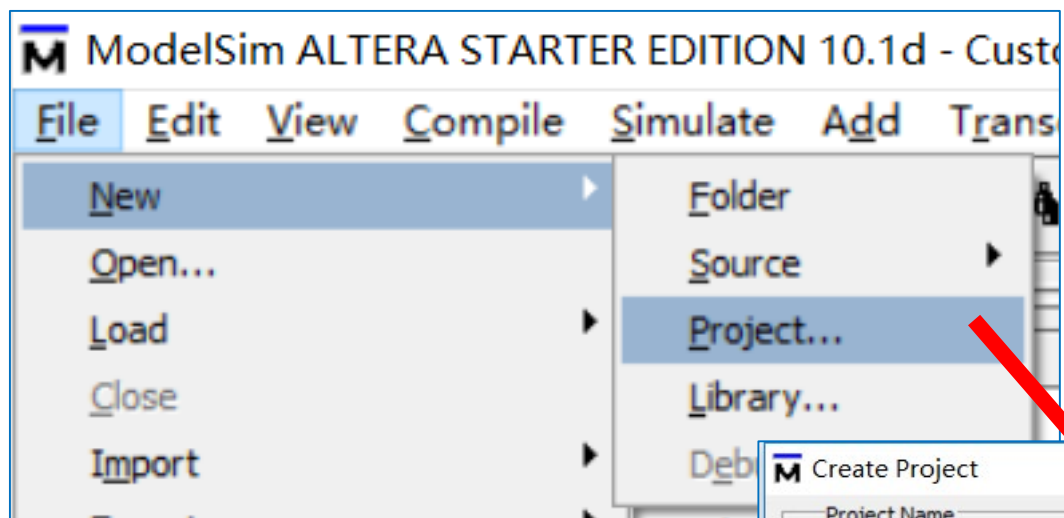
测试向量

计数器

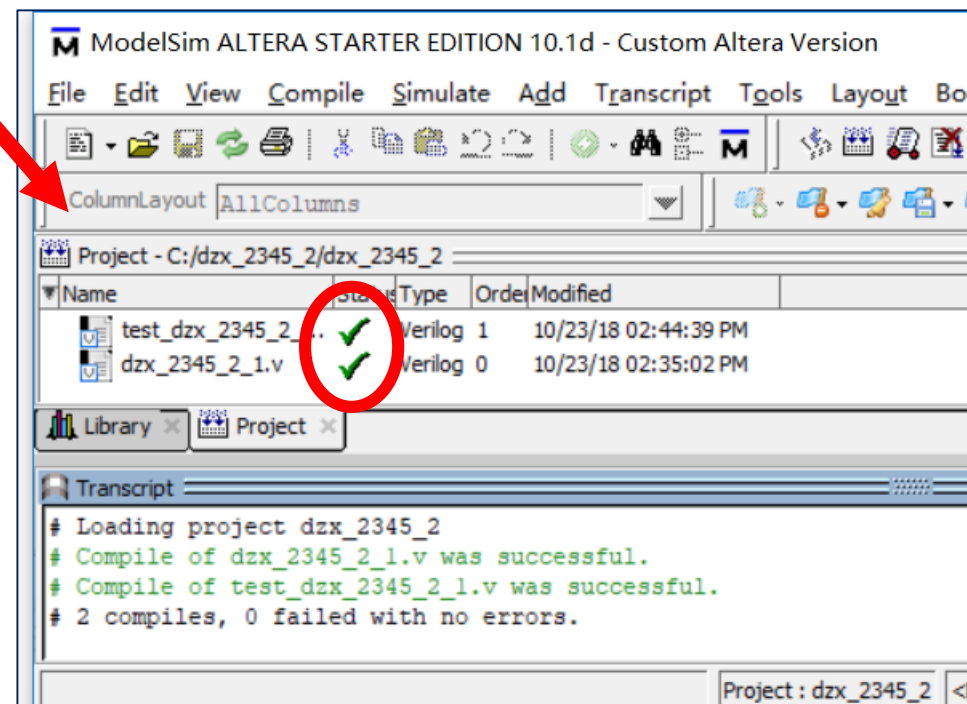
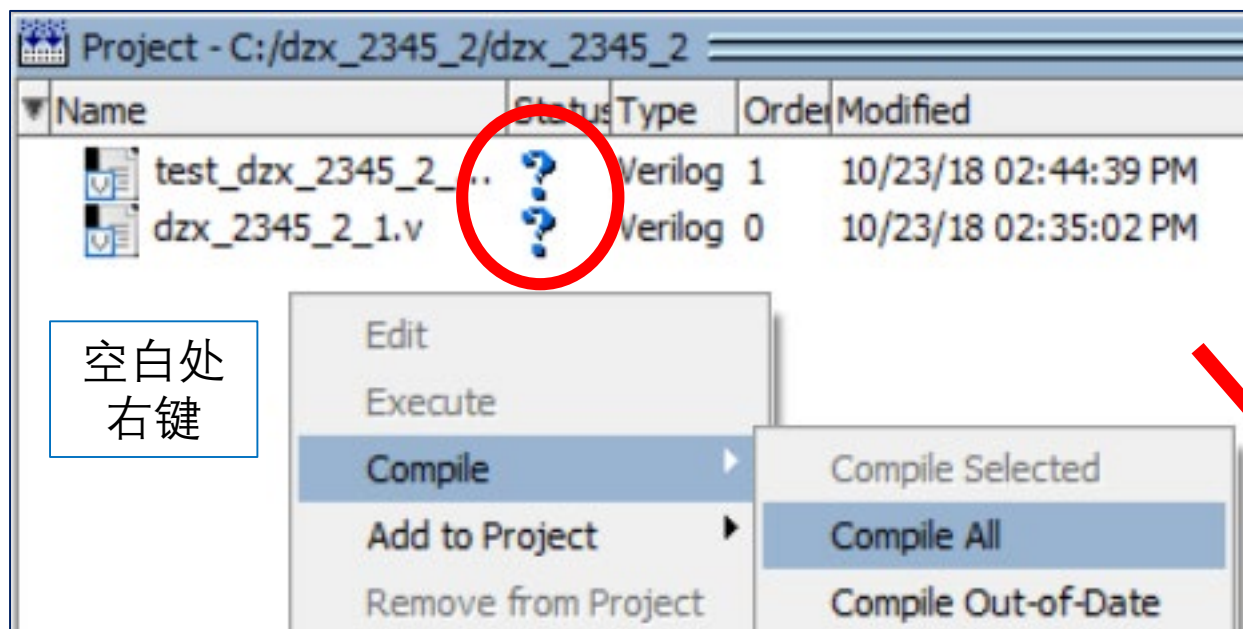
```
1 module dzx_2345_2_1(clk,en,Q);
2 input clk,en;
3 output reg[2:0] Q;
4
5 always@(posedge clk)
6 begin
7     if(en == 1'b1)
8     begin
9         if(Q < 3'd5)
10            Q <= Q + 1'b1;
11        else
12            Q <= 0;
13    end
14    else
15        Q <= Q;
16 end
17
18 endmodule
```

# 创建ModelSim工程

添加设计文件和测试代码文件

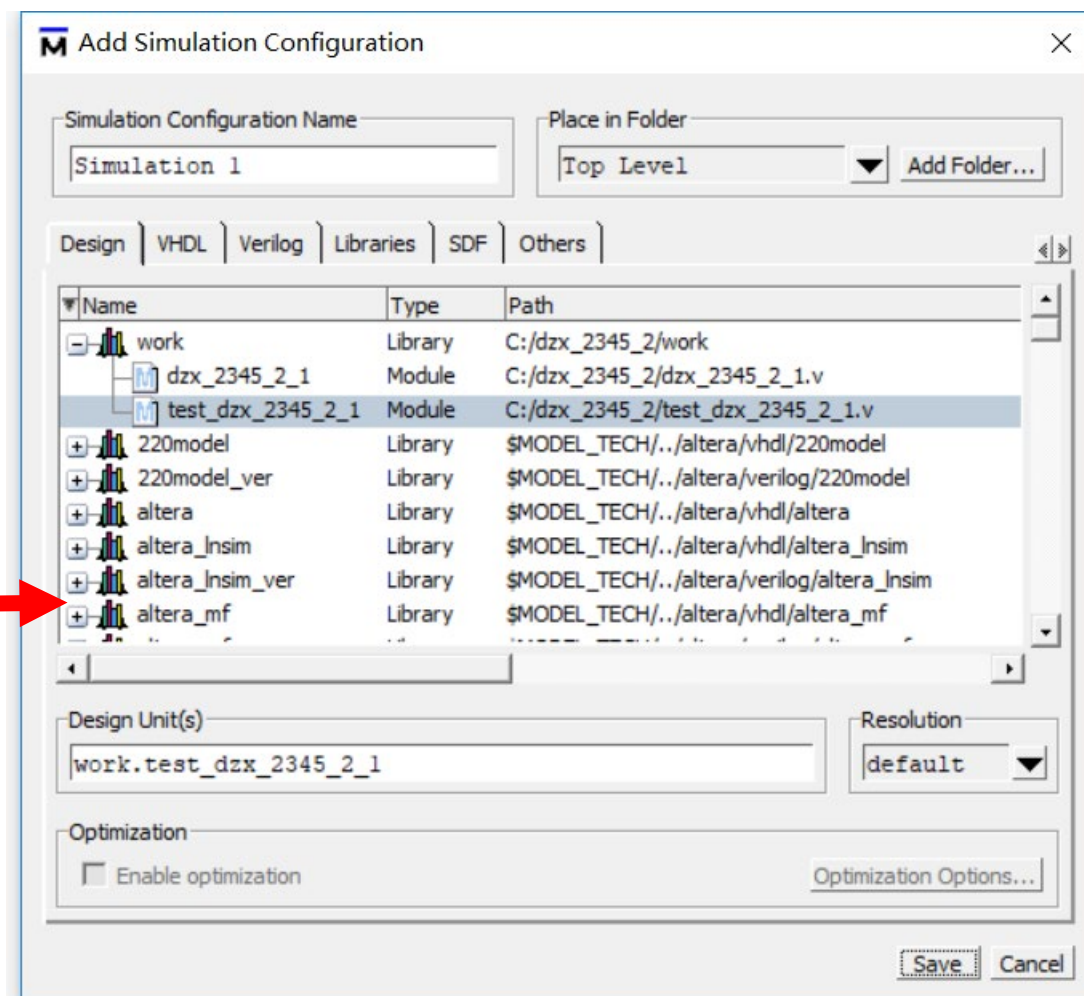
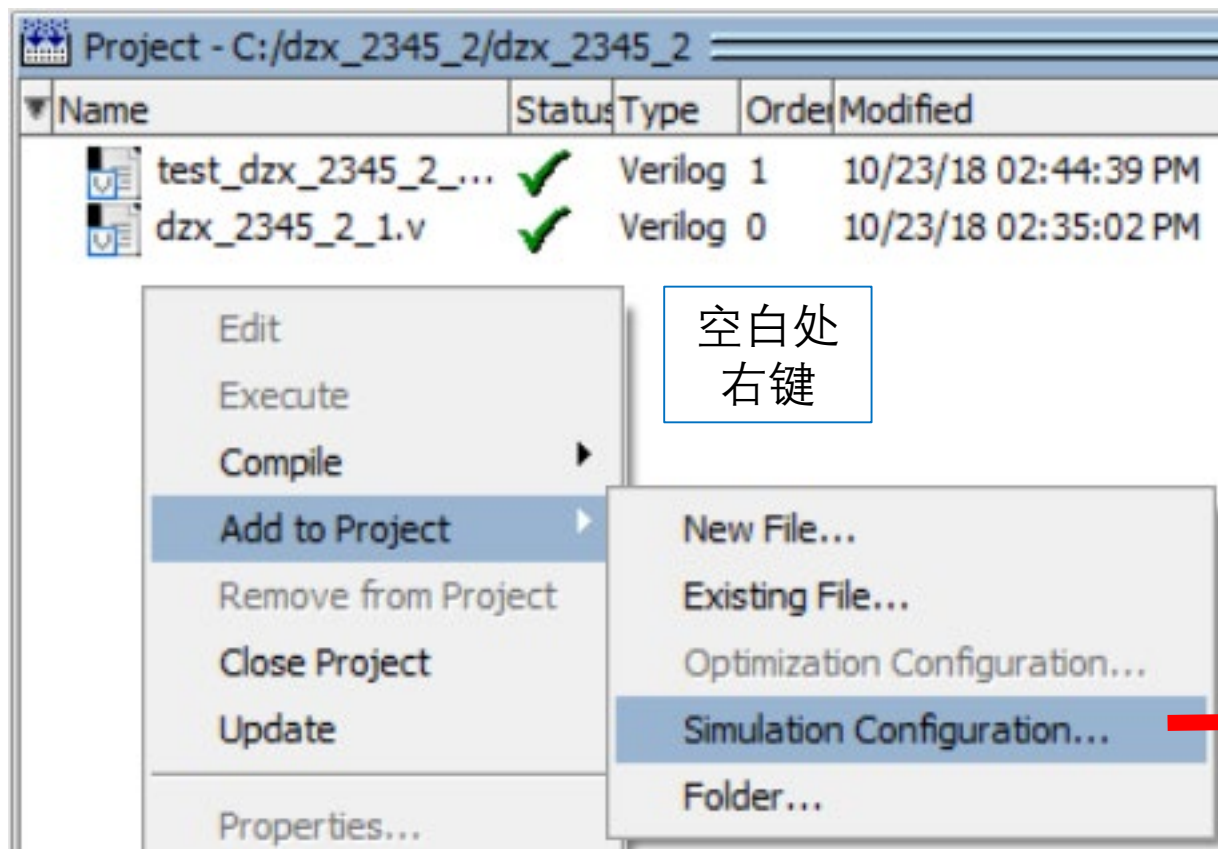


# 编译

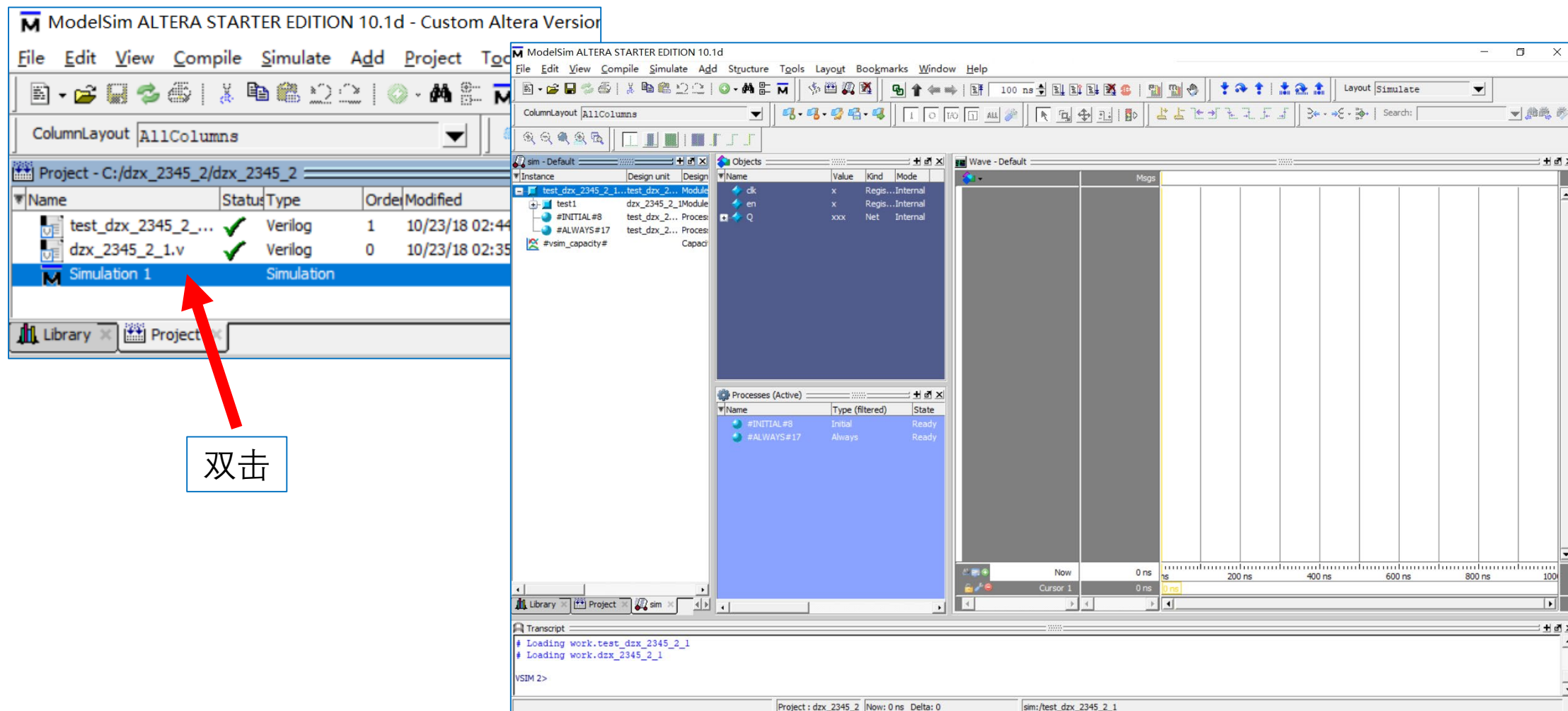




# 配置仿真 (1)



# 配置仿真 (2)



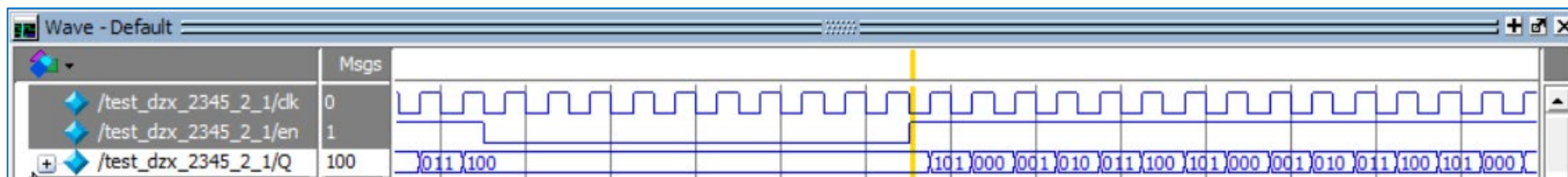
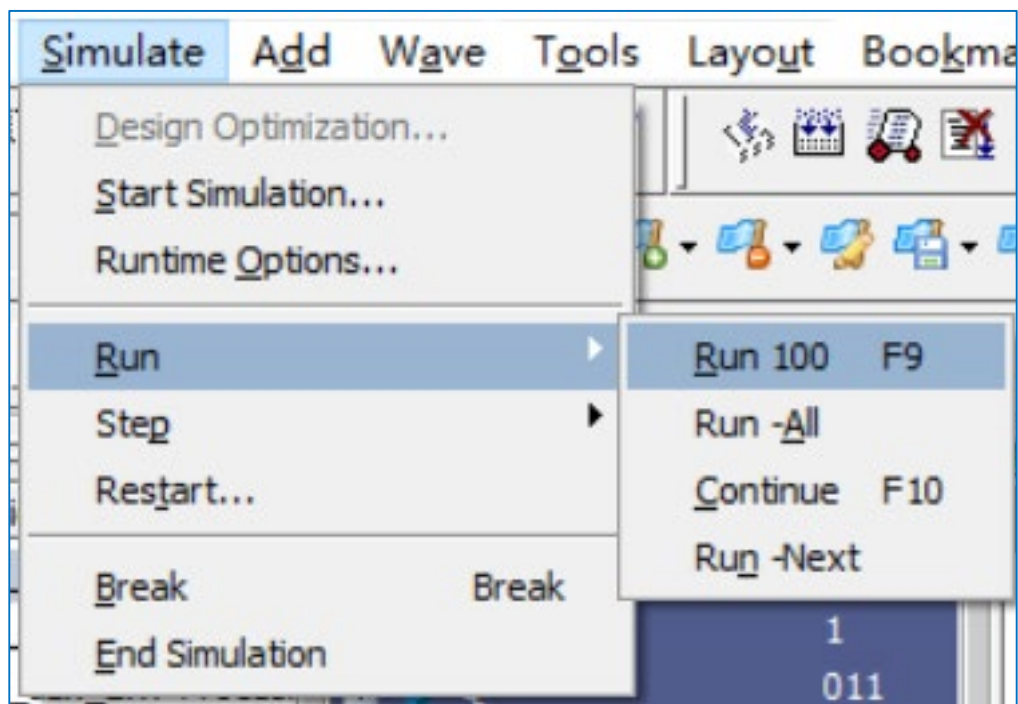


# 添加波形， 然后设置仿真总时长

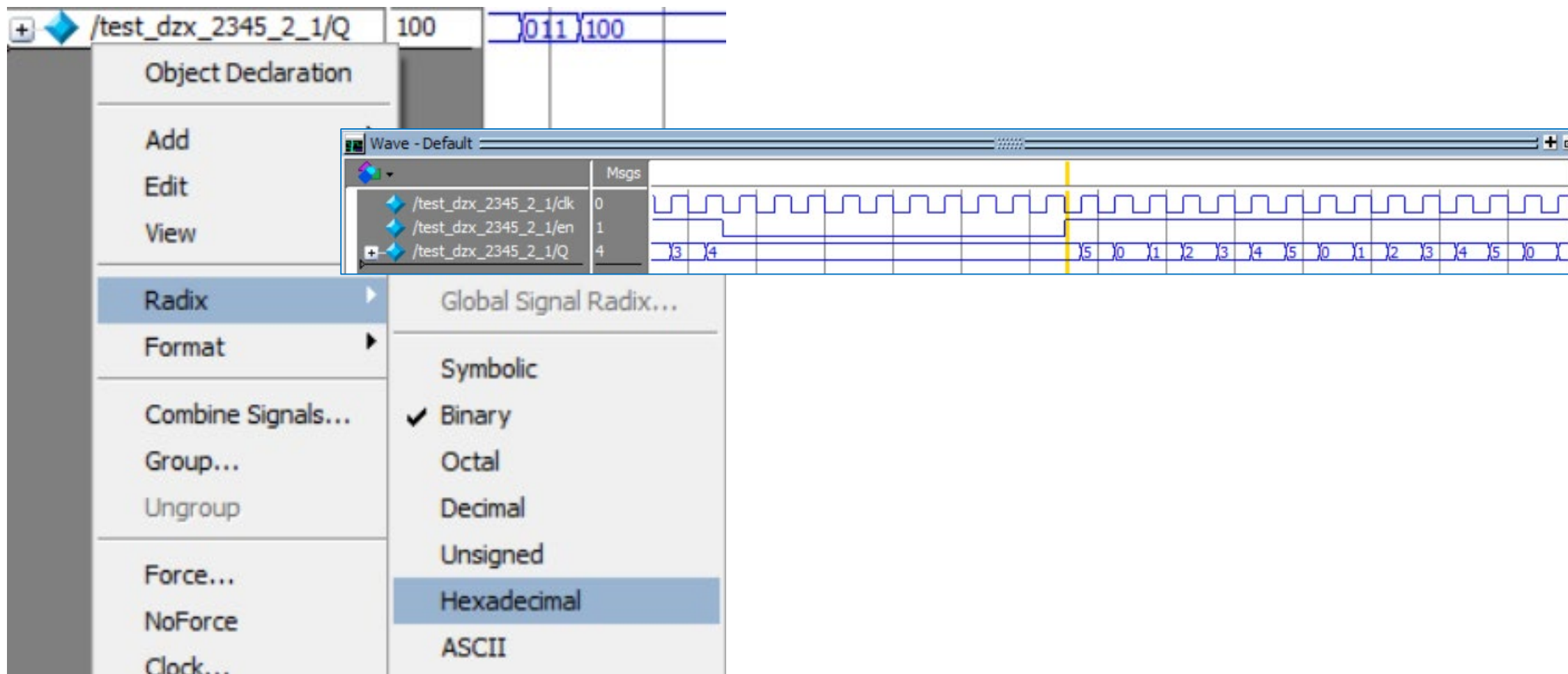
The screenshot displays the simulation tool interface with three main panels: 'sim - Default', 'Objects', and 'Wave - Default'. The 'Objects' panel shows a list of signals: 'clk' (Value: x, Kind: Regis...Internal), 'en' (Value: x, Kind: Regis...Internal), and 'Q' (Value: x, Kind: Block...Output). A context menu is open over the 'Q' signal, with the 'Add to' option selected, leading to a sub-menu where 'Wave' is chosen. The 'Wave' sub-menu is also open, showing options: 'Selected Signals', 'Signals in Region' (highlighted), and 'Signals in Design'. A red arrow points from the text box to the '500 ns' value in the simulation toolbar, which is highlighted with a red box. The 'Wave - Default' panel at the bottom shows a list of signals: '/test\_dzx\_2345\_2...' (Value: x), '/test\_dzx\_2345\_2...' (Value: x), and '/test\_dzx\_2345\_2...' (Value: xxx).

结合测试代码上的时间单位和时钟频率，设置总时长至少能看到一个周期的输出变化。总时长也不宜太长，否则要仿真很久才能出结果。

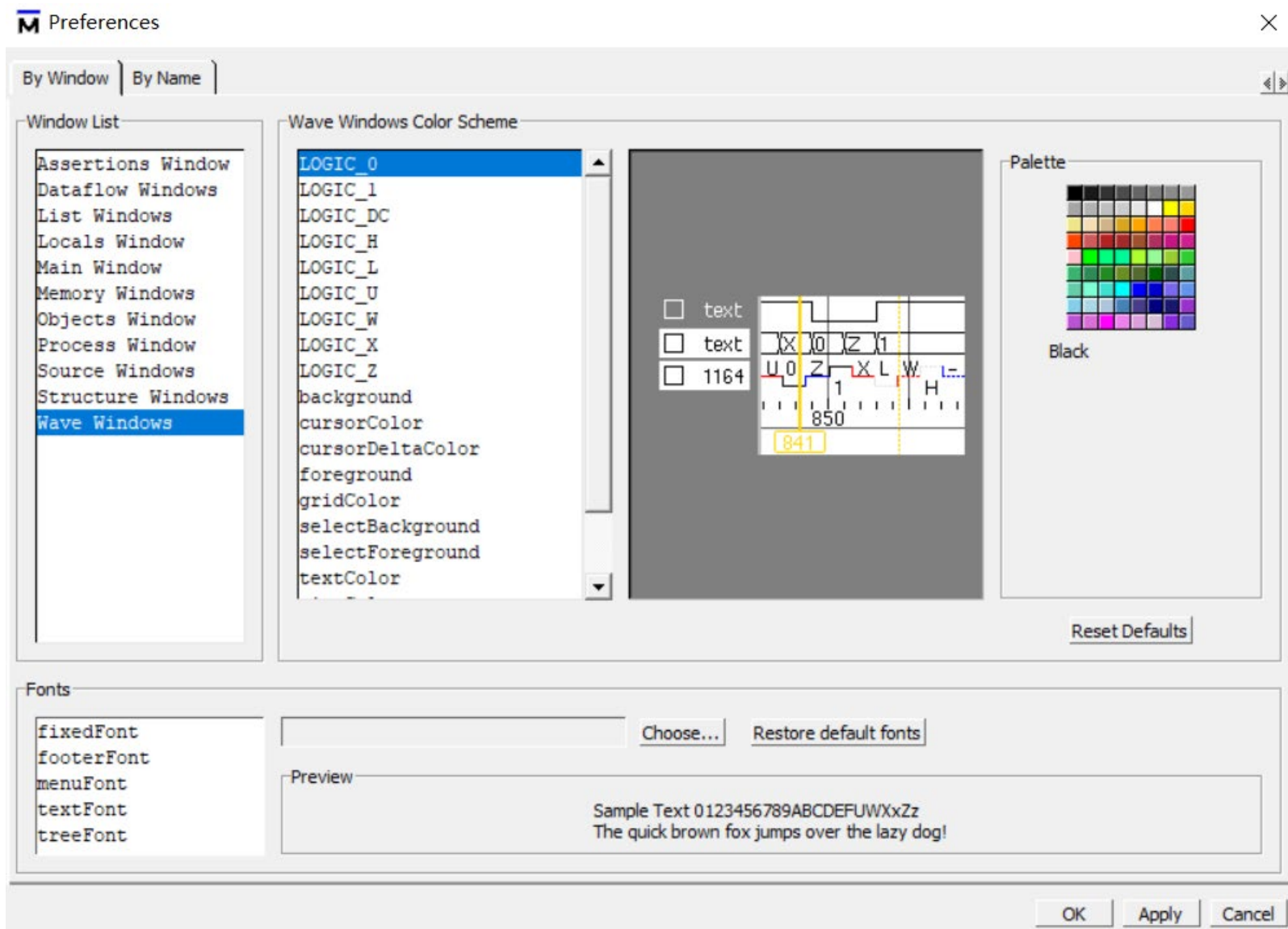
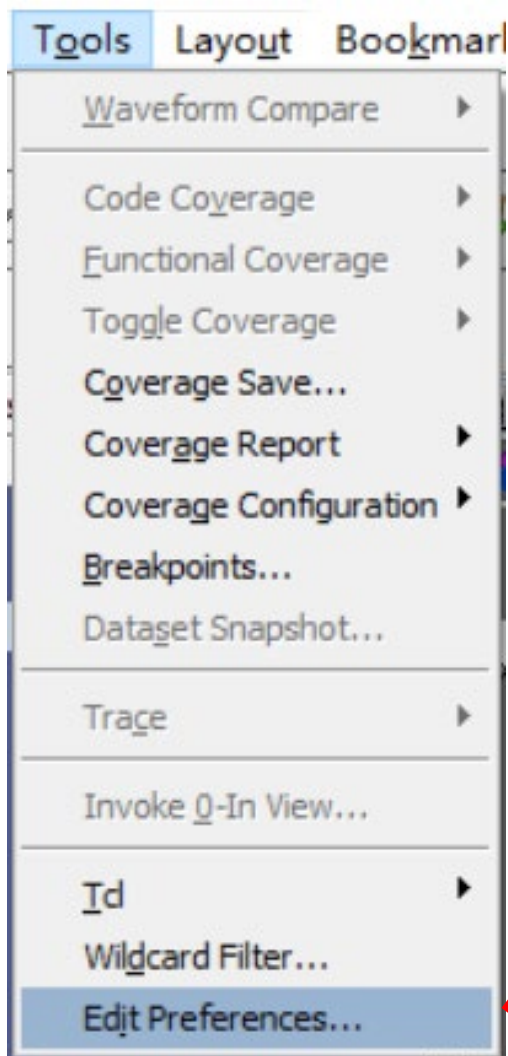
运行仿真，观察结果、用标尺测量数据



# 设置合适的进制， 波形缩放到合适大小



# 更改波形颜色（白背景，深色线），以便截图打印



# 实验任务

- 用ModelSim对可控分频器实验进行仿真