

可控分频器设计

一、实验目的

- 1、学习 ModelSim 仿真方法。
- 2、巩固 Verilog HDL 时序电路设计。

二、基本实验内容

- 设计一个可控分频器，clk_in 为分频器时钟输入(50MHz，已固定连接在 PIN_90)，sel 为选择开关，clk_out[1:0]为分频器信号输出。
 当 sel=0 时，clk_out[0]=sn[3:0]Hz，clk_out[1]=sn[3:0]/2Hz；
 当 sel=1 时，clk_out[0]=sn[3:0]Hz，clk_out[1]=sn[3:0]/4Hz。
- clk_out[0]的占空比 D=40%；(D=tH/T，tH 为高电平时间，T 为周期)，其它自定。
- 说明。sn 为学号，sn[0]表示取十进制学号的末位，sn[3:0]表示取十进制学号的最后 4 位，若学号最后 4 位为 0，则学号最后 4 位按 4321 取值。例如，学号 sn=2017112345，sn[3:0]=2345；sn=2017100000，sn[3:0]=4321

4、实验测试

用导线将 clk_out[0]接入实验箱的逻辑分析仪通道 CH0，测试 sel 不同取值时 clk_out[0]实际输出频率及占空比，若与要求不相符（频率误差须小于 1%，占空比误差小于 1%），修改电路程序使之符合要求。

改变连线，将 clk_out[1]接入 CH0，测试 sel 不同取值时 clk_out[1]实际输出频率及占空比，若与要求不相符（误差须小于 1%），修改电路程序使之符合要求。

三、提高性实验内容（选做）

- 1、增加占空比调节功能，每按一下“+”键，占空比增加 10%；每按一下“-”键，占空比减少 1%；
- 2、使输出信号的占空比按正弦波规律自动变化，正弦波频率为 300Hz；
- 3、调用 IP 库 PLL 模块，产生合适的高频时钟频率，使分频器的输出频率更精准。

四、预习要求

- 1、写出设计思路。
- 2、由于 FPGA 只能进行整数计数来分频, 会存在除不尽的情况而只能四舍五入取整数, 请根据实际使用的分频系数计算因为取整导致的误差。
- 3、自学 ModelSim 仿真方法, 用 ModelSim 对实验电路进行仿真 (需使用标尺功能测量输出信号频率/周期、占空比), 并将仿真代码及仿真结果截图打印。
- 4、自行安排所用引脚, 列出引脚锁定分配表 (信号名->主板器件名->引脚号)

五、实验报告要求

- 1、列出程序代码（有详细注释）。
- 2、列出通电测试结果。
- 3、列出实验过程出现的问题及解决措施。
- 4、附源程序

六、波形记录(参考格式)

