

## 实验4 十进制可逆计数器设计

### 一、实验目的

- 1、学习 Verilog HDL 基本时序电路设计。
- 2、学习并掌握时序电路的状态观测方法。
- 3、学习并掌握时序电路的时序波形观测方法。

### 二、实验内容

设计1个十进制可逆计数电路。

#### 1. 基本功能及指标要求

- (1) 控制信号  $upd=1$  时计数器 1  $\rightarrow 10$  循环加计数,  $upd=0$  时, 10  $\rightarrow 1$  循环减计数;
- (2) 具有异步清零(clr)、同步置数(load)、同步使能(en)功能;
- (3) 进位(加计数时)、借位(减计数时)功能, 加计数时  $CO=1@Q=10$ , 减计数时  $CO=1@Q=1$ ;

#### 2. 引脚锁定

- (1) 计数器的 load 锁定到 SW3, upd 锁定到实验箱的 SW2, en 锁定到 SW1, clr 锁定到 SW0;
- (2) 计数器的输出 Q 和 CO 作为待观测的信号锁定到指示灯 LED3..LED0, LED4;
- (3) clkin 锁定到 CLK0 (PIN\_88);

#### 3. 实验测试

- (1) 将时钟 CLK0 的频率设置为 1~2Hz 或手动脉冲 PULSE, 观察、验证“计数、清零、使能、加减、置数”等功能, 并记录实验现象(画出状态图, 非正常计数的状态现象可以用文字单独记)。
- (2) 将时钟 CLK0 的频率设置为 2048~8192Hz, 用实验箱上的逻辑分析仪(CH0~CH7)观察计数器的时钟输入 clkin 和计数器输出 CO、Q[3:0]的波形。完整记录1个电路周期的波形, 画虚线标示清楚各信号之间的相位关系(边沿对齐), 记录时钟频率、触发字及采样率。

#### 4. 提高性实验内容(选做)

- (1) 实现十/十六进制可变模计数功能;
- (2) 其它。

### 三、预习要求

1. 参考实验3的内容, 并自行查找所需资料完成实验电路代码的编写。
2. 对实验电路进行功能仿真, 并将仿真结果截图打印(参照后面的报告要求)。
3. 列出引脚锁定分配表(信号名->主板器件名->引脚号)。

### 四、逻辑分析仪的使用

逻辑分析仪(8踪波形显示)采用实时采样回放模式, 可以对其中1踪信号(CH0)测量频率和占空比, 采样率可在 2kSps~100MSps 调节, 采用电平触发。所有参数设置均通过键盘设置, 按[确认键]进入/退出设置状态, 再按[确认键]确认相关设置, [方向键]滚动光标和改变参数。建议将采样率设为最高被测信号频率的 10~20 倍(系统默认为 100ksps)。频率计最高测试值为 100MHz。

实时采样回放时为使看到的波形是稳定的, 必须在输入信号满足特定状态时触发一次采样并回放, 当这一个触发状态是周期性出现时, 显示的波形就是稳定的。

逻辑分析仪系统采用了字触发方式, 可以设置一级触发字, 触发字为 8 位, 一般可以设置为逻辑分析仪捕捉到的任意一个状态值。系统启动时默认的触发字是 0000\_0000b。若输入信号中没有与触发字相同的状态, 则采样不能触发, 也即不能显示稳定波形或者之前显示

的波形不能刷新，屏幕右上角显示“Failure”；触发成功时显示“Triggering”。

有时会遇到逻辑分析仪的个别通道损坏的情况，比如某个通道无论接入什么信号总是显示高电平或者总是低电平，或者信号接入 CH1 而 CH2 也显示同样的波形，此时应避开有故障的通道，使用正常工作的通道。设置触发字时，故障通道应设置为显示值。

## 五、实验报告要求

- 1、列出通电测试结果。
- 2、列出实验过程出现的问题及解决措施。
- 3、截图要求
  - (1) **代码截图**必须包含 Quartus 的标题栏（图 3 红线处）；
  - (2) **仿真波形截图**必须包含软件窗口的标题栏（图 4 红线处）；
  - (3) 图上文字大小合适，信号名清晰可见；
  - (4) 波形清晰可读；
  - (5) 波形顺序应当是上面为输入信号，下面为输出信号；
  - (6) 截图显示 1~2 个周期。

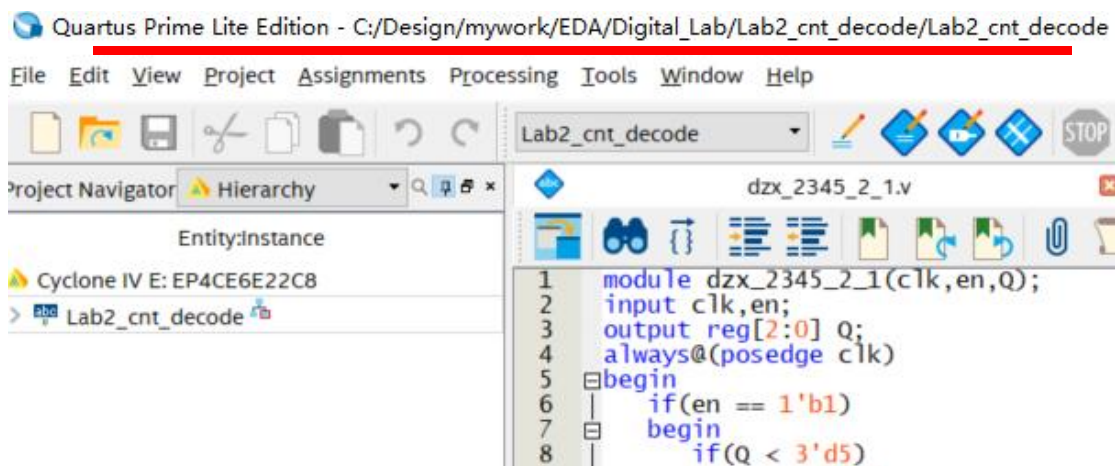


图 3 代码截图示例

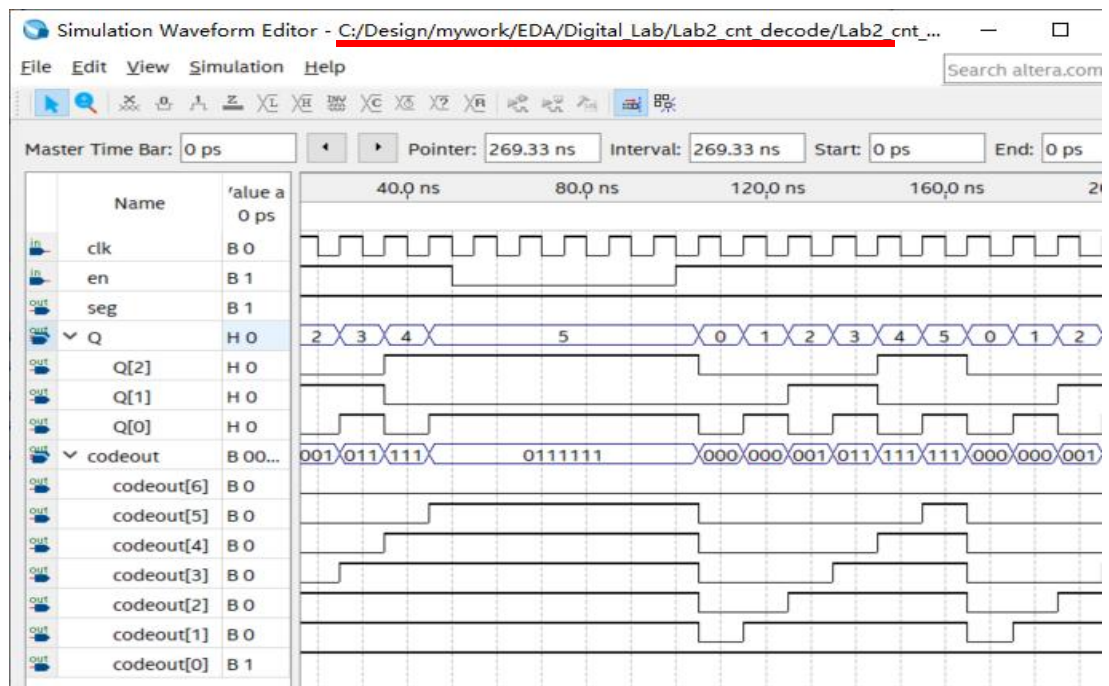


图 4 仿真波形截图示例

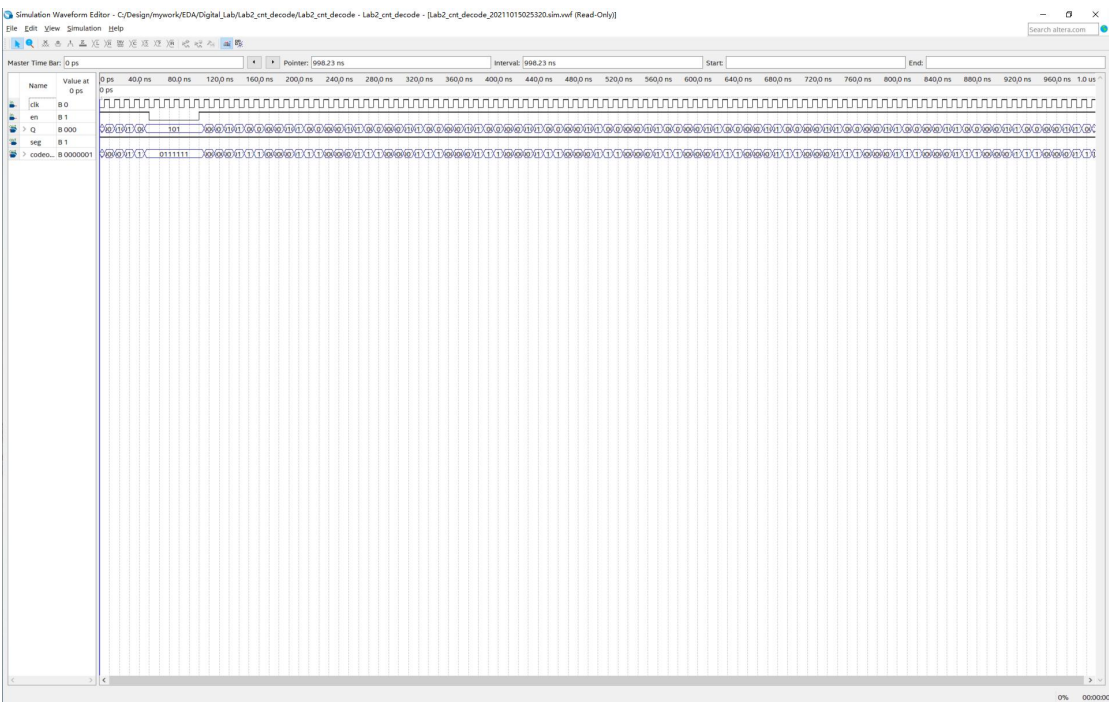


图 5 比较差的仿真波形截图 1（大面积空白，关键信息看不清楚）

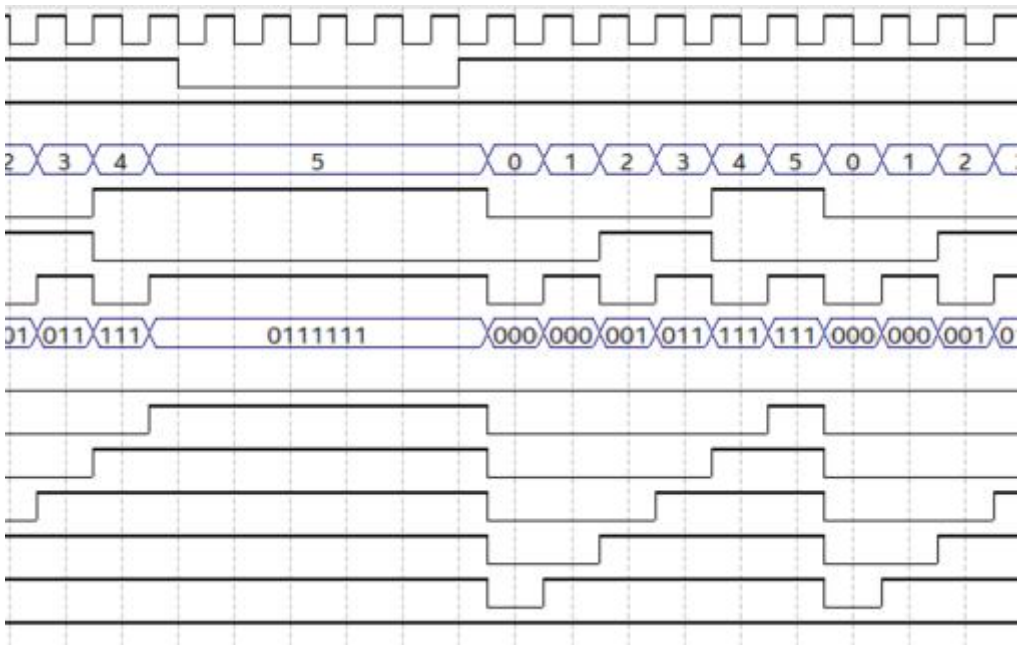


图 6 比较差的仿真波形截图 2（未显示标题栏，未显示信号名）