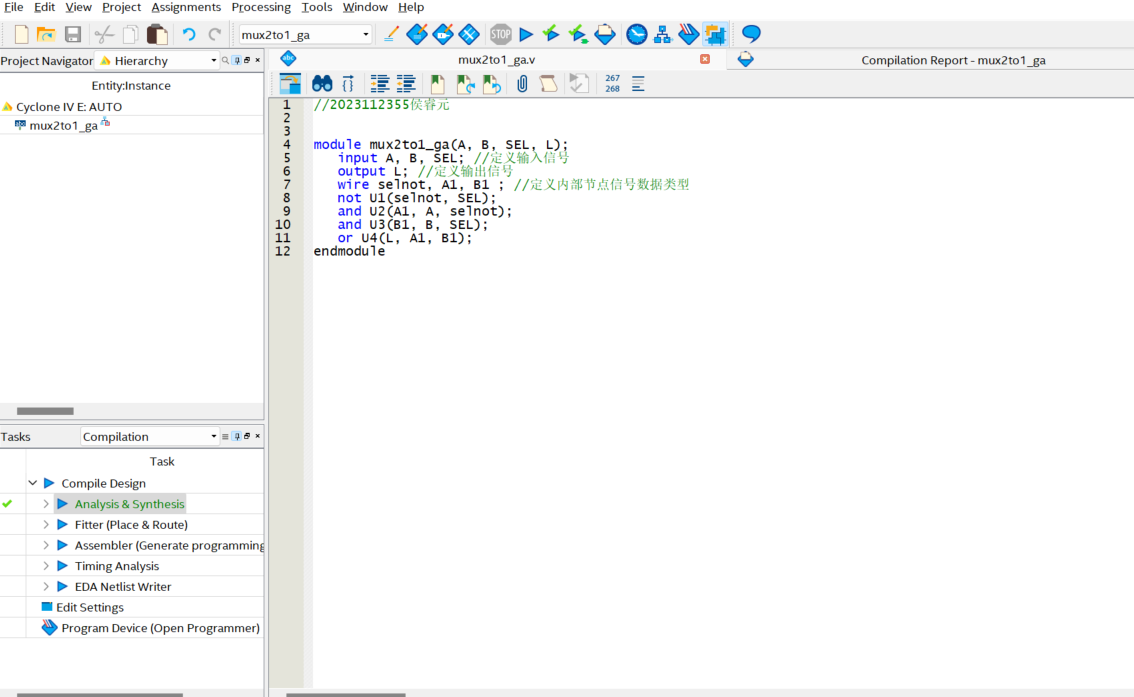
|  |  |  |  |
| --- | --- | --- | --- |
| 实验名称 | **实验2 从代码到电路** | | |
| 姓 名 | 侯睿元 | 班 级 | 智能2023-02班 |
| 学 号 | 2023112355 | 实验时间 | 2024年10月14日 |
| 座位号 | X6307\_15 | 预习成绩 |  |
| 验收记录 | 一验， 二验， 补验 | 指导老师 |  |

1. **实验电路图、状态图、程序代码、仿真代码、仿真波形图（可以只写出核心功能代码，代码要有注释）**

**<1>代码分析与编译报告**

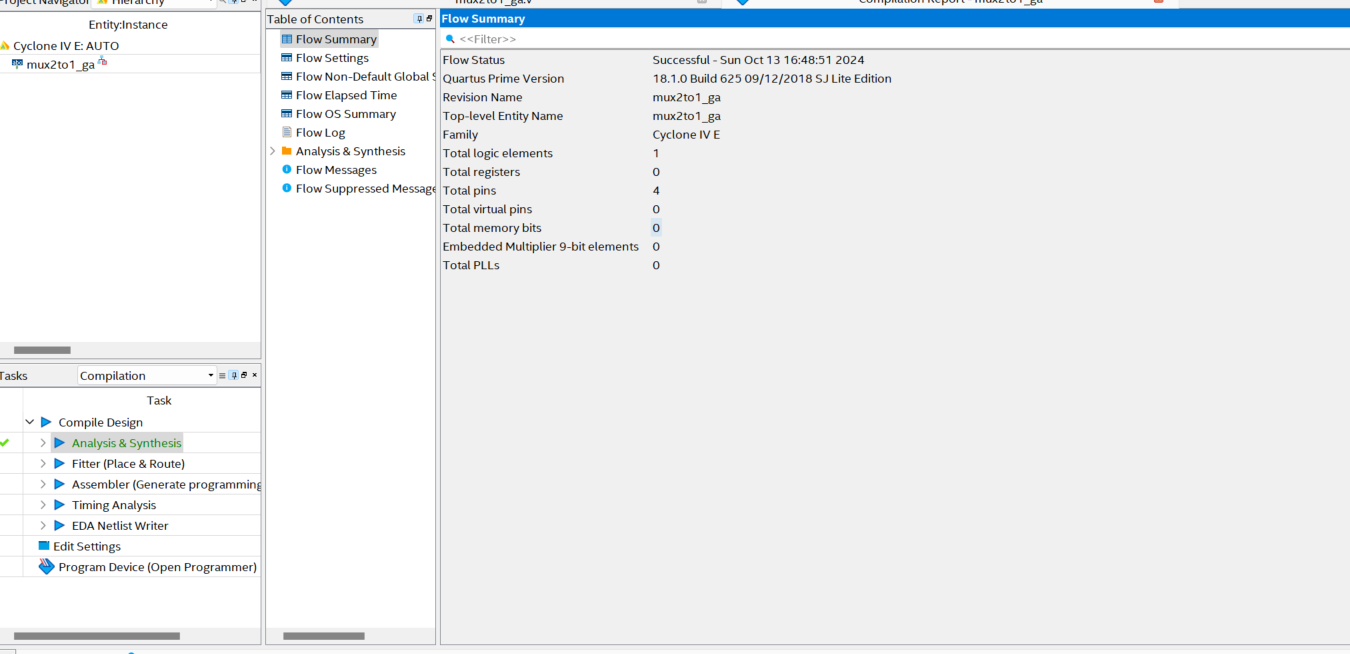
//代码 1：Gate-level description of a 2-to-1-line multiplexer



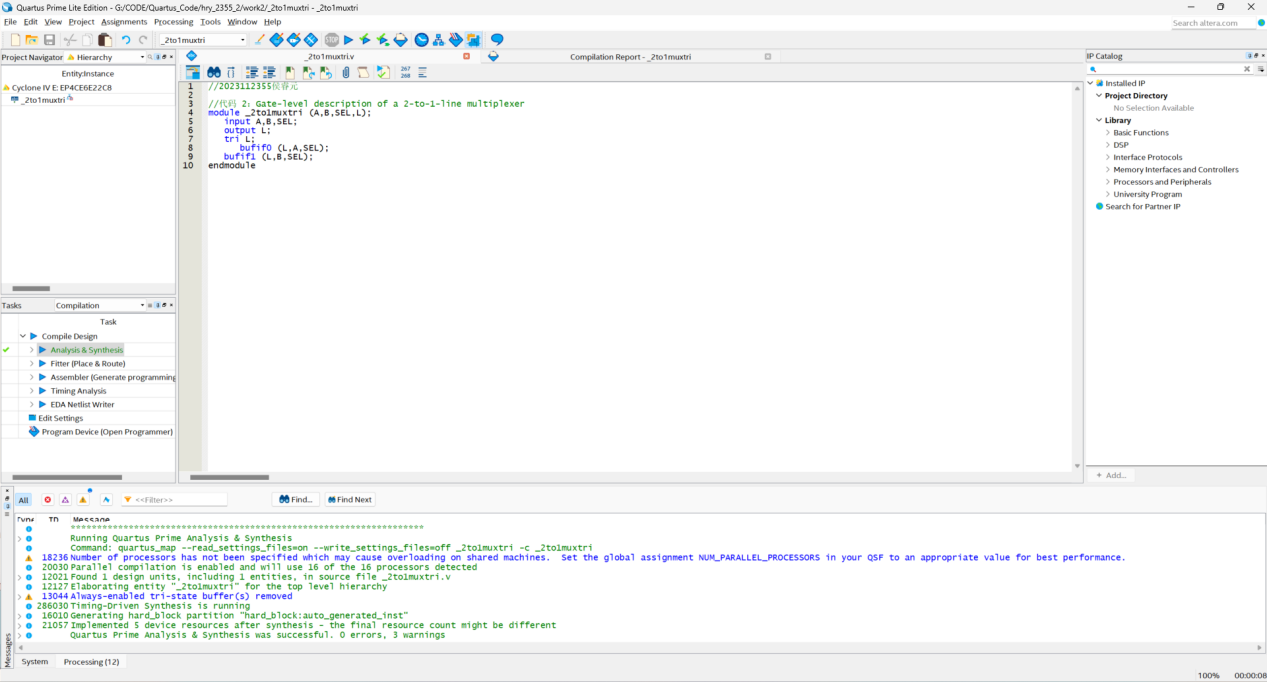
**代码分析：**

当 SEL 为 0 时，输出 L 等于输入 A（因为 selnot 为 1，使得 A1 为 A，B1 为 0）；当 SEL 为 1 时，输出 L 等于输入 B（因为 selnot 为 0，使得 A1 为 0，B1 为 B）。这段代码实现了一个基本的 2-to-1 选择器，使用基本的逻辑门（与门、或门和非门）将输入信号 A 和 B 通过选择信号 SEL 进行选择。可以在 FPGA 或其他数字电路设计中使用，适合用于数据选择和路由的场合。

**编译报告（Flow Summary）**



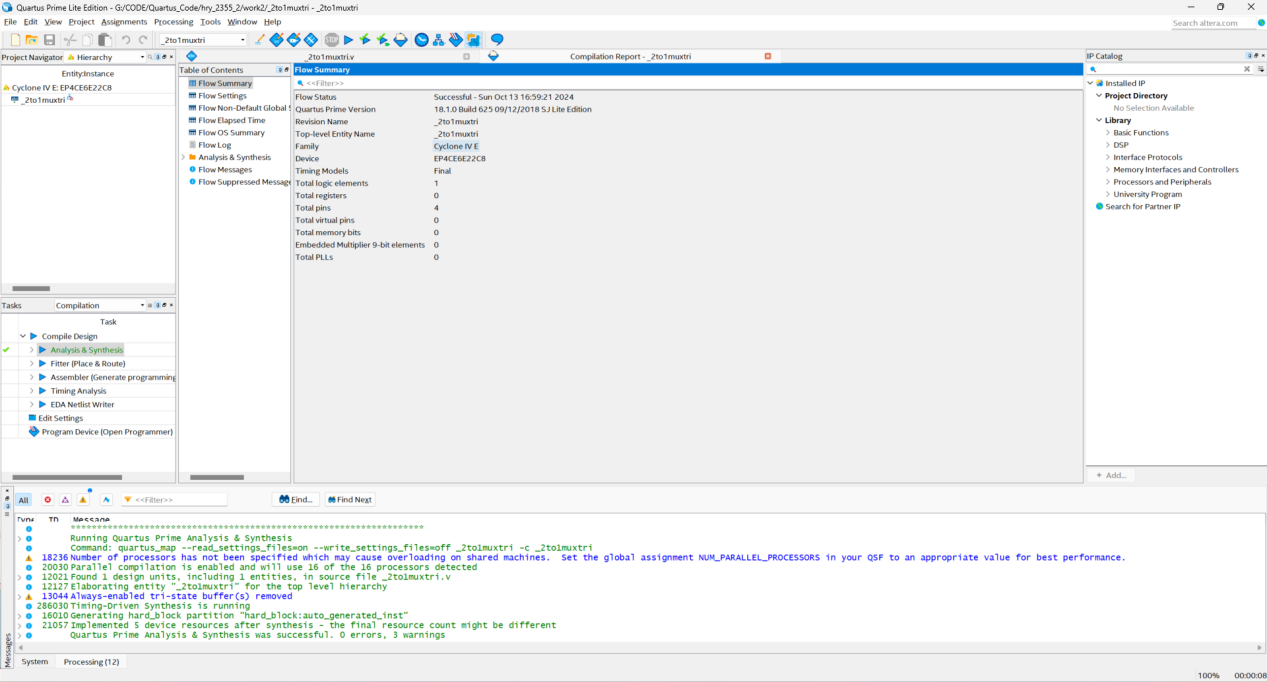
//代码 2：Gate-level description of a 2-to-1-line multiplexer



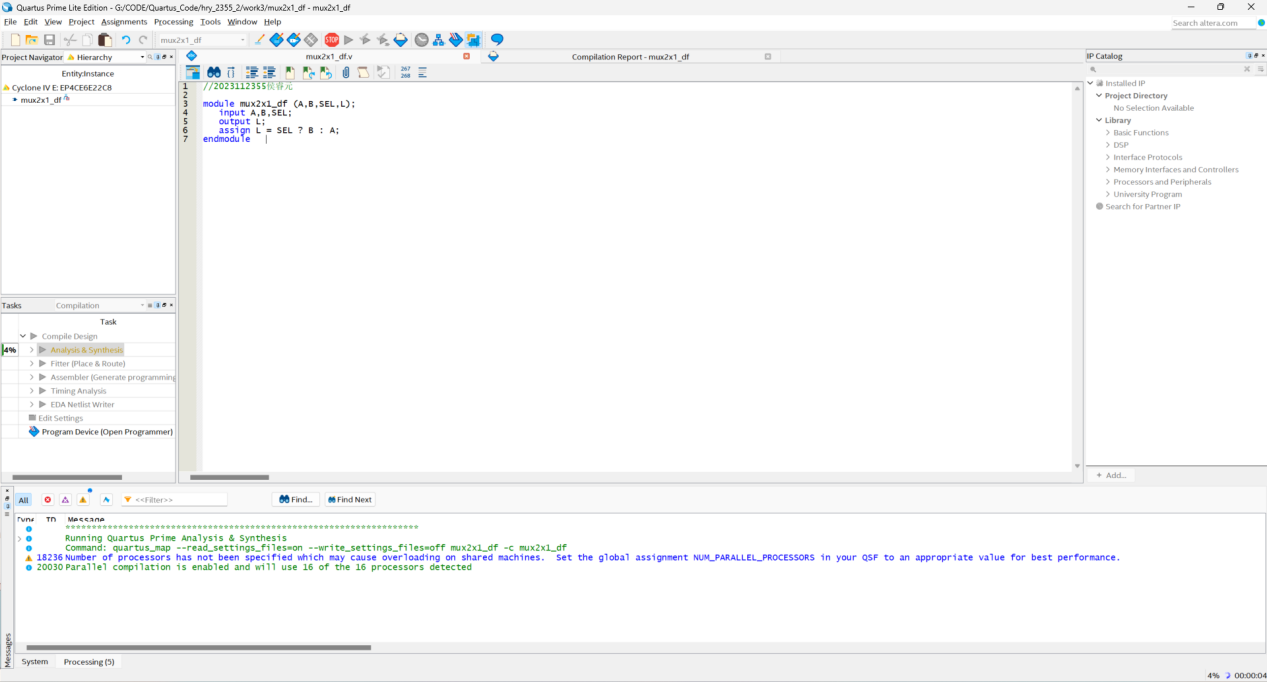
**代码对比：**这段 Verilog 代码实现了一个 2-to-1 选择器（MUX），但与前面的实现不同，这里使用的是三态逻辑（tri-state logic）。三态逻辑允许输出信号在高阻抗状态（Z）和低电平状态（0）之间切换，适合用于连接多个信号到同一总线上。

**代码分析：**当 SEL 为 0 时，L 将等于 A。当 SEL 为 1 时，L 将等于 B。在 SEL 为 1 时，A 的缓冲器不驱动 L，而 B 的缓冲器将驱动 L 的值。在 SEL 为 0 时，B 的缓冲器不驱动 L，而 A 的缓冲器将驱动 L 的值。这段代码实现了一个基于三态逻辑的 2-to-1 选择器，允许输出在两种输入信号 A 和 B 之间切换，并支持高阻抗状态。这种设计在数字电路中非常有用，特别是在需要多路复用和总线驱动的场景中。三态逻辑可以有效地在多个设备之间共享同一信号线，减少了对额外连接的需求。

**编译报告（Flow Summary）**



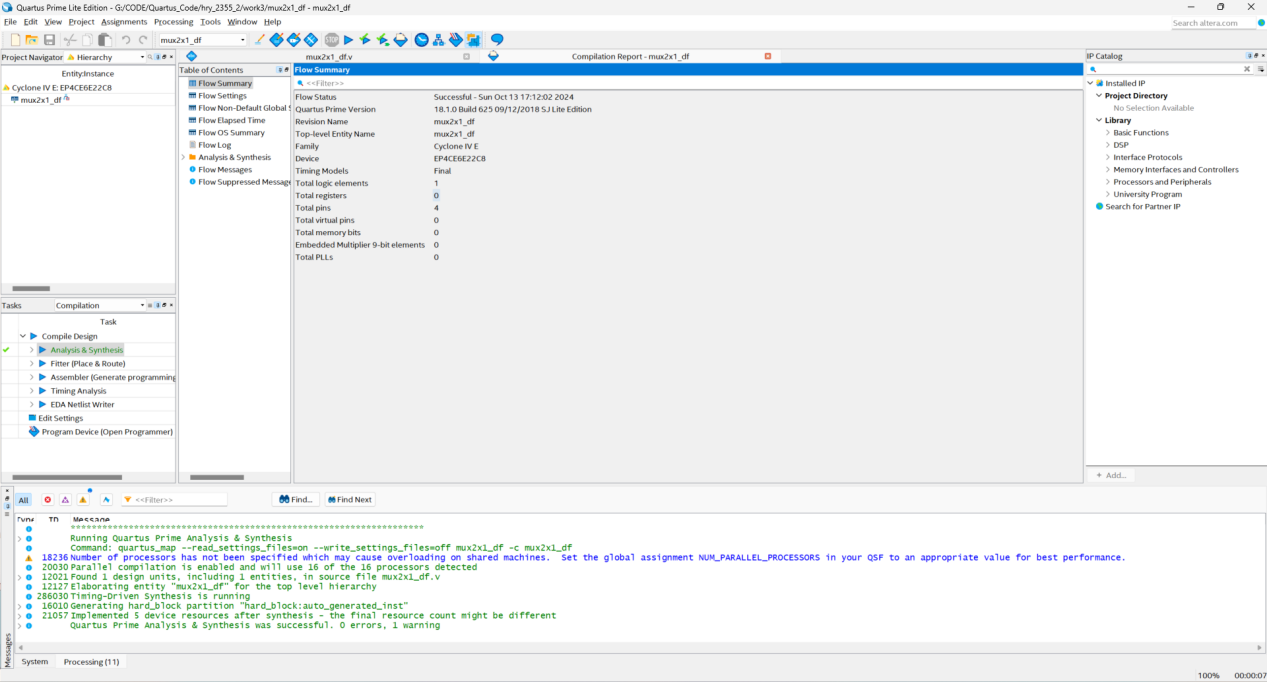
//代码 3：Dataflow description of 2-to-1-line multiplexer

、

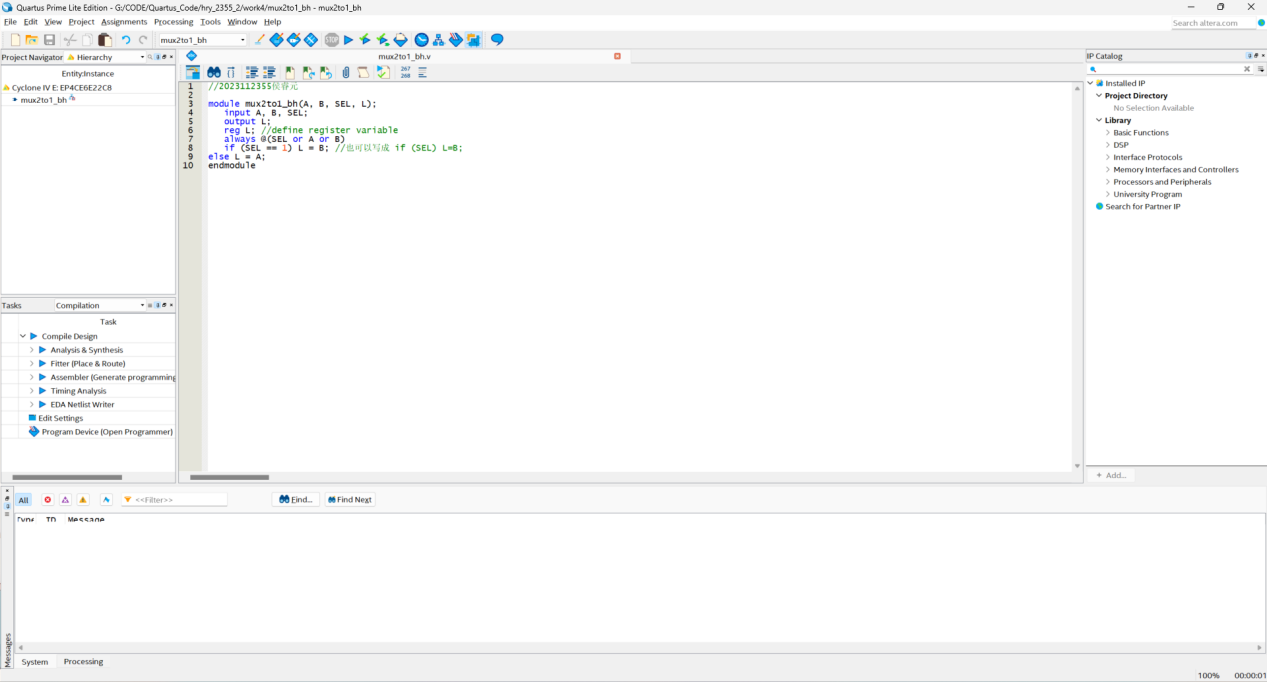
**代码对比：**这段 Verilog 代码实现了一个简单的 2-to-1 选择器（MUX，Multiplexer）。与之前的实现不同，这里使用的是条件赋值语句（assign）来根据选择信号选择输出。以下是对代码的详细分析：

**代码分析：**SEL 是选择信号，控制着输出 L 是选择 A 还是选择 B：如果 SEL = 0: L = A，如果 SEL = 1: L = B这段代码实现了一个简单而有效的 2-to-1 选择器，采用条件赋值的方式根据选择信号在两个输入信号 A 和 B 之间切换输出。该设计非常适合用于数字电路设计，具有良好的可读性和维护性。通过使用条件运算符，设计者能够清晰地表达逻辑关系，提高了代码的可理解性。

**编译报告（Flow Summary）**



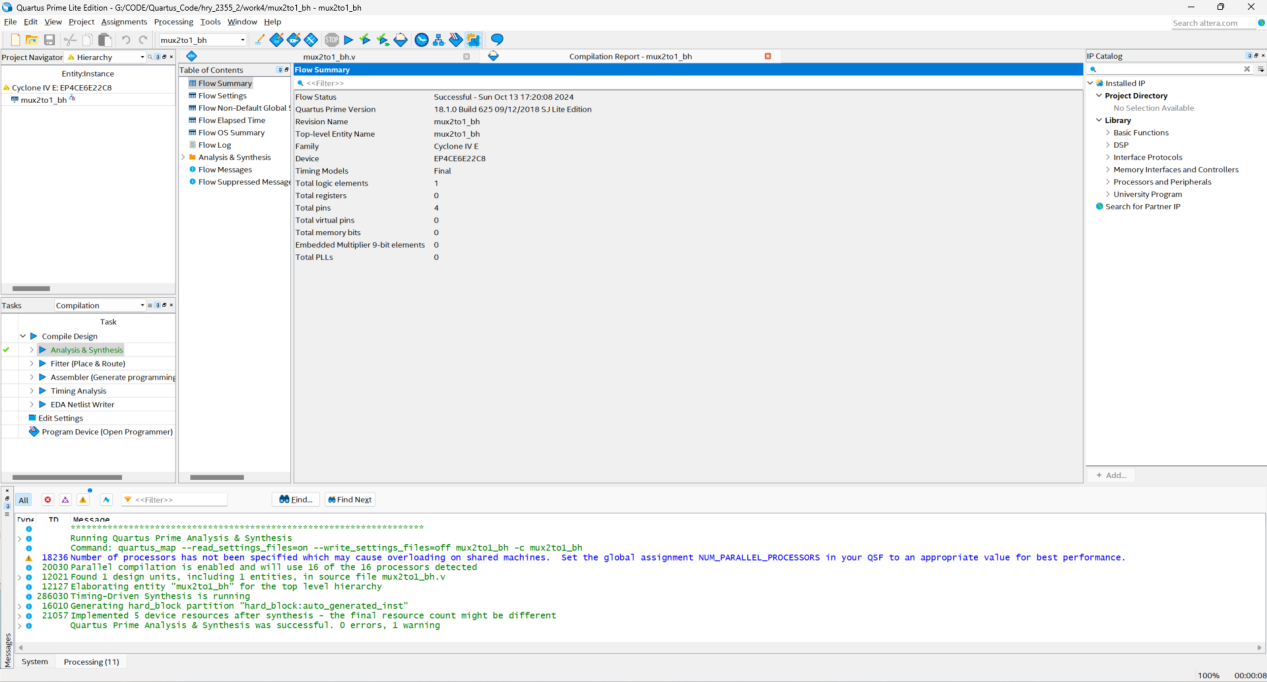
//代码 4：Behavioral description of 2-to-1-line multiplexer



**代码对比：**这段 Verilog 代码实现了一个 2-to-1 选择器（MUX），使用了时序逻辑中的 always 块。这种实现方式允许根据选择信号 SEL 的状态来选择输出信号 L 的值。以下是对代码的详细分析：

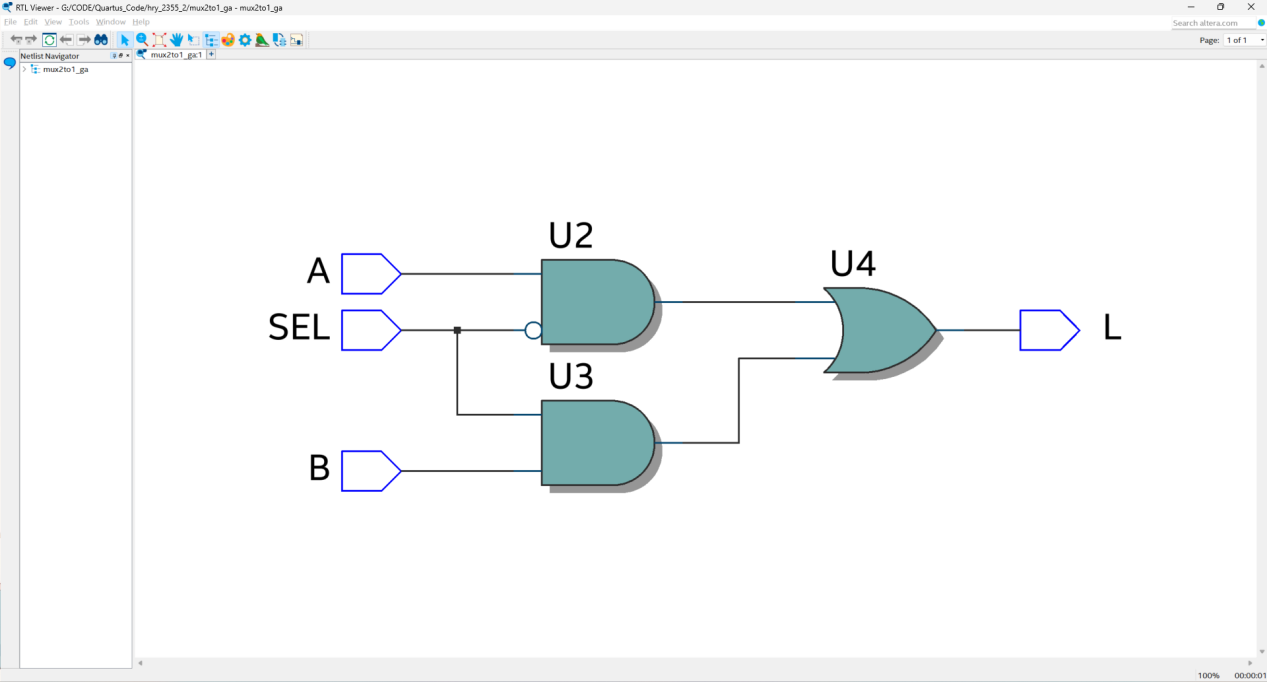
**代码分析：**SEL 是选择信号，控制着输出 L 是选择 A 还是选择 B：如果 SEL = 0: L = A如果 SEL = 1: L = B这段代码实现了一个基于时序逻辑的 2-to-1 选择器，使用 always 块和条件语句来根据选择信号在两个输入信号 A 和 B 之间切换输出。该设计提供了良好的可读性和灵活性，适合于更复杂的数字电路设计。尽管在本例中没有使用时钟信号，选择器的输出能够根据输入信号的变化而实时更新。

**编译报告（Flow Summary）**

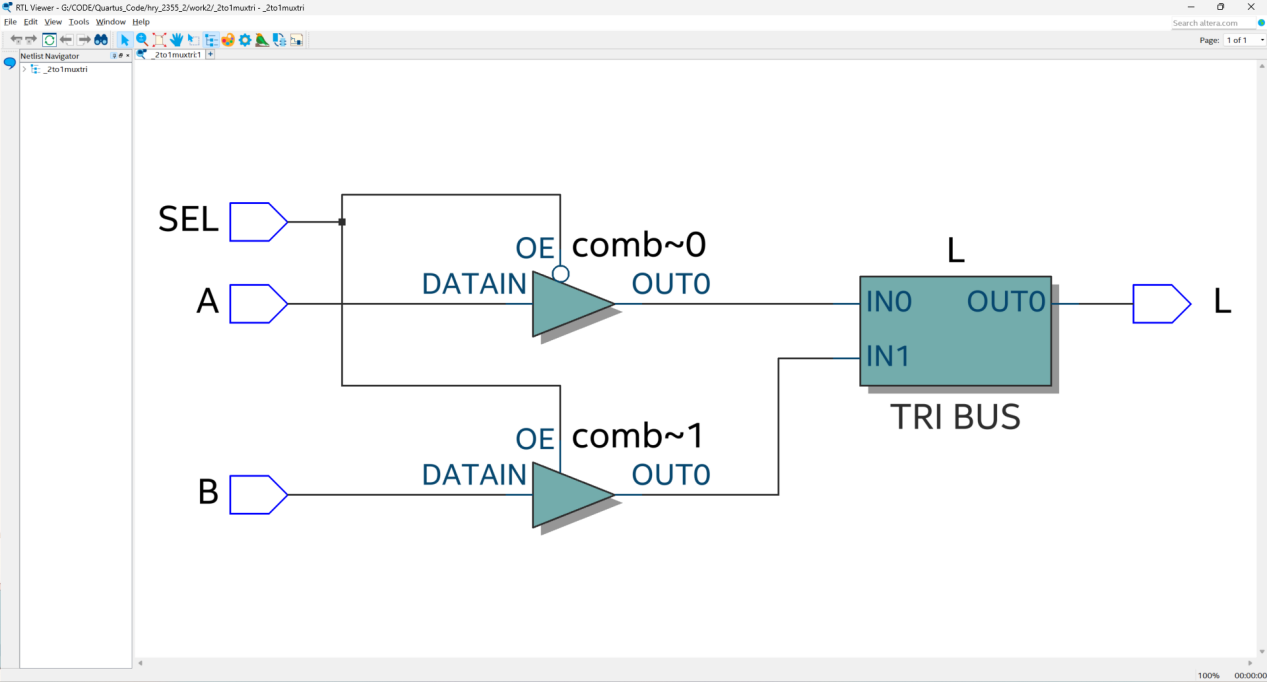


**<2>逻辑电路图对比**

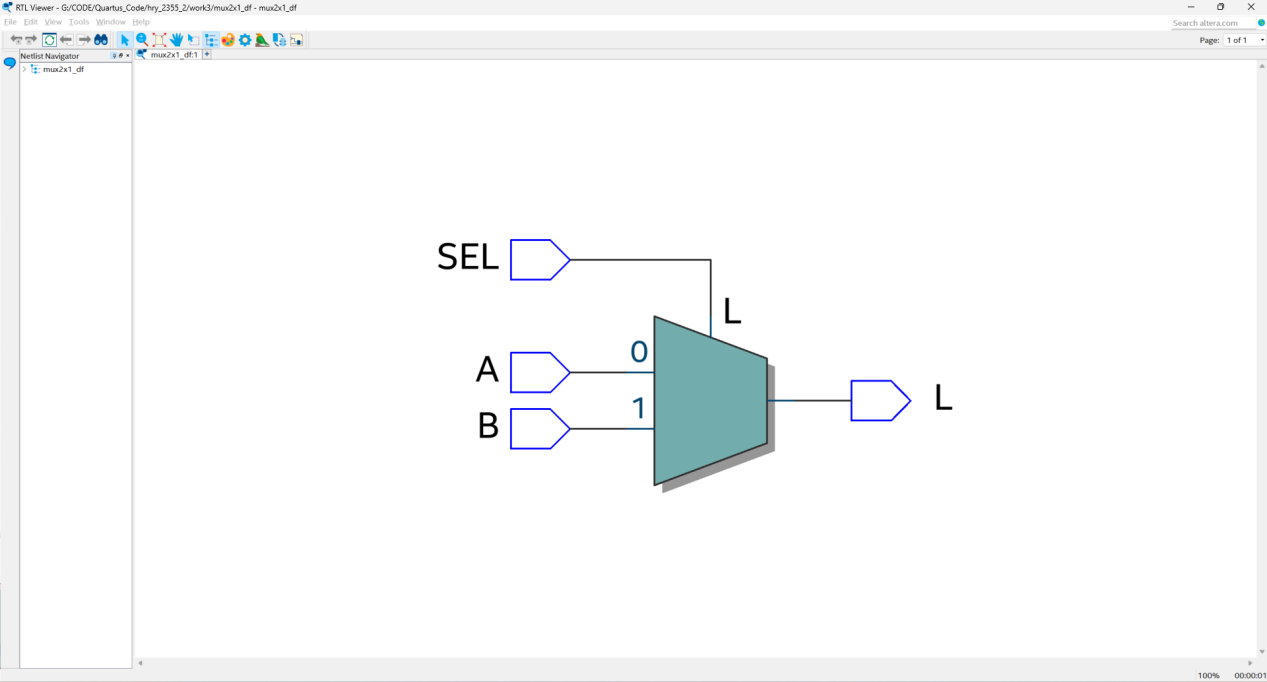
//代码 1：Gate-level description of a 2-to-1-line multiplexer



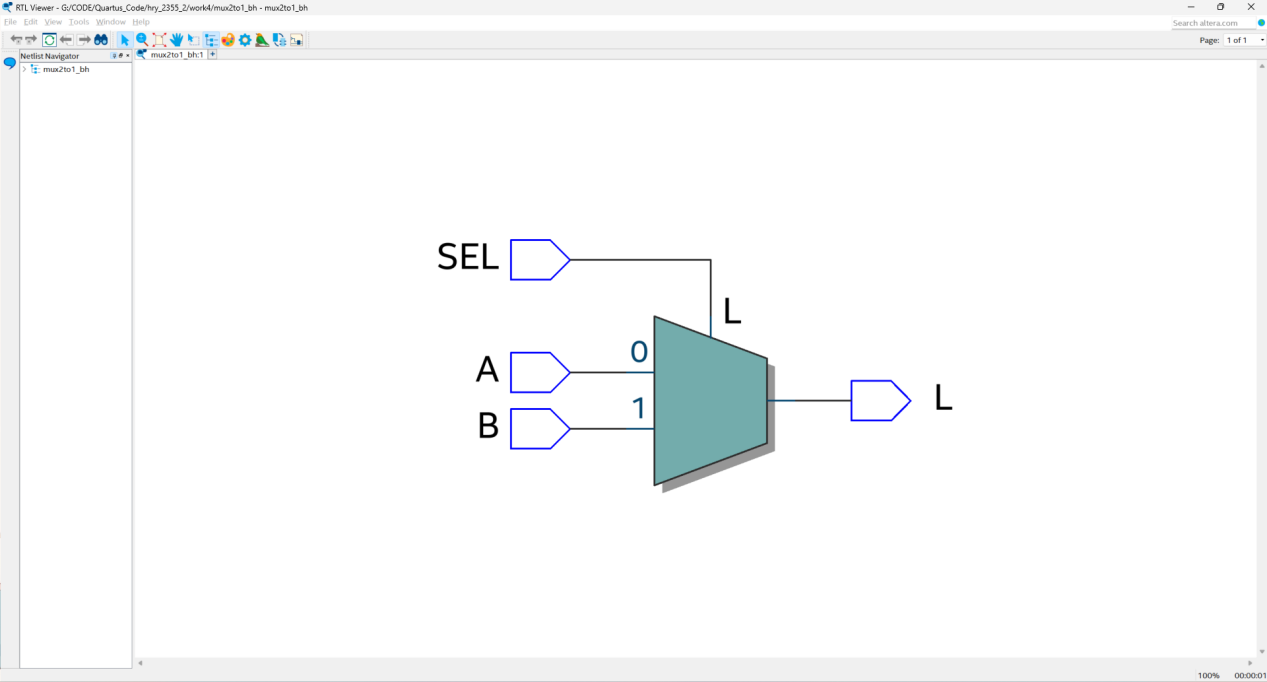
//代码 2：Gate-level description of a 2-to-1-line multiplexer



//代码 3：Dataflow description of 2-to-1-line multiplexer

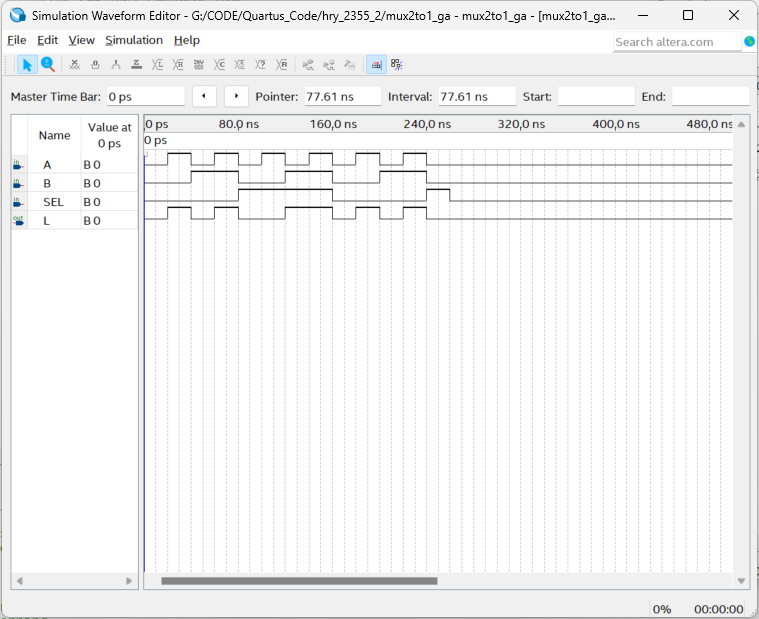


//代码 4：Behavioral description of 2-to-1-line multiplexer

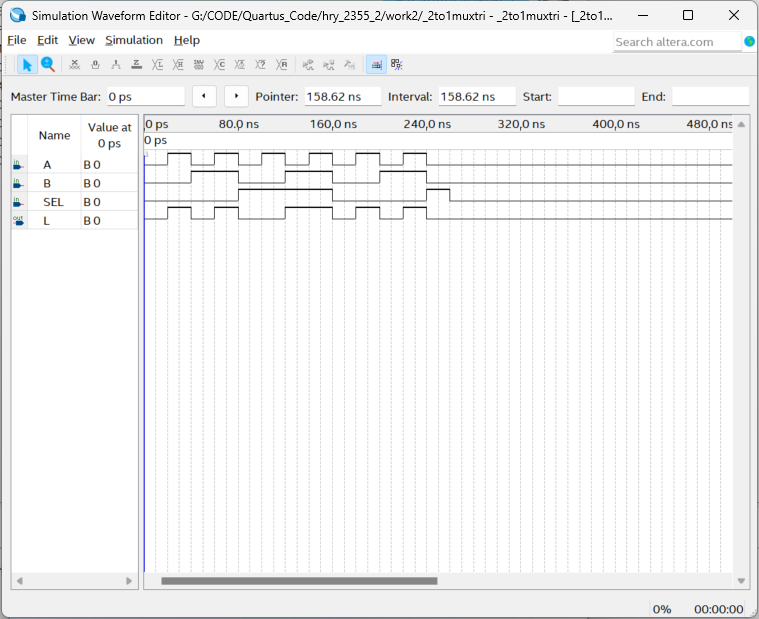


**<3>仿真波形结果对比（单周期0-240ns）**

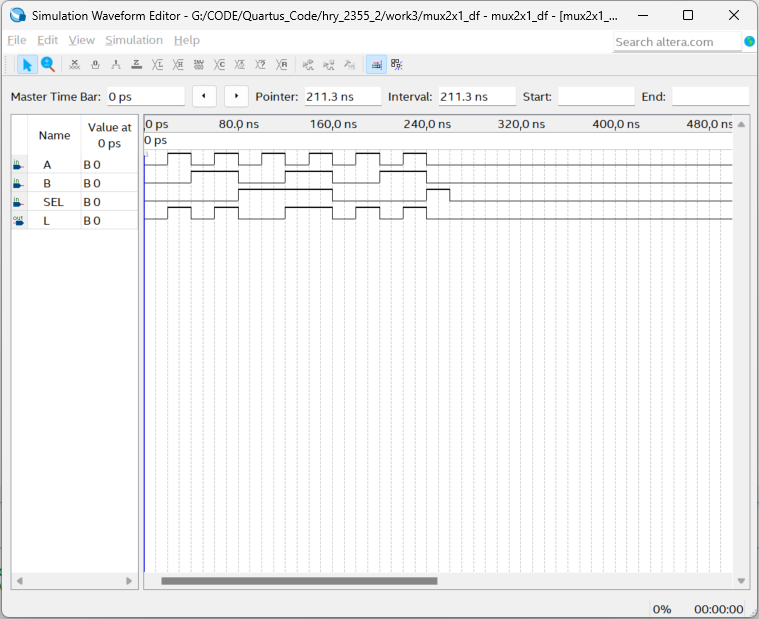
//代码 1：Gate-level description of a 2-to-1-line multiplexer



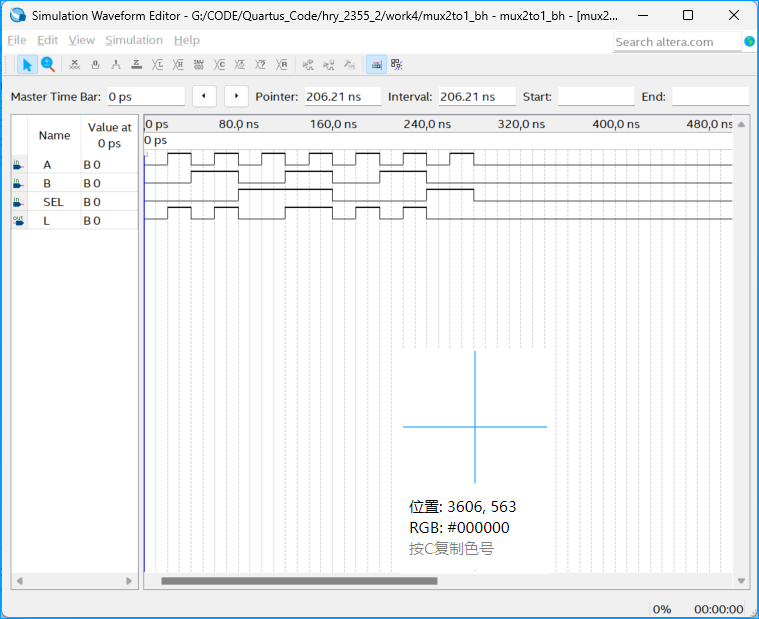
//代码 2：Gate-level description of a 2-to-1-line multiplexer



//代码 3：Dataflow description of 2-to-1-line multiplexer



//代码 4：Behavioral description of 2-to-1-line multiplexer



**二、引脚分配表（电路中的信号名称->主板器件名称->引脚号PIN）**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **信号名** | **主板器件** | **PIN** |  | **信号名** | **主板器件** | **PIN** |
| **A** | **SW10** | **PIN\_6** | **L** | **LED0** | **PIN\_46** |
| **B** | **SW11** | **PIN\_144** |  |  |  |
| **SEL** | **SW12** | **PIN\_8** |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |

1. **编译报告**

|  |  |  |
| --- | --- | --- |
| //代码 1：Gate-level description of a 2-to-1-line multiplexer | | |
| **Top-level Entity name** | **Family** | **Device** |
| mux2to1\_ga | Cyclone IV E | EP4CE6E22 |
| Total logic elements | Total registers | Total pins |
| 1 | 0 | 4 |
| Total memory bits | Embedded Multiplier 9-bit elements | Total PLLs |
| 0 | 0 | 0 |

|  |  |  |
| --- | --- | --- |
| //代码 2：Gate-level description of a 2-to-1-line multiplexer | | |
| **Top-level Entity name** | **Family** | **Device** |
| \_2to1muxtri | Cyclone IV E | EP4CE6E22 |
| Total logic elements | Total registers | Total pins |
| 1 | 0 | 4 |
| Total memory bits | Embedded Multiplier 9-bit elements | Total PLLs |
| 0 | 0 | 0 |

|  |  |  |
| --- | --- | --- |
| //代码 3：Dataflow description of 2-to-1-line multiplexer | | |
| **Top-level Entity name** | **Family** | **Device** |
| mux2x1\_df | Cyclone IV E | EP4CE6E22 |
| Total logic elements | Total registers | Total pins |
| 1 | 0 | 4 |
| Total memory bits | Embedded Multiplier 9-bit elements | Total PLLs |
| 0 | 0 | 0 |

|  |  |  |
| --- | --- | --- |
| //代码 4：Behavioral description of 2-to-1-line multiplexer | | |
| **Top-level Entity name** | **Family** | **Device** |
| mux2to1\_bh | Cyclone IV E | EP4CE6E22 |
| Total logic elements | Total registers | Total pins |
| 1 | 0 | 4 |
| Total memory bits | Embedded Multiplier 9-bit elements | Total PLLs |
| 0 | 0 | 0 |

**四、实验现象及原始数据记录**

波形图、真值表、采样率、触发字、时钟频率等（根据实验需要记录，必要时使用附页）

**五、实验数据整理与分析**

**六、实验中遇到的问题、总结、心得体会**