















































































































切三級pipeline會有2 cycle  
的overhead





只有RTL code · 最靈活

合成出gate level netlist

有layout













根據設下的constraint選擇適當的IP



















被這兩行夾住的東西不會被synthesis，由於我們include的IP都已經被驗證過了，所以這部分可以不用再synthesis一次

然後我們在察看IP的.v file時也會看到這個，因為裡面寫的東西是不能被合成的(可能包含initial等關鍵字)，只是大致讓我們看一下這個module是怎麼做的，不會讓我們看到實作細節

而這部分也是必須的，在simulation時這部分會提供compiler來了解該module的功能以進行邏輯驗證

設定implementation type



