



## 第四章 触发器

宗 汝

西安电子科技大学电子工程学院

Email: zongru@xidian.edu.cn

# 本章要点

---

- 触发器与时序逻辑电路
- 触发器的电路结构
- 触发器的功能及其描述方式
- 触发器应用电路

# 本章学习目标

---

- 掌握时序逻辑电路和组合逻辑电路的区别。
- 了解触发器的基本结构。
- 掌握触发器的基本功能和描述形式。
- 掌握应用触发器设计基本时序逻辑电路。

# 主要内容

---

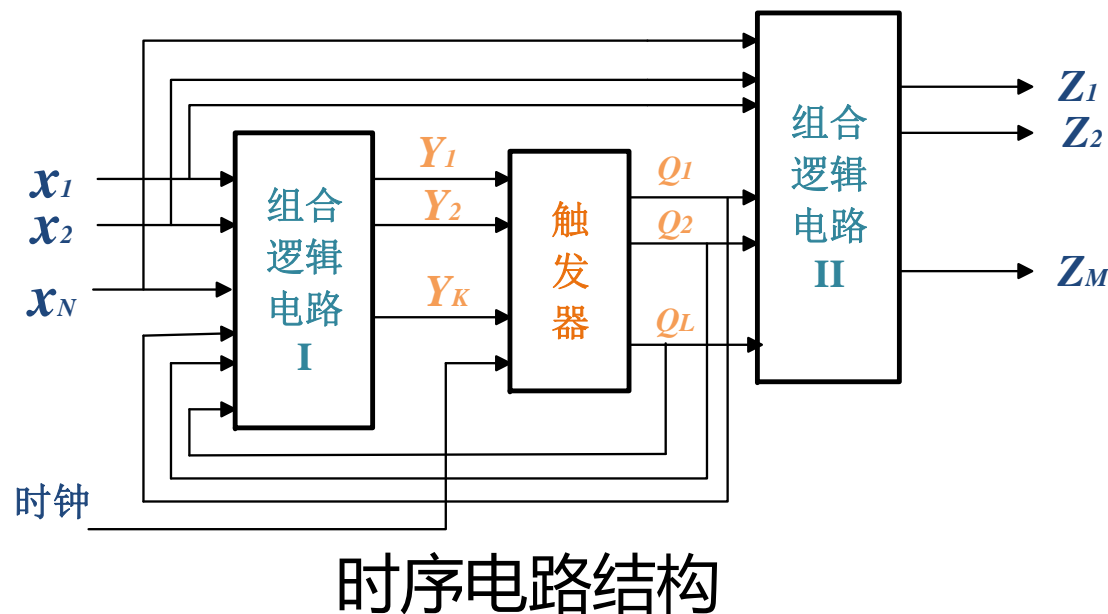
- 触发器的基本形式
- 触发器功能的描述方法
- 时钟控制的触发器
- 集成边沿触发器概述
- 触发器的应用电路

# 组合逻辑和时序逻辑

**组合电路**：输出只与当前的输入有关。

**时序电路**：输出不仅与当前的输入有关，而且与过去的状态有关。

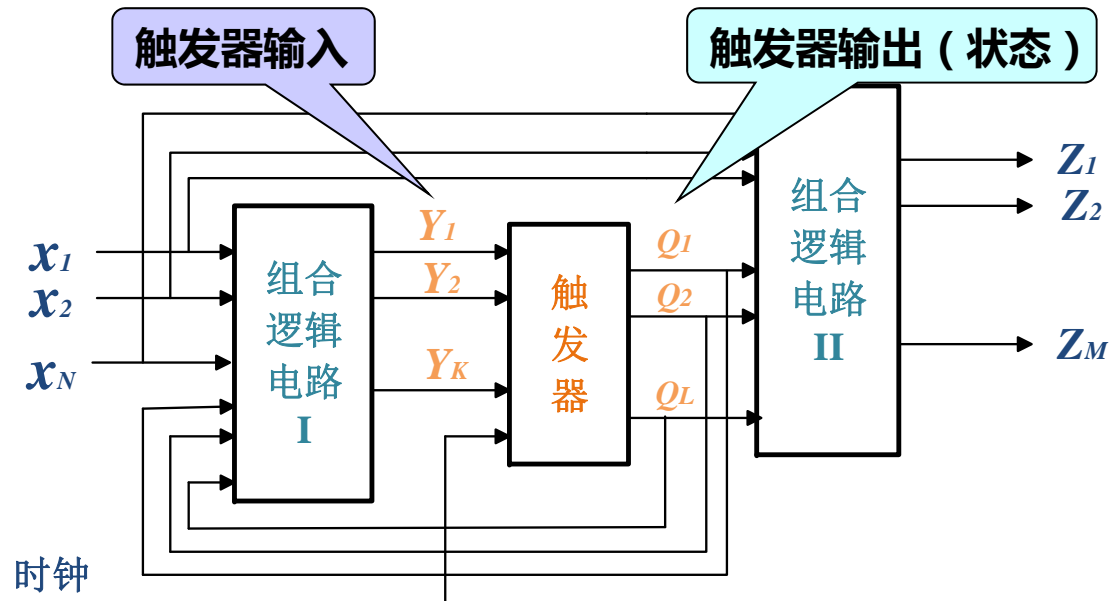
过去的状态是如何保存的？ **触发器。**



触发器是时序电路的核心。

# 触发器的定义

- 触发器（Flip-Flop）：具有记忆功能的双稳态电路。

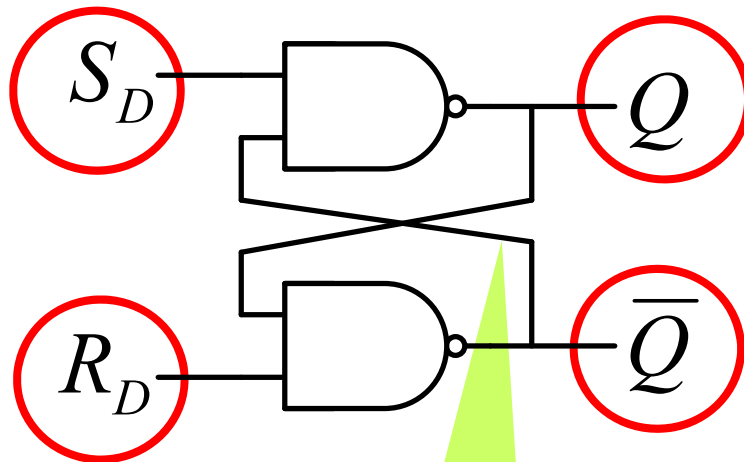


- 触发器输入Y称为——激励
- 触发器输出Q称为——状态
- 现态( $Q^n$ )——表示触发器现在的状态；( $Q^n$  常略写为Q)
- 次态( $Q^{n+1}$ )——表示触发器的下一个状态；

# 触发器的基本形式

基本RS触发器：( NAND Gate Latch )

基本结构

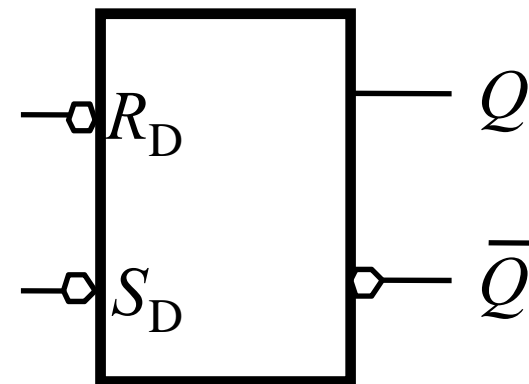


两个输入端

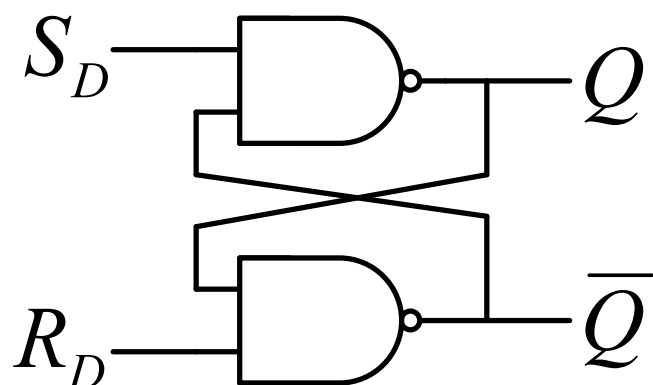
反馈

两个输出端

表示框图



## 基本RS触发器



状态功能表:

$R_D$	$S_D$	$Q$	$\bar{Q}$
1	1	保持原状态	
0	1	0	1
1	0	1	0
0	0	1	1
		但两输入同时变1后, 输出不确定	

### 状态分析

$R_D S_D = 01$ 时:  $Q = 0$   $\bar{Q} = 1$

$R_D S_D = 10$ 时:  $Q = 1$   $\bar{Q} = 0$

$R_D S_D = 11$ 时: 输出保持不变

$R_D S_D = 00$ 时:  $Q = 1$   $\bar{Q} = 1$

但当 $R_D S_D = 00$ 同时变为11时, 翻转快的门输出变为0, 另一个不得翻转。



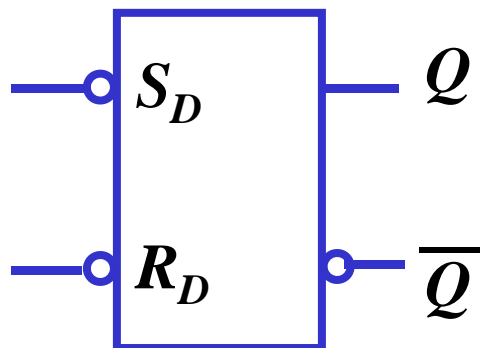
## 基本RS触发器：小结

- 输入信号作用前的状态称**现态**，用 $Q^n$ 或 $Q$ 表示；  
输入作用后触发器的新状态称**次态**，用 $Q^{n+1}$ 表示。
- 用  $Q$  的值表示触发器的状态。  
 $Q = 0$ ，称触发器处于**0 状态**； $Q = 1$ ，为**1 状态**。
- $S_D$ 端加入负脉冲，使 $Q = 1$ ，称为“**置位**”或“**置 1**”端；  
 $R_D$ 端加入负脉冲，使 $Q = 0$ ，称为“**复位**”或“**清 0**”端。
- $R_D S_D = 00$ 时，两个输出均为稳定的1状态，但两个输出不是非的关系了；另外，如果出现输入从00同时变11，**输出则不确定**。  
为了避免这个情况，要加 $R_D + S_D = 1$ 的输入约束条件。

# 触发器功能的描述方法

---

( 以基本RS触发器为例 )

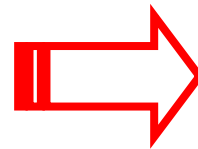


## 描述方法1：状态转移真值表（状态表）

用真值表的形式画出电路输入、现态与电路输出、次态之间的逻辑关系。

基本RS触发器的状态表是：

$R_D$	$S_D$	$Q^n$	$Q^{n+1}$
0	0	0	×
0	0	1	×
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1



$R_D$	$S_D$	$Q^{n+1}$
0	0	×
0	1	0
1	0	1
1	1	$Q^n$

## 描述方法2 & 3：次态卡诺图与特征方程

也可根据状态表画出电路输出、次态之卡诺图；写出函数表达式，就是特征方程（状态方程）。

基本RS触发器的卡诺图和特征方程是：

$R_D S_D$	00	01	11	10
$Q$				
0	×	0	0	1
1	×	0	1	1

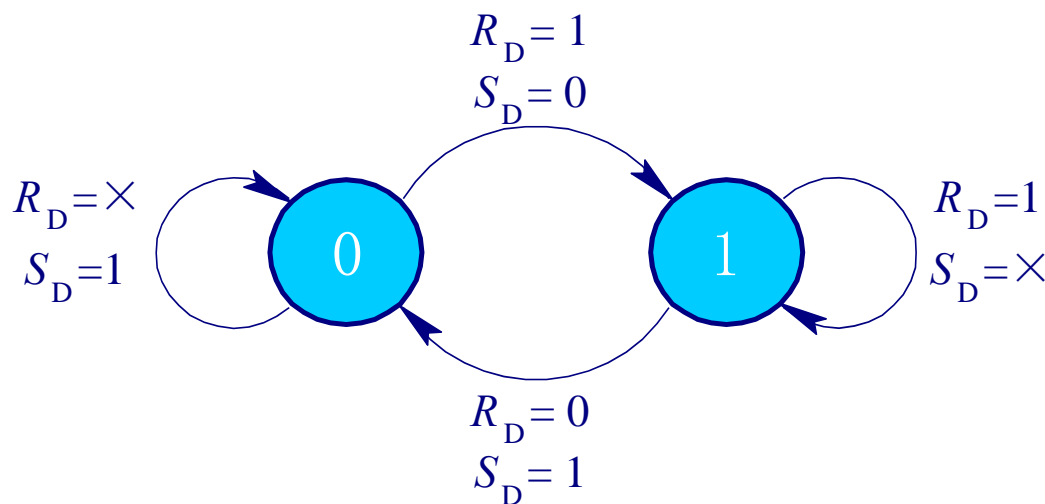
$Q^{n+1}$

$$\begin{cases} Q^{n+1} = \overline{S_D} + R_D Q^n \\ S_D + R_D = 1 \end{cases}$$

## 描述方法4 & 5：状态转移图（状态图）与激励表

也可用图表示状态转移规律；用激励表表示现态到次态变化时对输入的要求。

基本RS触发器的状态图和激励表是：

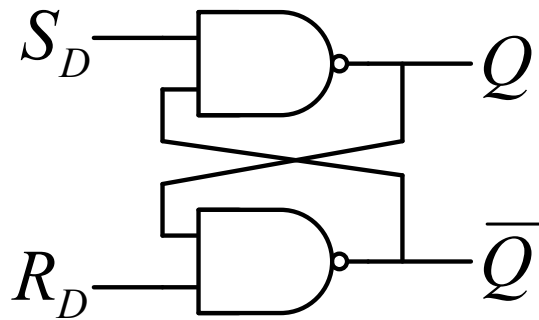


$Q^n \rightarrow Q^{n+1}$		$R_D$	$S_D$
0	0	$\times$	1
0	1	1	0
1	0	0	1
1	1	1	$\times$

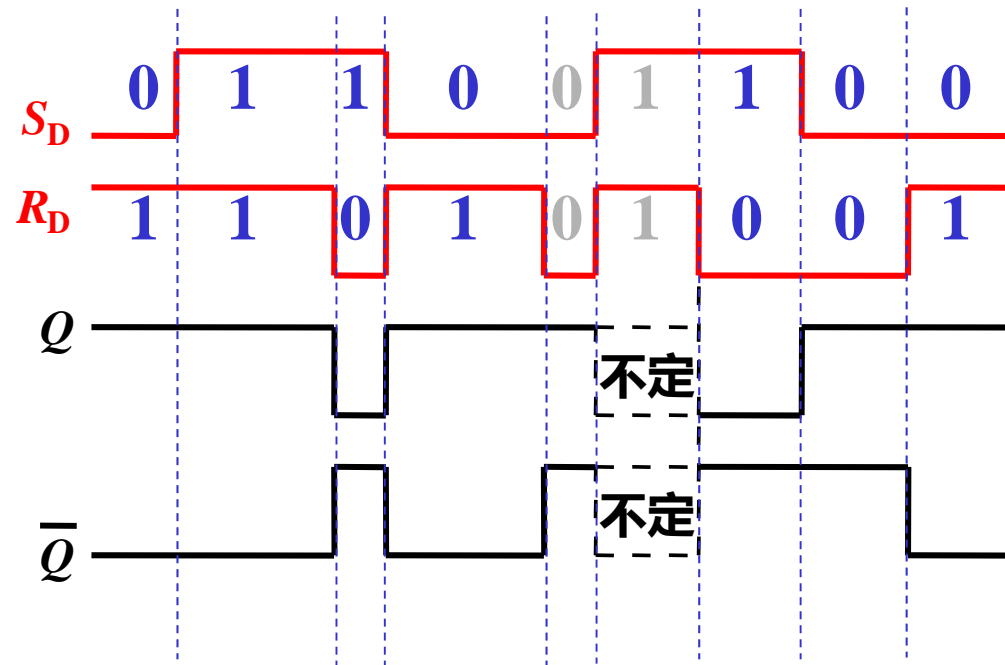
## 描述方法6：波形图

反映触发器状态在输入激励下随时间变化的规律。

基本RS触发器工作的波形图是：

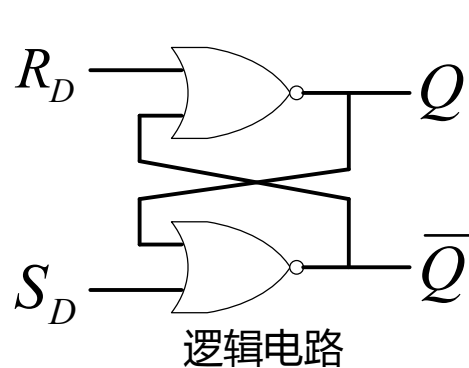


$R_D$	$S_D$	$Q^{n+1}$
0	0	×
0	1	0
1	0	1
1	1	$Q^n$

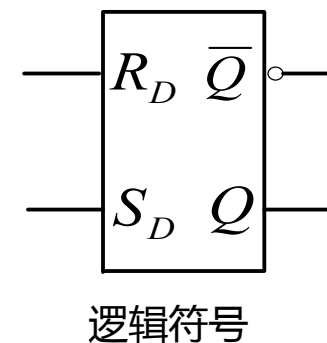


# NOR Gate Latch

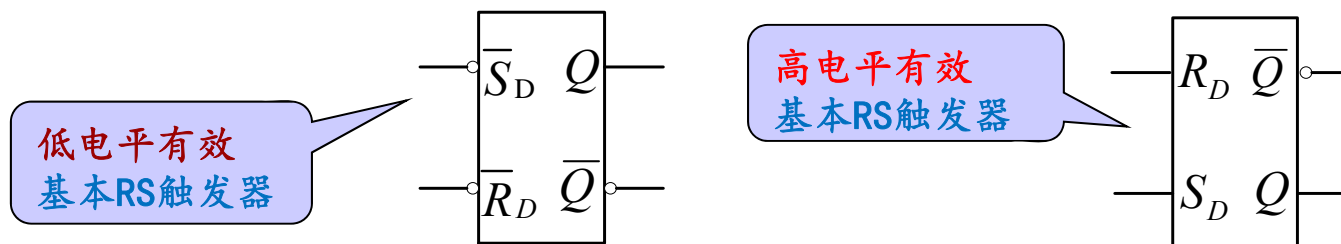
问题1：用或非门构成基本RS触发器？



$R_D$	$S_D$	$Q^{n+1}$	$\bar{Q}^{n+1}$	功 能
0	0	Q	$\bar{Q}$	保 持
0	1	1	0	置1 (Set)
1	0	0	1	清0 (Rset)
1	1	0	0	不允许

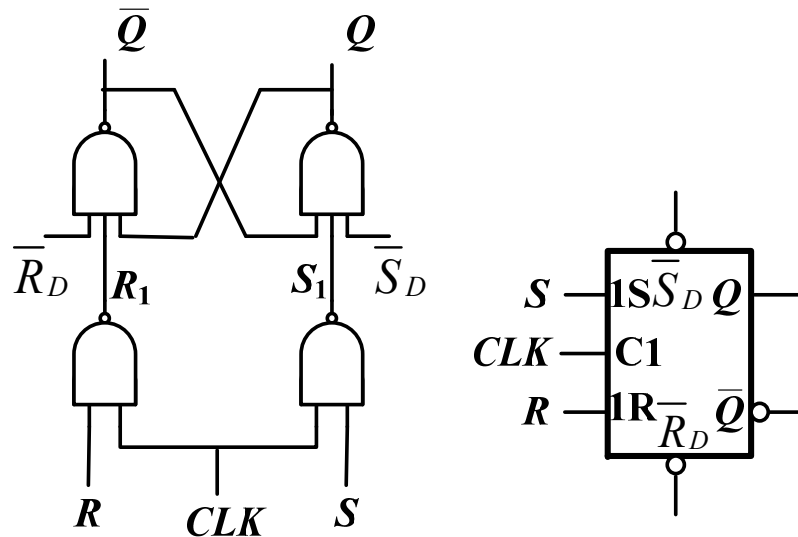


问题2：两个基本RS触发器逻辑符号如图所示，它们的区别？



## 异步控制端

在实际应用中，有时需要在不受 $CLK$ 控制的情况下把触发器置成指定的状态。为此，触发器电路还设置有异步置1输入端 $S_D$ 和异步清0（即复位）输入端 $R_D$ ，如图所示。

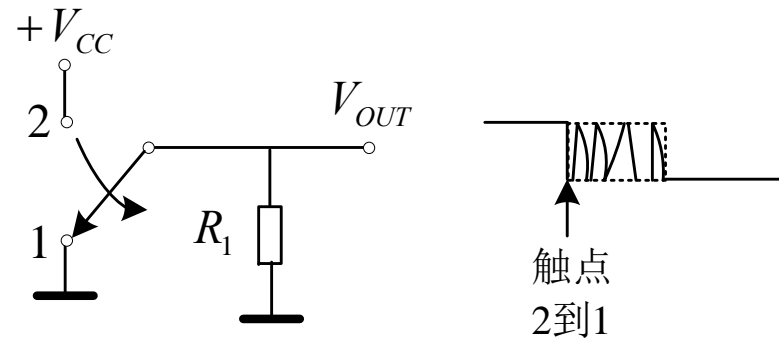


问题：逻辑符号中的异步清0和置1输入端都用字符上加一横和外加小圆圈标注，其表示高电平还是低电平有效？

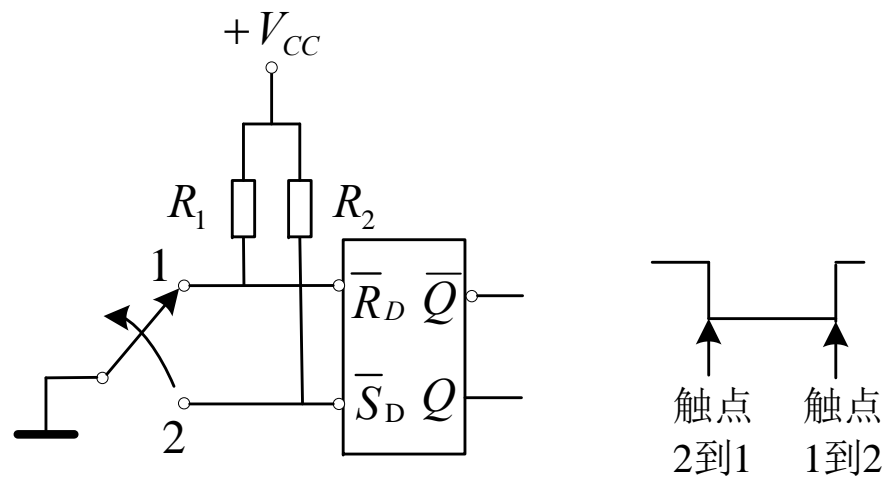


## \*基本RS触发器-消抖应用

开关抖动问题：



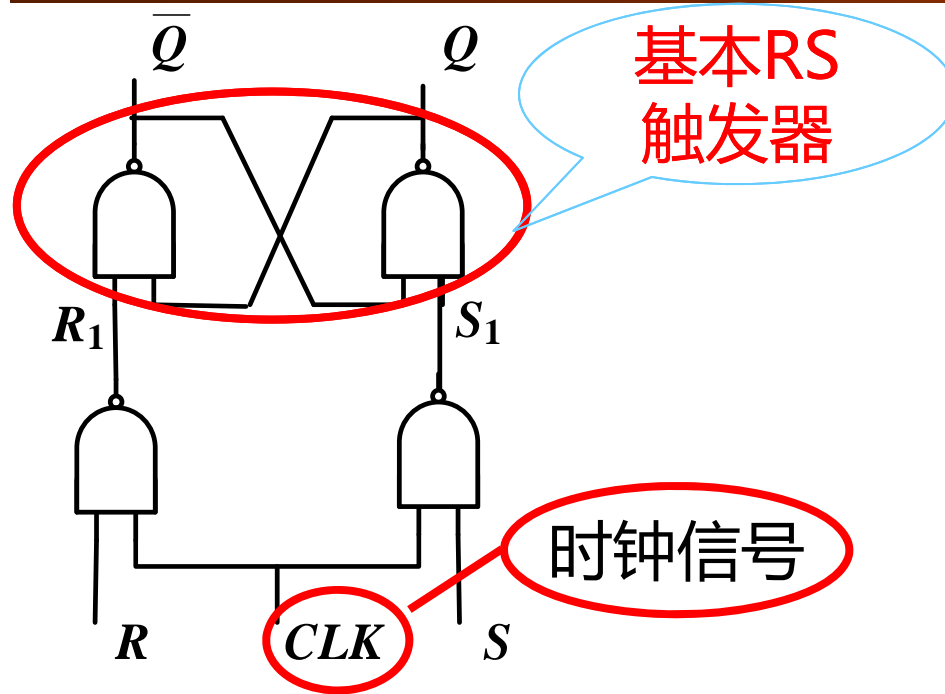
问题：基本RS触发器如何构成的消抖开关电路？



# 时钟控制的触发器

- 实际应用中，必须协调各触发器状态改变的时刻，使其按一定的节拍动作。为此，加时钟脉冲控制信号CP，称**钟控触发器**。
- 钟控触发器的分类  
按触发引导电路的不同，触发器又分成以下不同种类：
  - 钟控**RS**触发器
  - 钟控 **D** 触发器
  - 钟控 **T (T')** 触发器
  - 钟控**JK**触发器

# 1. 钟控RS触发器



基本RS触发器特征方程

$$\begin{cases} Q^{n+1} = \bar{S}_1 + R_1 Q \\ S_1 + R_1 = 1 \end{cases}$$

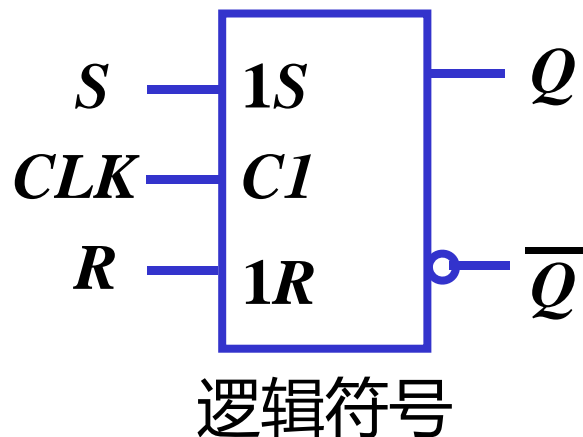
钟控RS触发器特征方程：

当 $CLK=0$ 时，  
 $R_1=1$   $S_1=1$ ，触发器为保持状态

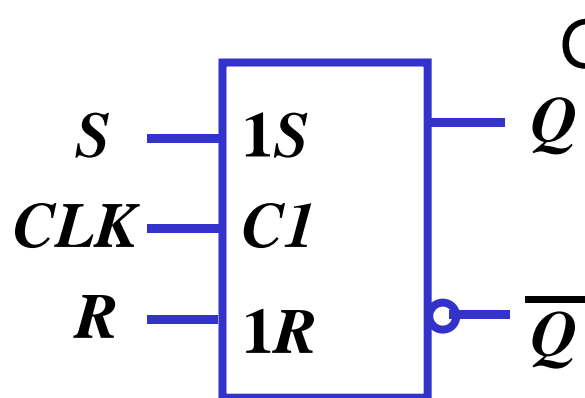
当 $CLK=1$ 时，

$$\begin{cases} R_1 = \bar{R} & S_1 = \bar{S} \\ Q^{n+1} = S + \bar{R}Q \\ SR=0 \end{cases}$$

其中 $RS=0$ 表示 $R$ 与 $S$ 不能同时为1。



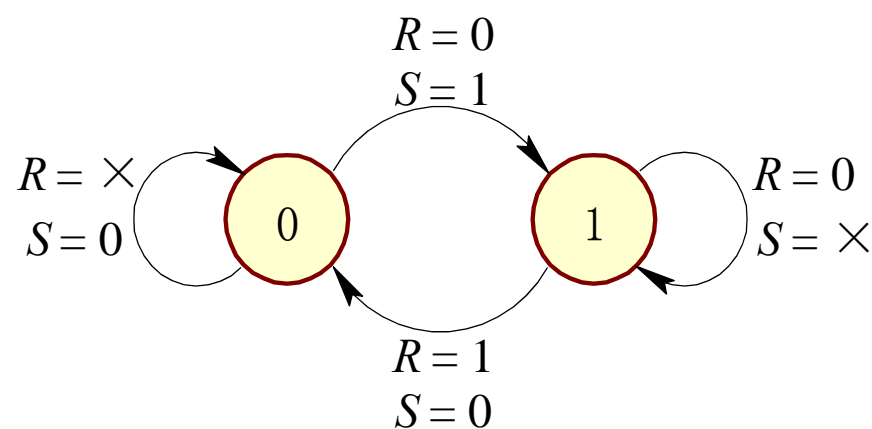
# 钟控RS触发器



CLK=1时,状态表

R	S	$Q^{n+1}$
0	0	Q
0	1	1
1	0	0
1	1	x

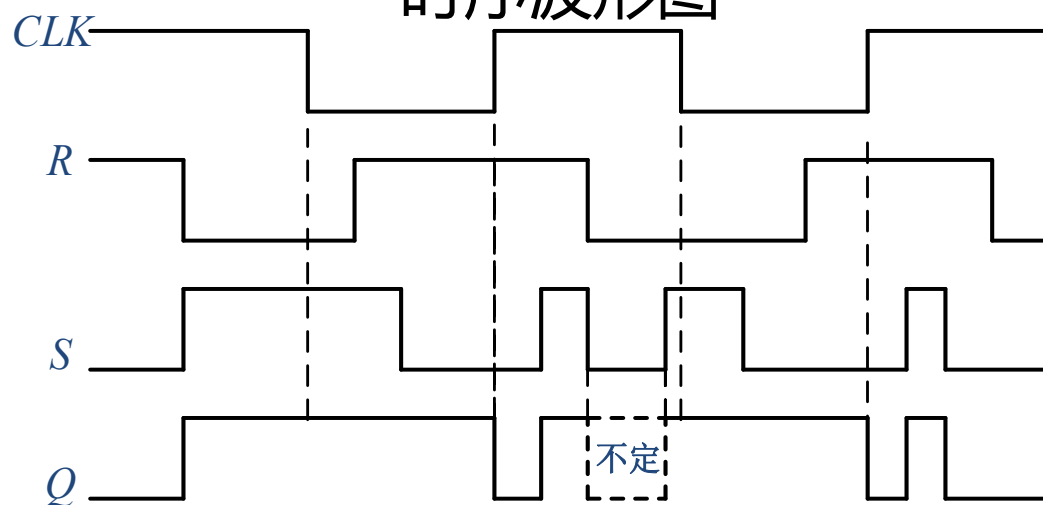
状态转移图



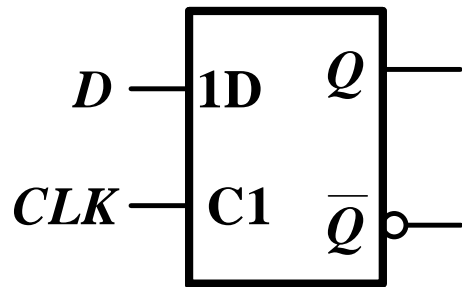
激励表

$Q^n \rightarrow Q^{n+1}$	$R$	$S$
0    0	$\times$	0
0    1	0	1
1    0	1	0
1    1	0	$\times$

时序波形图



# 钟控D触发器



基本RS触发器特征方程

$$\begin{cases} Q^{n+1} = \bar{S}_1 + R_1 Q \\ S_1 + R_1 = 1 \end{cases}$$

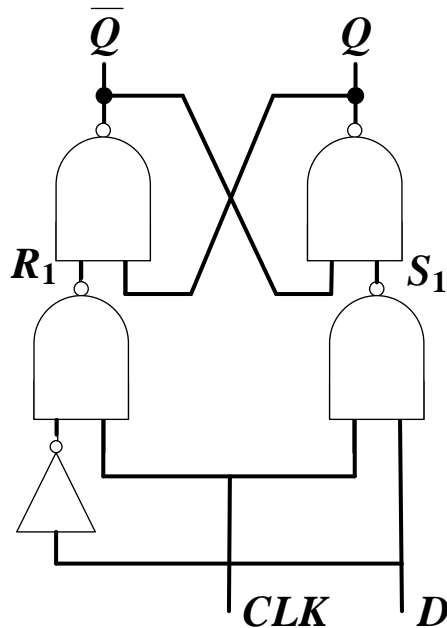
## 钟控D触发器

当  $CLK=0$  时 ,  
 $R_1=1$   $S_1=1$  , 触发器为保持状态

当  $CLK=1$  时 ,  
 $R_1=D$   $S_1=\bar{D}$

特征方程 :

$$Q^{n+1} = D$$



## 激励表

$Q^n \rightarrow Q^{n+1}$	$D$
0   0	0
0   1	1
1   0	0
1   1	1

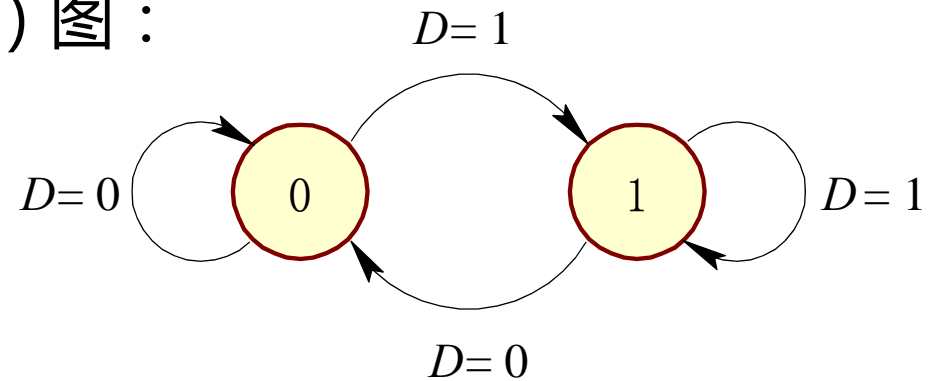
思考：D触发器为什么能够保存过去的的数据？为什么没有约束条件？

# D触发器

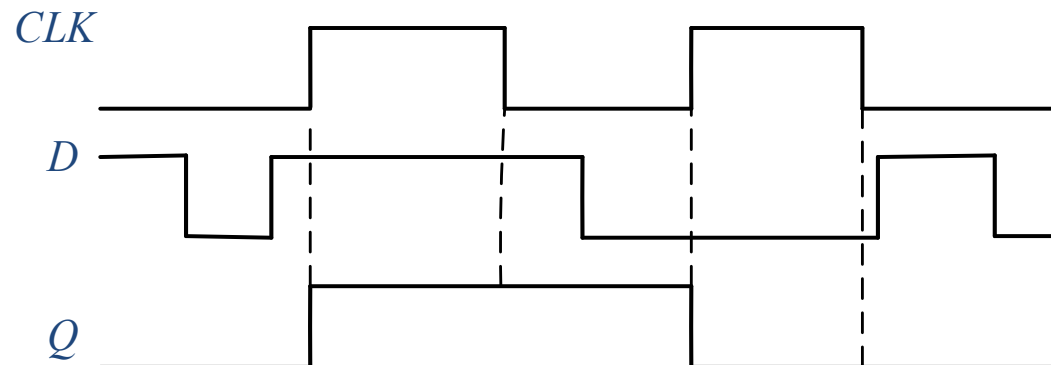
状态表

$D$	$Q^{n+1}$
0	0
1	1

状态（转移）图：

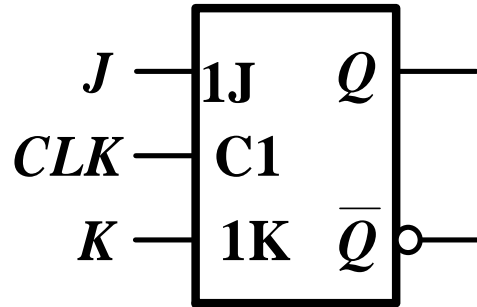


时序波形：



# 钟控JK触发器

逻辑符号



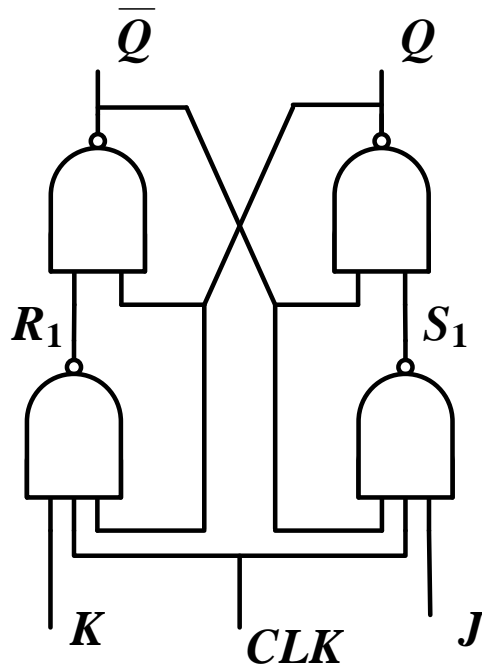
CP = 1 时,  $R_1 = \overline{KQ}$   $S_1 = \overline{JQ}$

JK触发器特征方程:

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

状态表

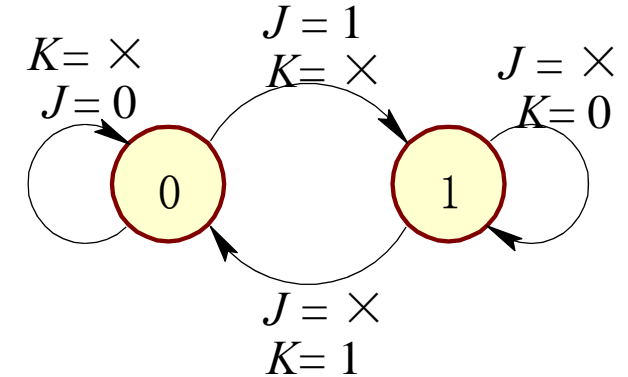
J	K	$Q^{n+1}$
0	0	$Q^n$
0	1	0
1	0	1
1	1	$\overline{Q}^n$



激励表

$Q^n \rightarrow Q^{n+1}$	J	K
0 0	0	×
0 1	1	×
1 0	×	1
1 1	×	0

状态图



# \*钟控T触发器和T'触发器

## 1. T触发器

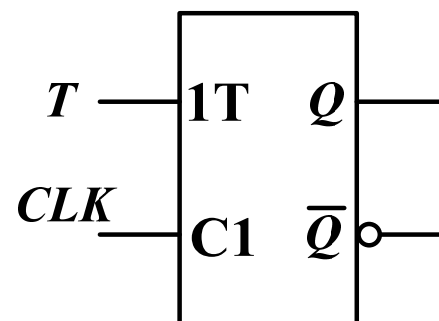
T触发器特征方程：

$$J = K = T$$

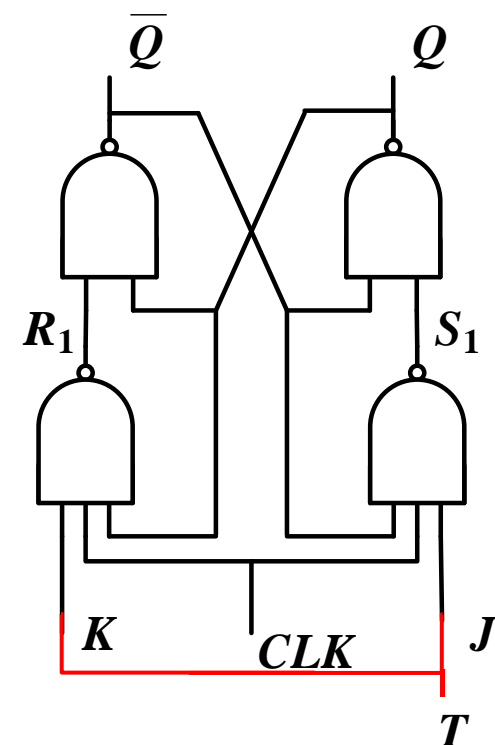
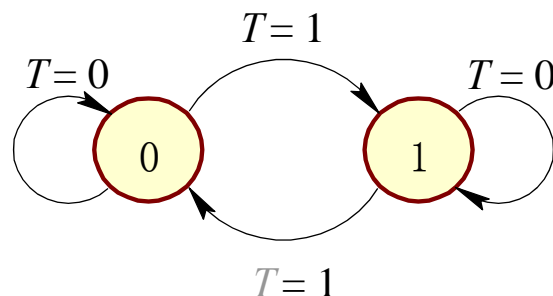
$$Q^{n+1} = T\bar{Q} + \bar{T}Q = T \oplus Q$$

状态表

$T$	$Q^{n+1}$
0	$\underline{Q^n}$
1	$\underline{Q^n}$



状态图

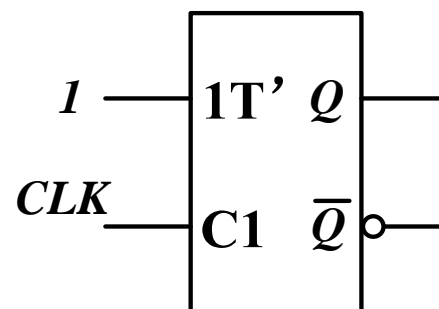


## 2. T'触发器

T'触发器特征方程：

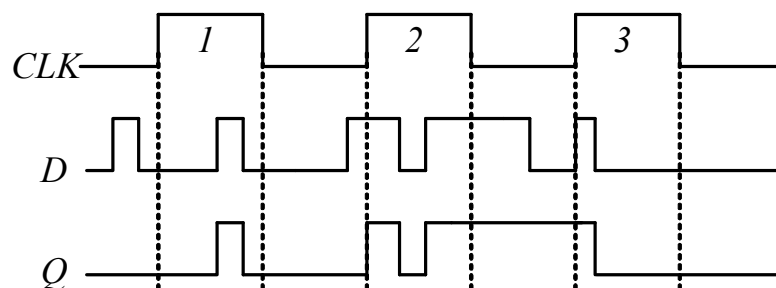
$$T=1$$

$$Q^{n+1} = 1 \oplus Q = \bar{Q}$$





# 电平钟控触发器的空翻现象



**空翻**：把在一个 $CLK$ 脉冲周期内触发器两次或更多次翻转的现象称为空翻。

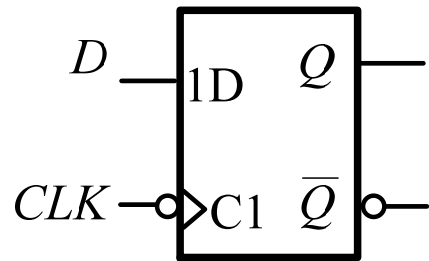
空翻现象的发生使时钟的控制失效，这样就达不到同步控制的目的！

同步就要求每来一个 $CLK$ 脉冲，触发器仅翻转一次，这就要求：

- (1) 输入信号在时钟有效期间不能改变；
- (2) 要求时钟的有效宽度要足够的小。

为了解决空翻现象，采用**边沿触发的触发器**。

# 边沿触发器



C1输入处的三角表明了边沿触发特性，称为动态输入标志。

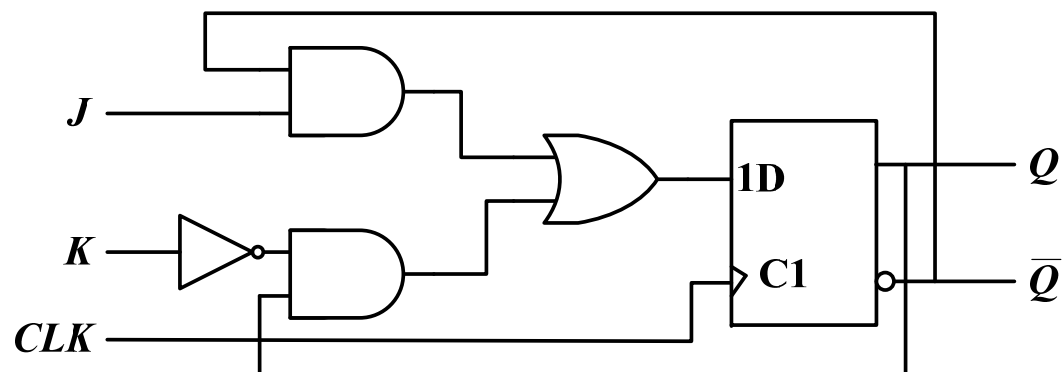
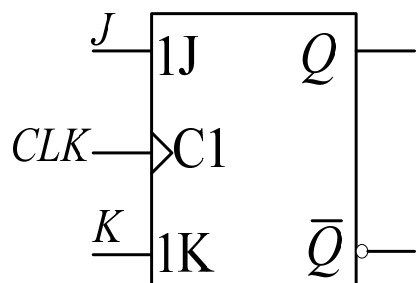
C1输入端加有小圈时，表示下降沿有效，否则表示上升沿有效。

边沿触发方式的特点是：

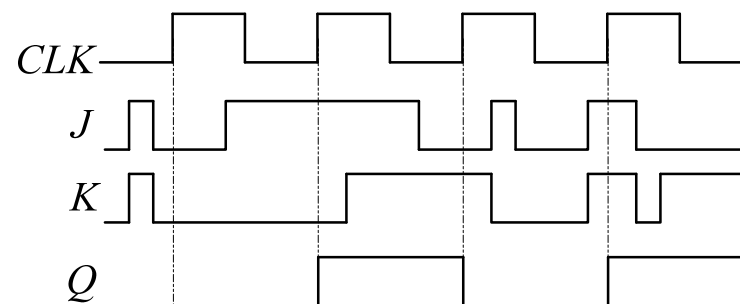
- 触发器状态只在时钟跳转时翻转；
- 在 $CP=1$ 或 $CP=0$ 期间，输入端的任何变化都不影响输出。

如果翻转只发生在上升沿时称“上升沿触发”的触发器；  
如果翻转只发生在下降沿称“下降沿触发”的触发器。

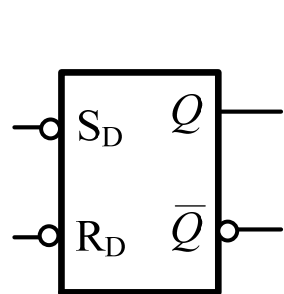
# 边沿JK触发器



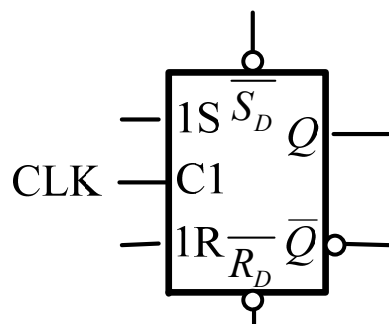
$$Q^{n+1} = D = J\bar{Q} + \bar{K}Q$$



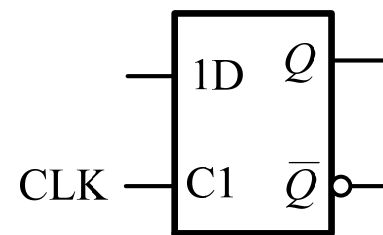
## 触发器的逻辑符号



基本RS触发器



钟控RS触发器

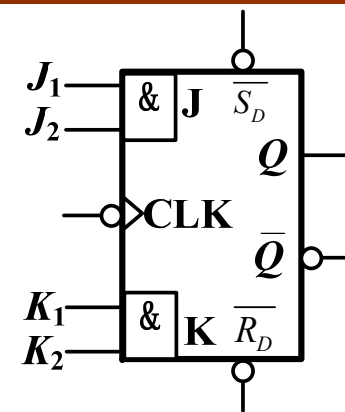
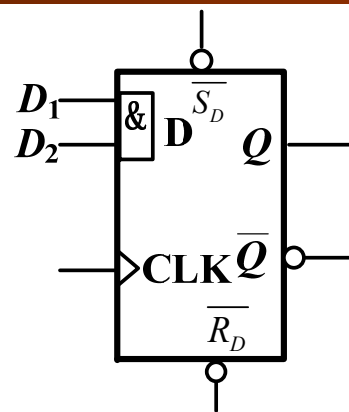
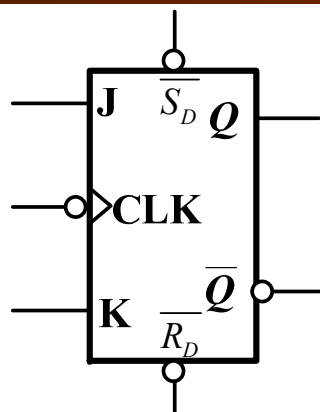


钟控D触发器

**注意1**，异步置1和清0端具有最高优先权，触发器正常工作时，其异步置1和清0端都应加无效电平。

1. 以后应用中如不指明，均是边沿触发器。
2. 边沿触发抗干扰能力强，且不存在空翻，应用广泛。

## 触发器的逻辑符号



## 集成边沿触发器逻辑符号

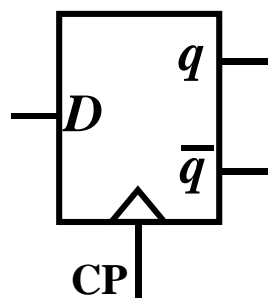
# 触发器电路的时序图

---

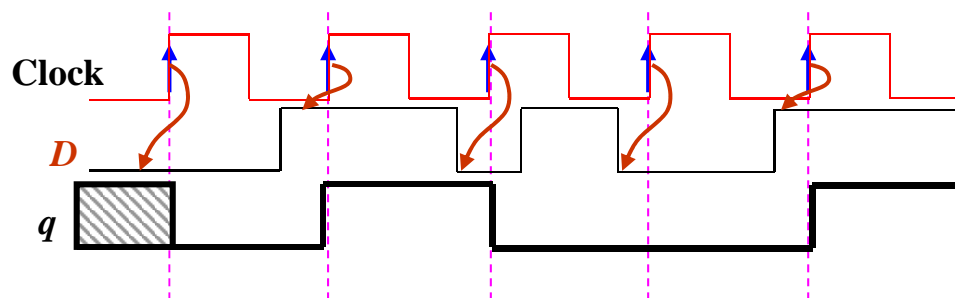
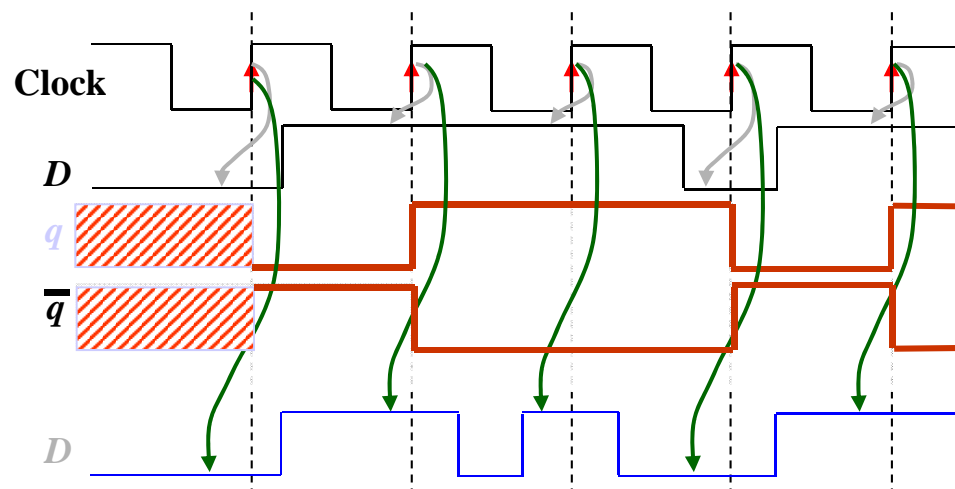
时序图的画法一般按以下步骤进行：

1. 以CLK和触发器动作特点为基准，确定同步变化时刻（或时段）；
2. 按时间顺序，当触发器能够改变状态时，根据触发器的状态方程或状态表确定其次态；
3. 如有异步清0、置1端，画波形时要注意其是否有效，一旦有效，立刻改变触发器状态，直至异步控制端无效。

# D触发器的时序波形图

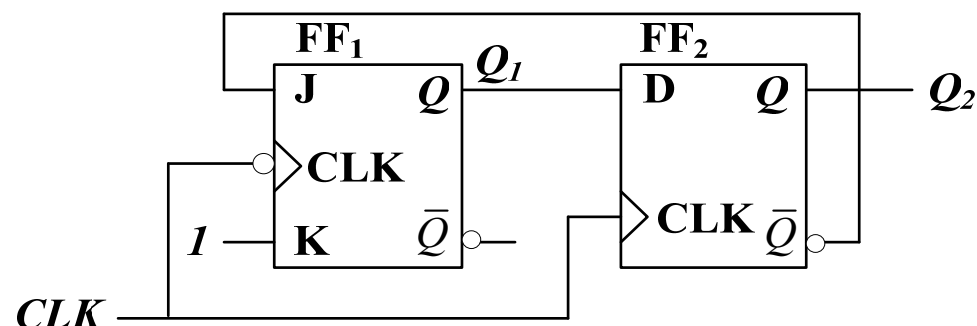


DFF的时序波形:



## 触发器电路示例

例：如图所示的电路中触发器都为边沿触发器，FF1为JK触发器，FF2为D触发器，初始状态均为0，试画出在CLK的作用下Q1、Q2的波形。

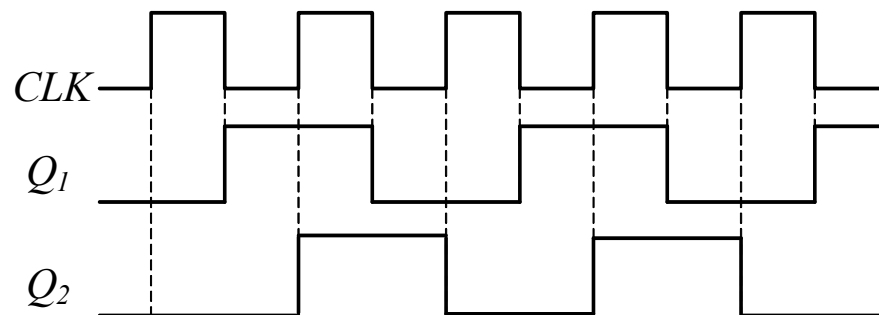


解：JK触发器改变在CLK下降沿，次态方程为

$$J = \bar{Q}_2 \quad K = 1 \quad Q_1^{n+1} = J\bar{Q}_1 + \bar{K}Q_1 = \bar{Q}_2\bar{Q}_1$$

D触发器改变在CLK上升沿，次态方程为

$$D = Q_1 \quad Q_2^{n+1} = D = Q_1$$





## \*思考

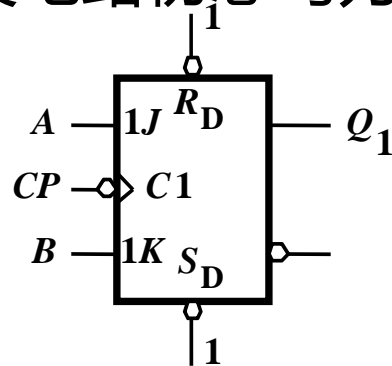
---

Q：如何用边沿触发的DFF、TFF及JKFF实现2分频电路？

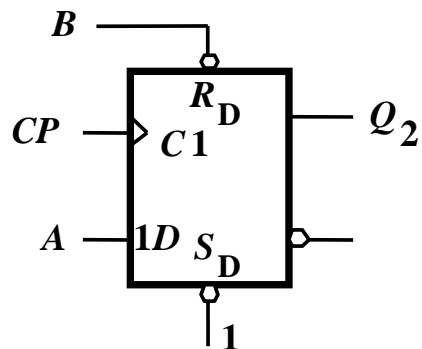
## 练习1

例：边沿JK触发器和D触发器分别如图 (a)、(b)所示，其输入波形见图(c)，试分别画出 $Q_1$ 、 $Q_2$ 端的波形。

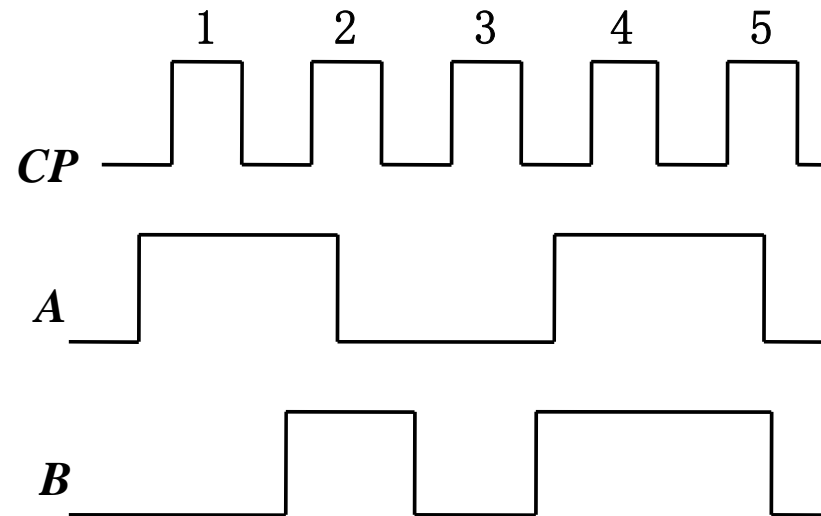
( 设电路初态均为0 )



(a)



(b)

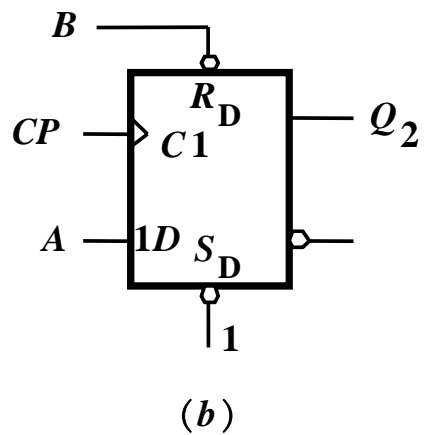
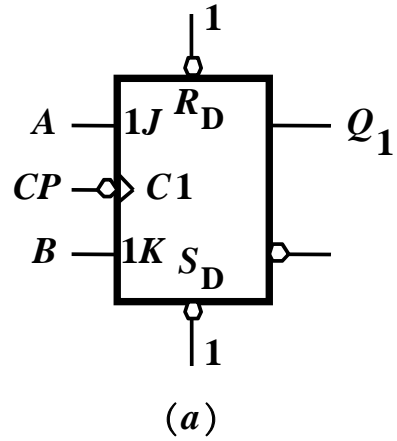


$Q_1$

$Q_2$

(c)

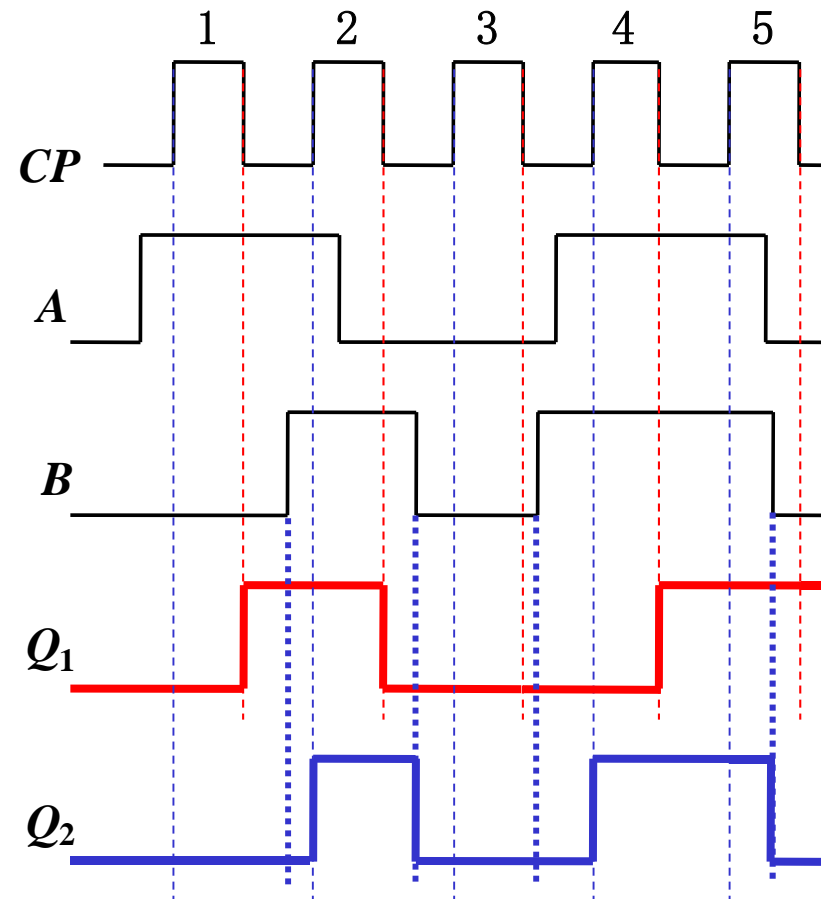
# 练习1



分析:

$$Q_1^{n+1} = JQ_1 + KQ_1 = AQ_1 + BQ_1$$

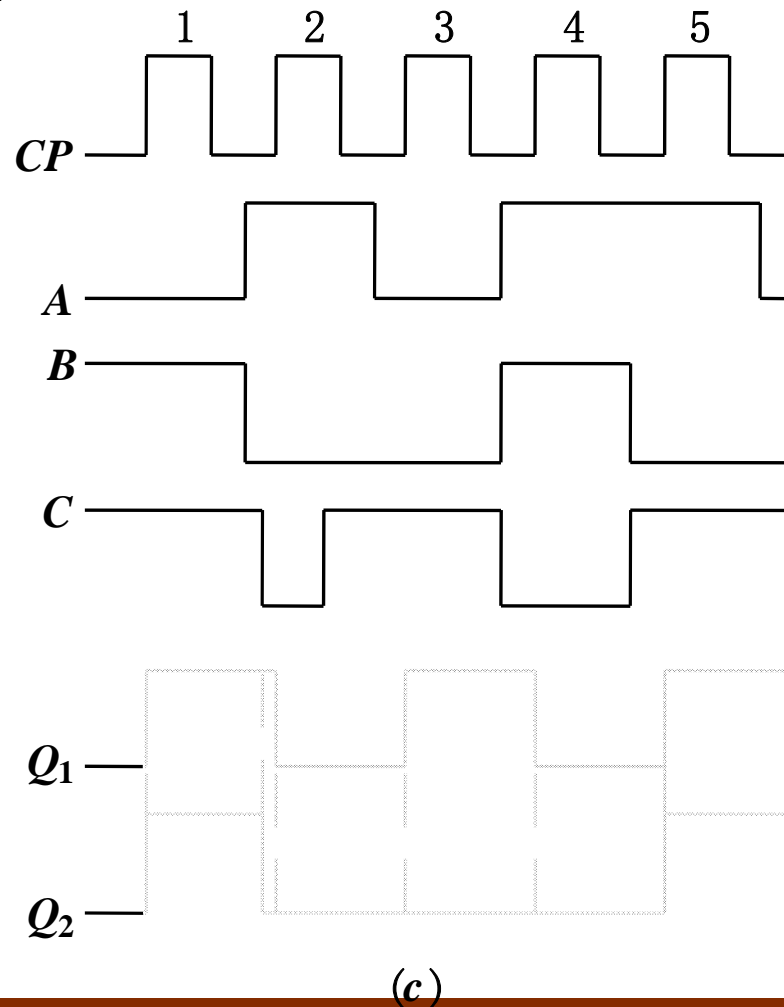
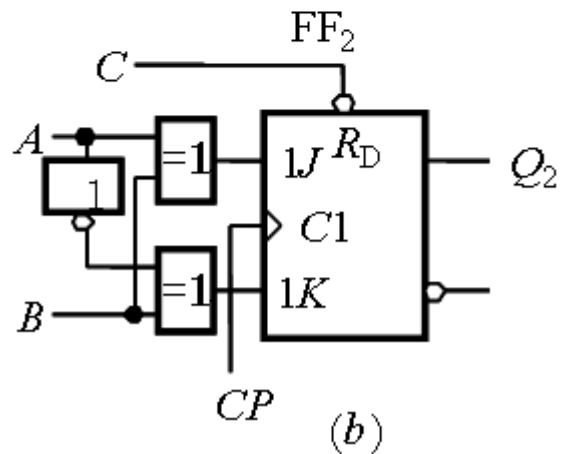
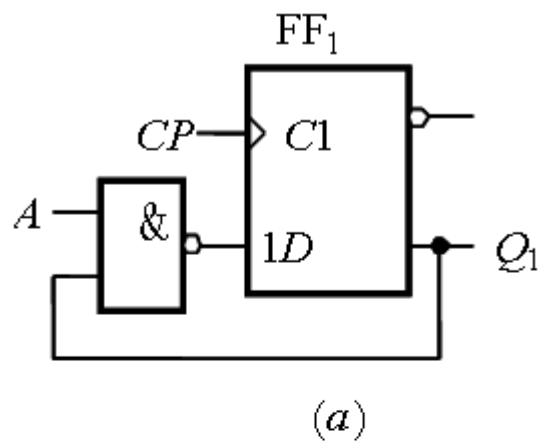
$$Q_2^{n+1} = D = A \quad (\text{当 } B=0 \text{ 时, } Q_2^{n+1} = 0)$$



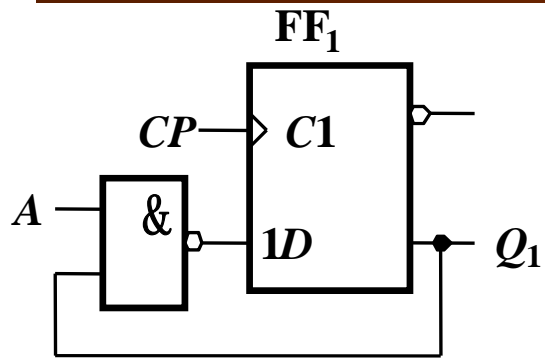
设电路初态均为0

## 练习2

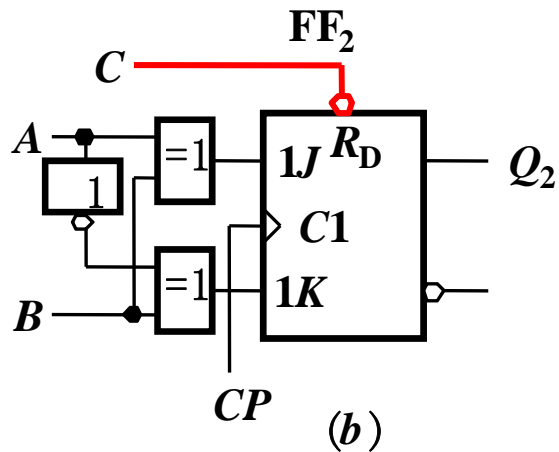
TTL边沿触发器组成的电路分别如图(a)、(b)所示，其输入波形见图(c)，试分别画出 $Q_1$ 、 $Q_2$ 端的波形。（设电路初态均为0）



## 练习2



(a)  $Q_1^{n+1} = D = \overline{A}Q_1$

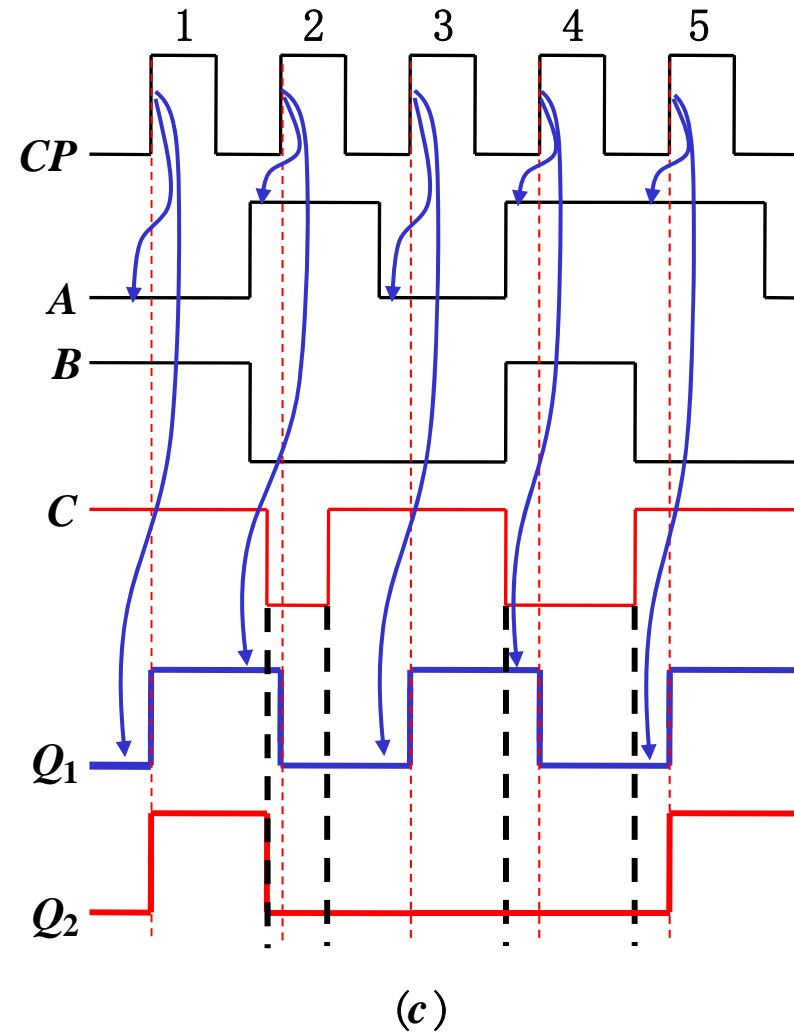


(b)

$$Q_2^{n+1} = J\overline{Q}_2 + \overline{K}Q_2$$

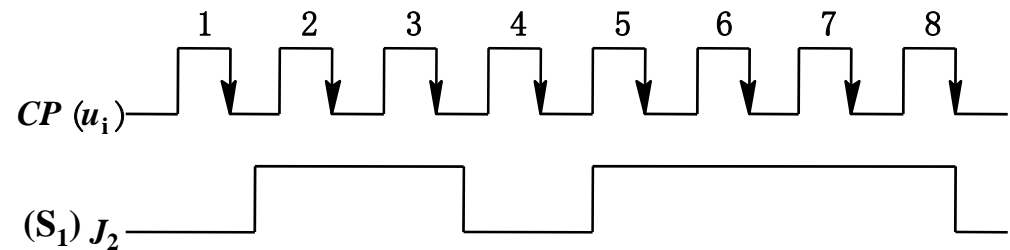
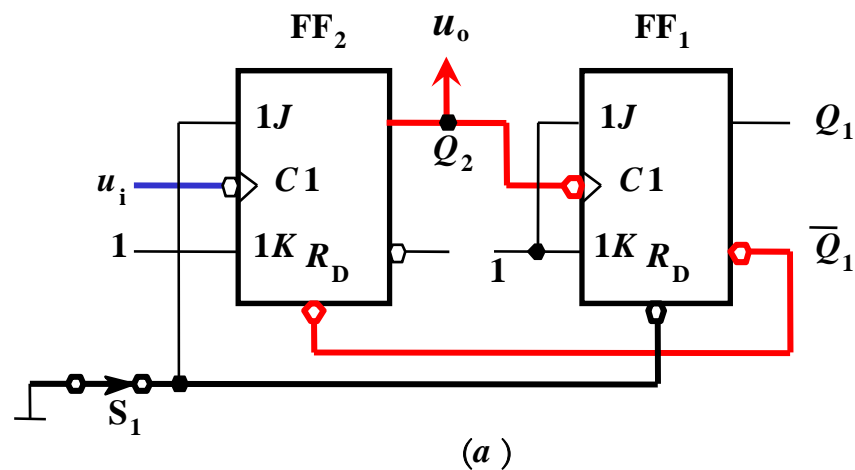
$$= (A \oplus B) \cdot \overline{Q}_2 + (\overline{A \odot B})Q_2$$

$$= A \oplus B$$



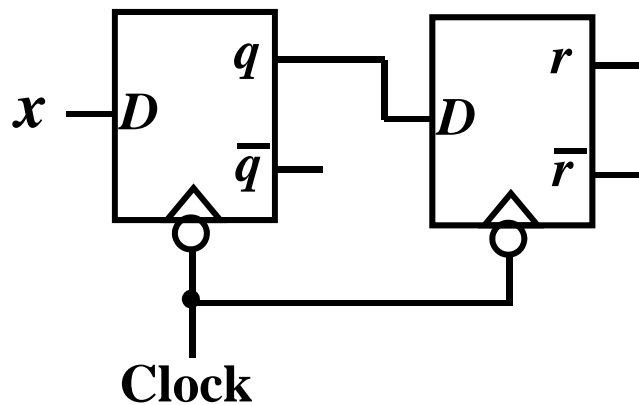
## 练习3

图5-27(a)是由两个JK触发器构成的单脉冲发生器，其输入 $u_i$ 为时钟脉冲的连续序列，输出由人工按钮开关 $S_1$ 控制，每按一次，输出一个脉冲。输出脉冲的宽度仅决定于输入时钟脉冲的周期。试画出输出端 $u_o$ 的波形图。

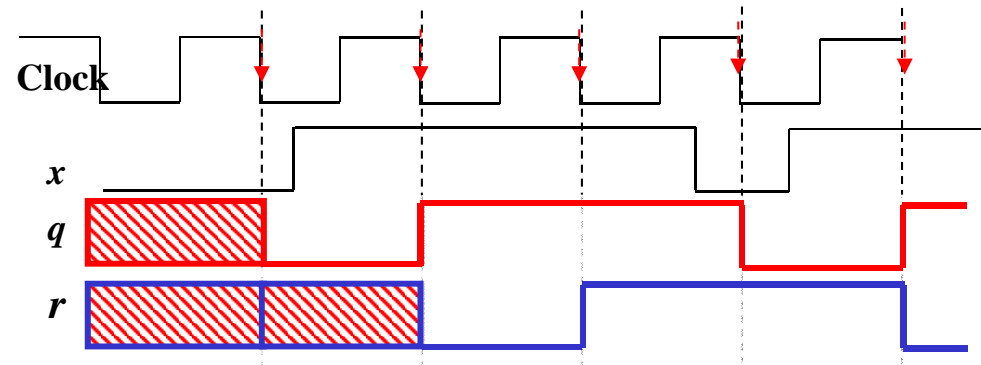


## 练习3

将2个下降沿触发的DFF如图所示级联，试根据图中给定的Clock信号和输入信号 $x$ ，画出 $q$ 和 $r$ 的时序波形。



Two flip flops

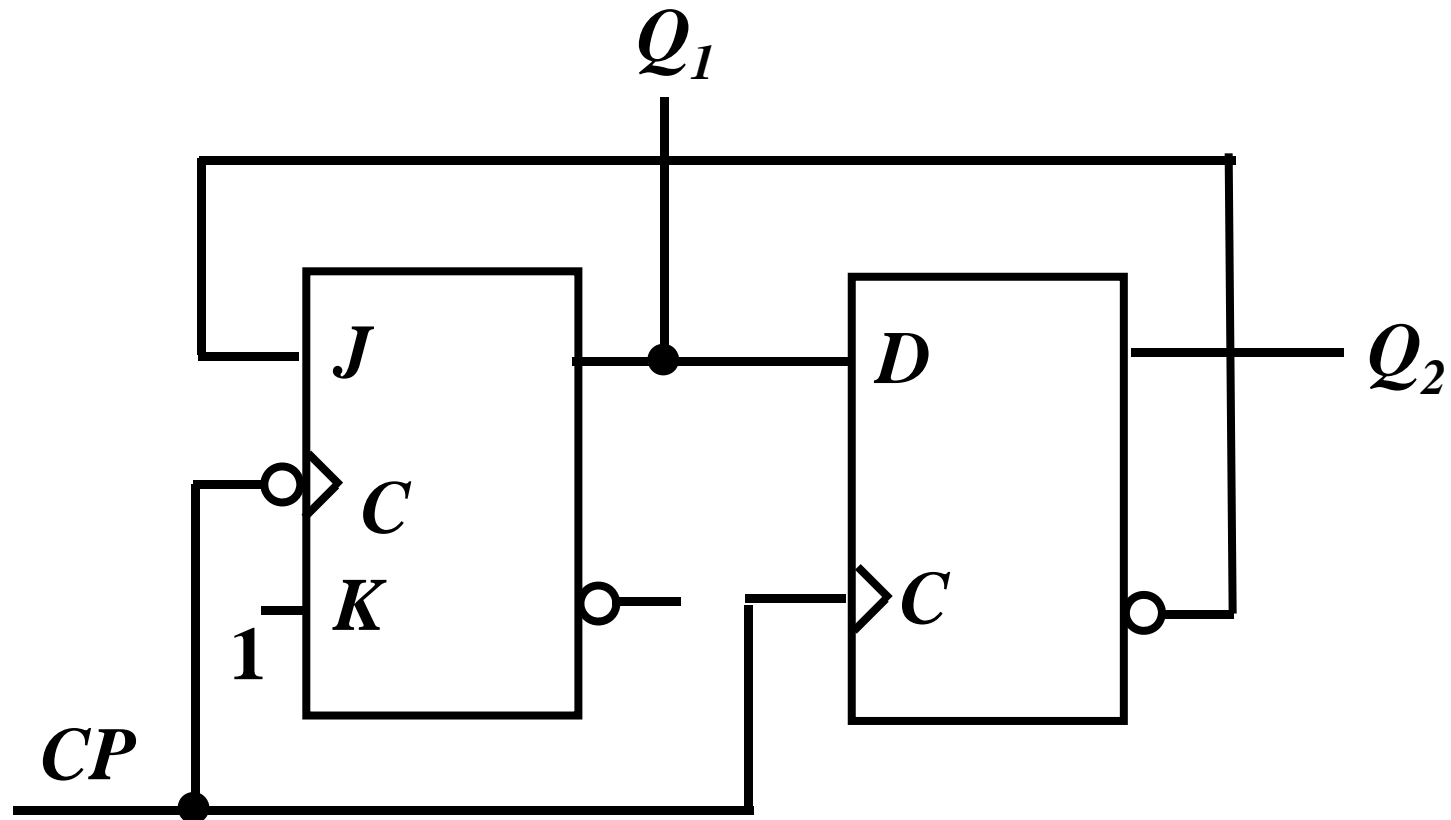


Timing for two flip flops

**Note:** *The output of flip flop  $r$  is a replica of that of  $q$ , delayed by one clock period. The name of the **D** flip flop comes from **D**elay.*

## 练习4

例5-4 画出图中 $Q_1$ 、 $Q_2$ 的波形，两个触发器的初始状态均为0。

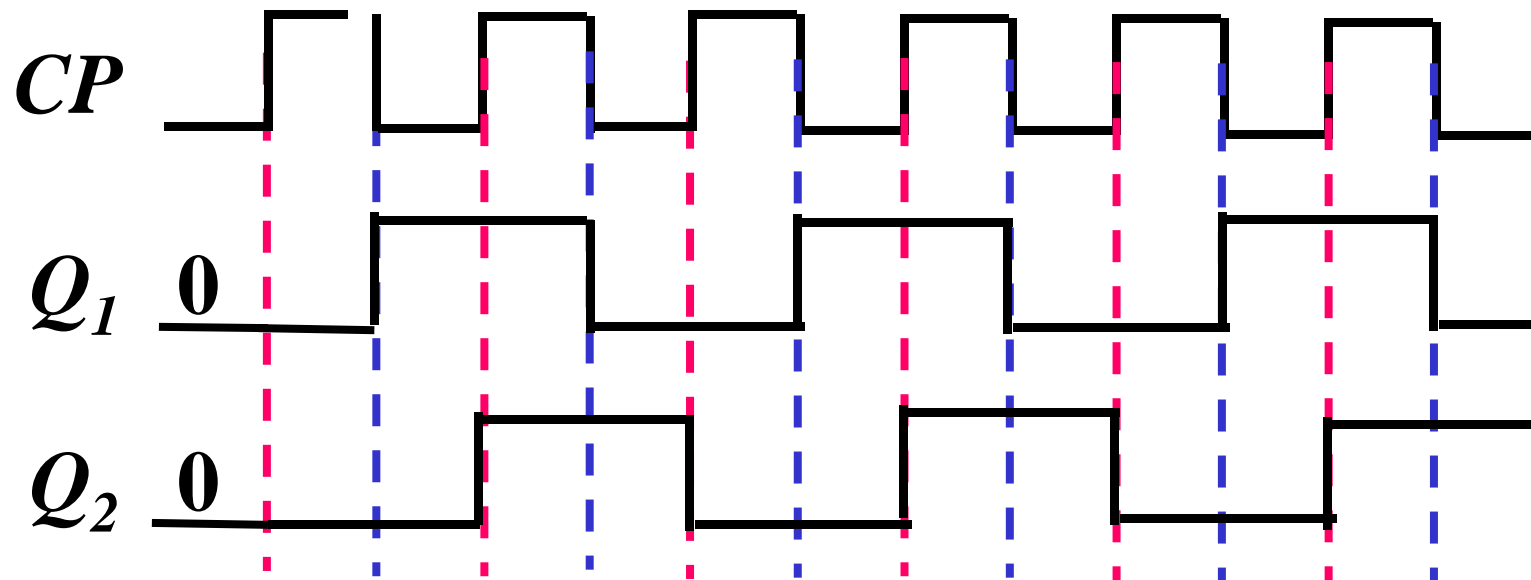




## 练习4

$$\downarrow Q_1^{n+1} = J\overline{Q_1} + \overline{K}Q_1 = \overline{Q_1} \cdot \overline{Q_2}$$

$$\uparrow Q_2^{n+1} = D = Q_1$$



## \*触发器的应用举例

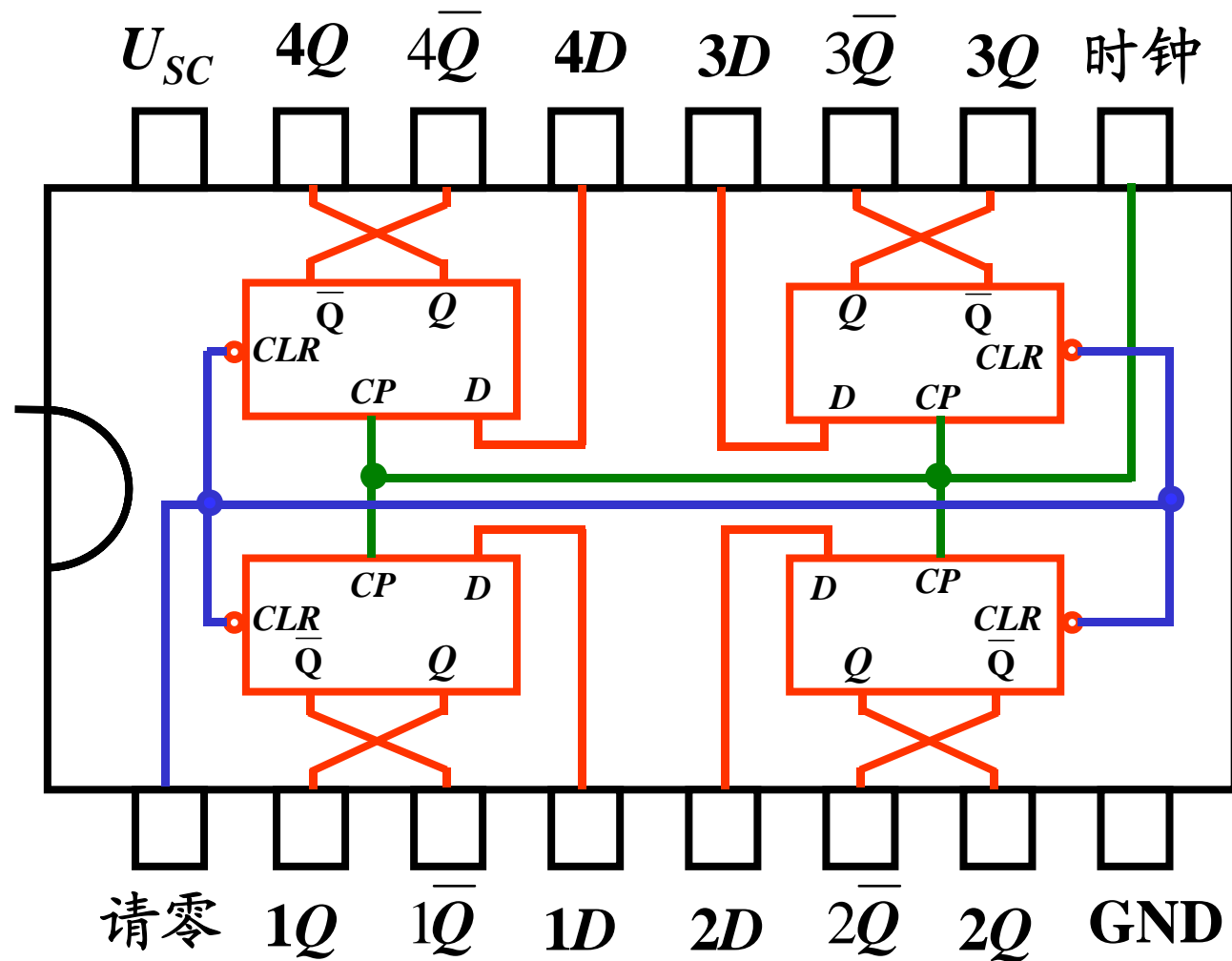
---

### 例5-5 四人抢答电路。

四人参加比赛，每人一个按钮，其中最先按下按钮者，相应的指示灯亮；其他人再按按钮不起作用。

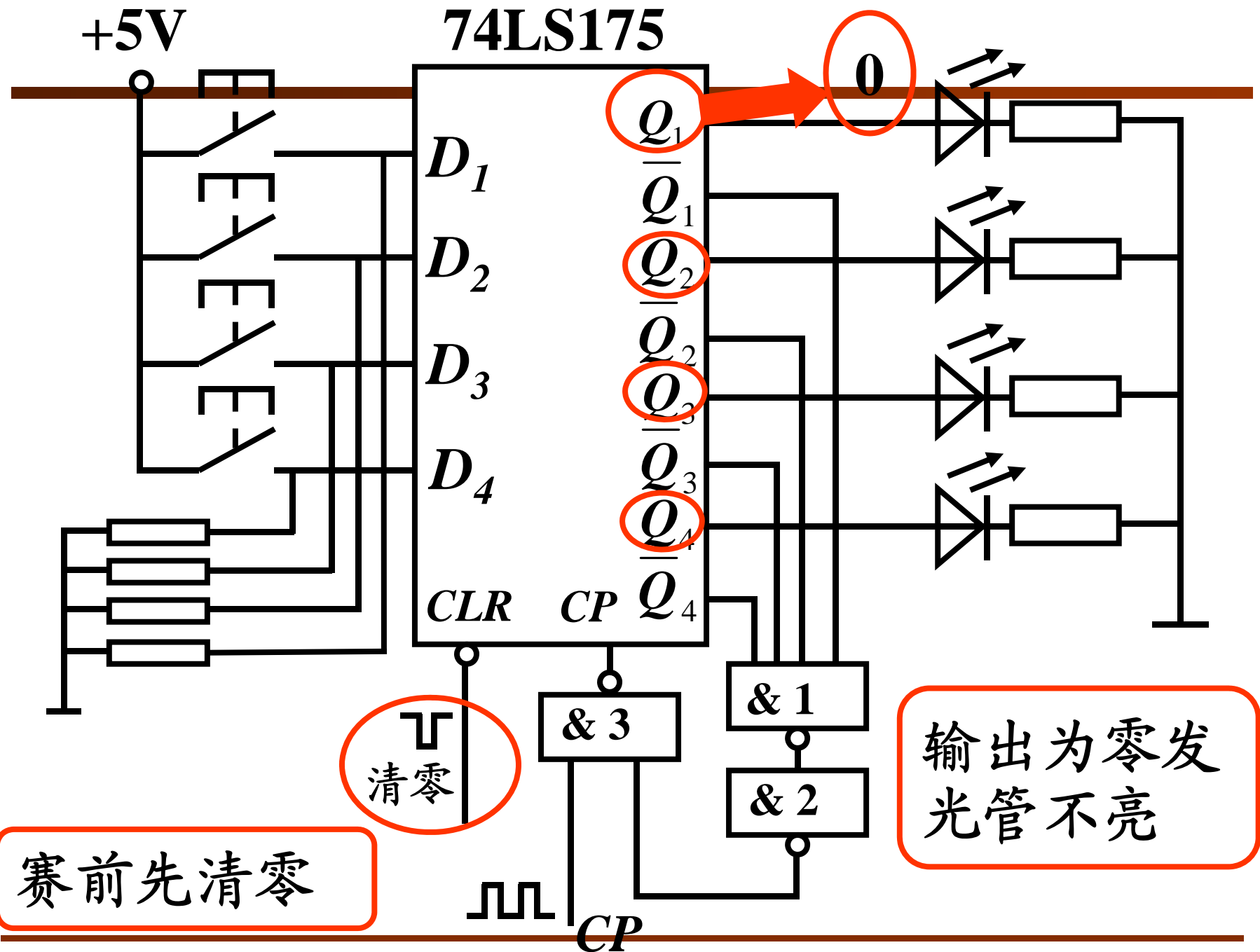
电路的核心用74LS175四D触发器。其内部包含了四个D触发器，各输入、输出以字头相区别，管脚图见下页。

# 公用时钟



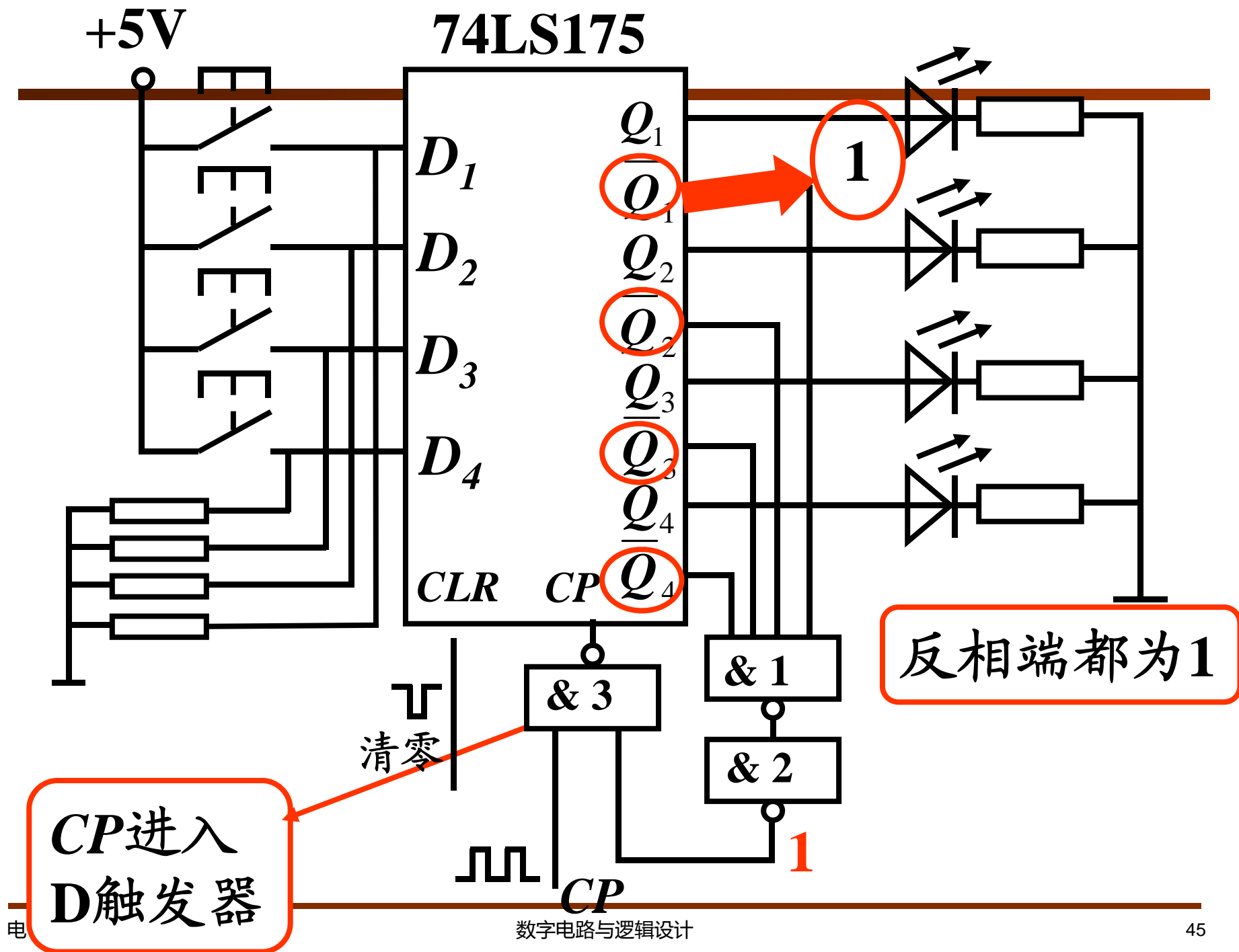
# 公用清零

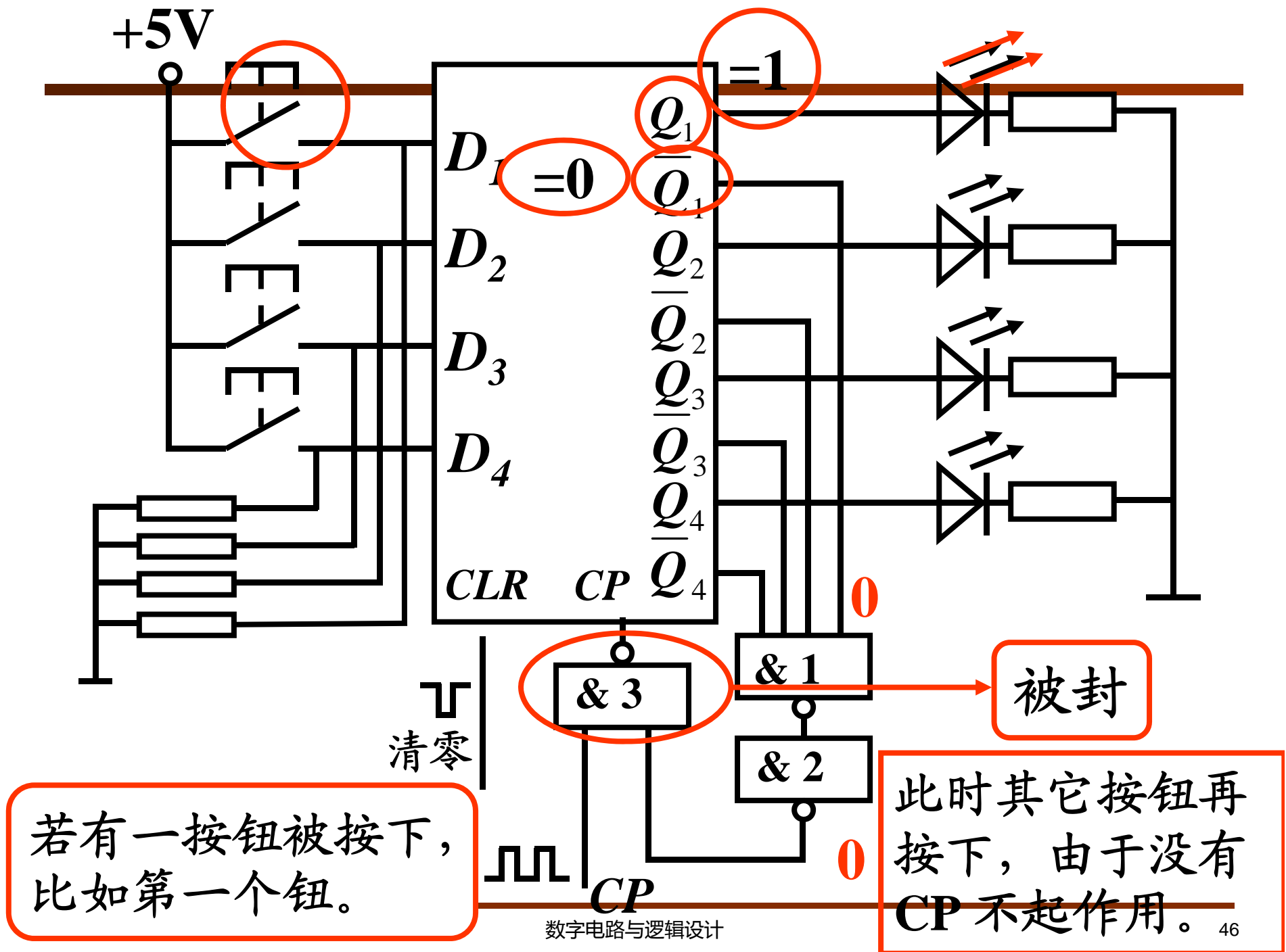
## 74LS175管脚图



赛前先清零

输出为零发光管不亮





---

本章完，谢谢大家！

# 作业

---

- 4-4
- 4-7
- \*4-8