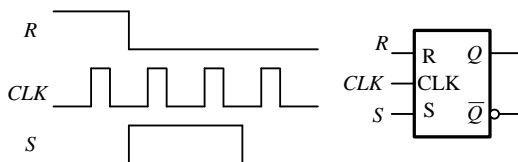


第四章习题

4-1 写出各个触发器的特征方程、列激励表。

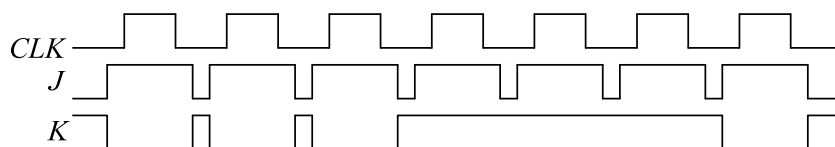
(a) JK 触发器；(b) D 触发器；(c) T 触发器。

4-2 画出习题 4-2 图所示的触发器电路 Q 和 \bar{Q} 的波形，设触发器的初始状态为 0。



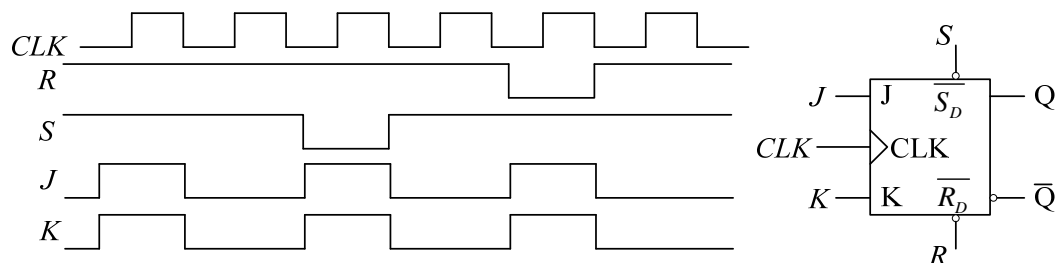
习题 4-2 图

4-3 设触发器为下降沿有效的主从 JK 触发器，输入如习题 4-3 图所示，画出 Q 的波形，设初始状态为 0。



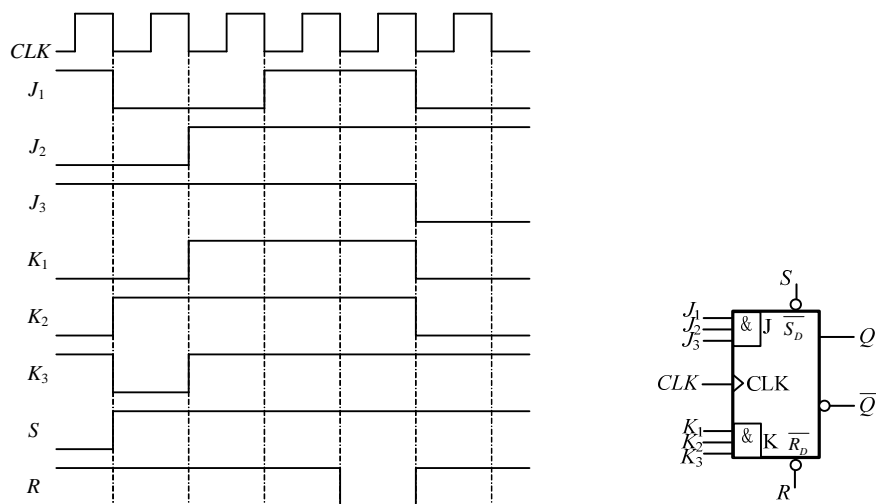
习题 4-3 图

4-4 触发器电路如习题 4-4 图所示，画出 Q 的波形，设触发器的初始状态为 0。



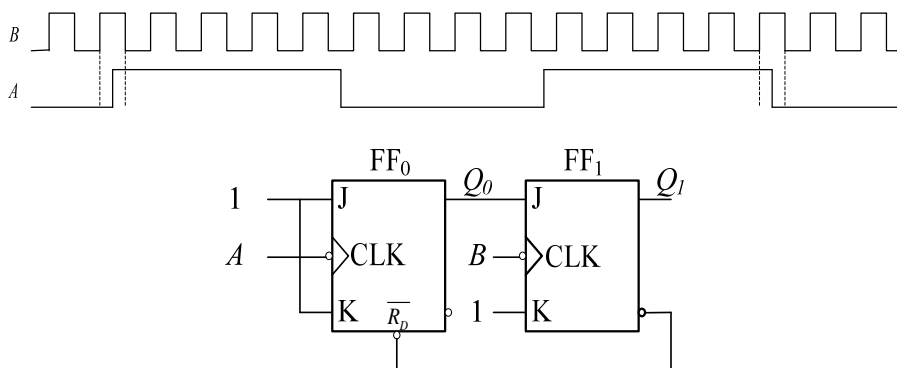
习题 4-4 图

4-5 对习题 4-5 图所示的触发器电路，画出 Q 的波形。



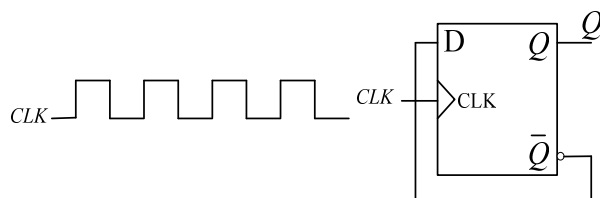
习题 4-5 图

4-6 在习题 4-6 图所示的触发器电路中， A 和 B 的波形已知，对应画出 Q_0 和 Q_1 的波形，设触发器的初始状态都为 0。



习题 4-6 图

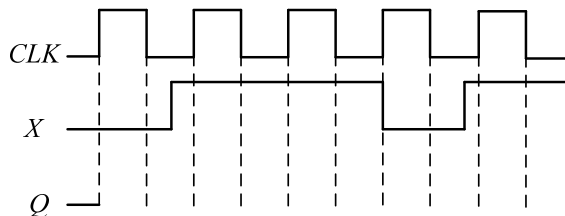
4-7 触发器电路如习题 4-7 图所示，画出 Q 的波形。这个器件可执行什么特定功能？



习题 4-7 图

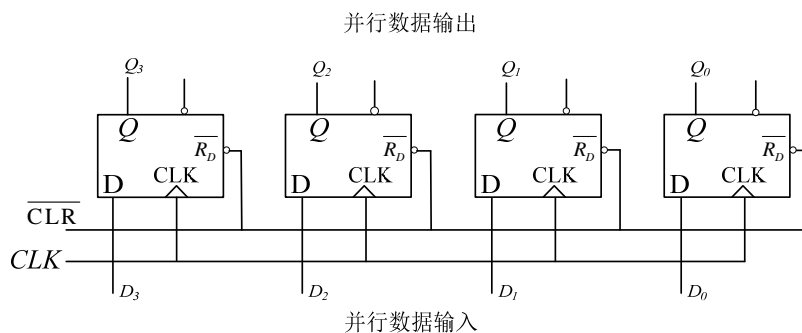
4-8 如果把一个时钟下降沿 JK 触发器转换成时钟上升沿 D 触发器，设 X 为 D 触发器的输入。

- (1) 试写出该触发器的 J, K 表达式;
- (2) 画出 JK 触发器实现 D 触发器的电路图;
- (3) 完成习题 4-8 图所示的时序波形 (设 Q 初态为 0,)。



习题 4-8 图

4-9 习题 4-9 图所示的并行数据存储电路工作不正常。检查时, 先确定 V_{CC} 和地连接正常。接着在所有 D 输入端接 0 并加时钟脉冲, 查 Q 输出发现全为 0。接下来在所有 D 输入端接 1 再加时钟脉冲, 查 Q 输出发现仍全为 0。试问最可能是什么问题? 说明理由。



习题 4-9 图