

Donnez des précisions sur le style d'écriture du process suivant :

```
ClockGenerator; process
begin
while not Stop loop
    Clock <= '0';
    wait for 5 NS;
    Clock <= '1';
    wait for 5 NS;
end loop;
wait;
end process;
```

Veillez choisir au moins une réponse.

- ☒ a. Process non synthétisable ✓
- ☐ b. Process combinatoire
- ☐ c. Process synthétisable
- ☒ d. Process utilisable dans un banc de test ✓
- ☐ e. Process synchrone

Votre réponse est correcte.
Les réponses correctes sont :
Process non synthétisable,
Process utilisable dans un banc de test

Donnez des précisions sur le style d'écriture du process suivant :

```
process(Clock,Reset)
Begin
    if (Reset = '1') then
        ...
    elsif Rising_edge(Clock) then
        ...
    end if;
end process;
```

Veillez choisir au moins une réponse.

- ☐ a. Mauvais style de process
- ☒ b. Bon style d'écriture d'un process ✓
- ☐ c. Process combinatoire
- ☒ d. Process synchrone ✓

Votre réponse est correcte.
Les réponses correctes sont :
Process synchrone,
Bon style d'écriture d'un process

Donnez des précisions sur le style d'écriture du process suivant :

```
process(All_Inputs)
begin
    -- Sorties assignés dans tous les cas
end process;
```

Veillez choisir au moins une réponse.

- ☐ a. Process synchrone
- ☒ b. Bon style de process ✓
- ☐ c. Mauvais style de process
- ☒ d. Process combinatoire ✓

Votre réponse est correcte.
Les réponses correctes sont :
Process combinatoire,
Bon style de process

Choisissez les spécifications qui caractérisent le code suivant

```
process
begin
    reset <= '1';
    wait for 50 NS;
    reset <= '0';
    wait;
end process ;
```

- ☒ a. Le process s'exécute qu'une seule fois ✓
- ☐ b. Génération d'une horloge
- ☐ c. Le process s'exécute en boucle
- ☐ d. Process synthétisable
- ☒ e. Process non synthétisable ✓
- ☒ f. Génération d'un reset ✓

Votre réponse est correcte.
Les réponses correctes sont :
Le process s'exécute qu'une seule fois,
Process non synthétisable,
Génération d'un reset

Choisissez les spécifications qui caractérisent le circuit suivant :

```
entity cell3 is
port( i0, i1, i2 : in std_logic ;
      out0 : out std_logic ) ;
end entity;
architecture circuit1 of cell3 is
begin
process (i1, i0)
begin
    if (i0 = '1') then
        out0 <= '0';
    elsif rising'edge(i1) then
        out0 <= i2;
    end if
end process;
end architecture;
```

Veuillez choisir au moins une réponse.

- ☒ a. Bascule D Flip-Flop avec un reset asynchrone ✓
- ☐ b. Bascule D Latch
- ☐ c. Multiplexeur 2 vers 1
- ☐ d. Circuit combinatoire
- ☒ e. Circuit synchrone ✓
- ☒ f. Circuit séquentiel ✓
- ☐ g. Registre à décalage
- ☐ h. Bascule D Flip-Flop avec un reset synchrone
- ☐ i. Circuit asynchrone

Votre réponse est correcte.

Les réponses correctes sont : Circuit synchrone, Circuit séquentiel, Bascule D Flip-Flop avec un reset asynchrone

分区 新分区 1 的第 5 页

Choisissez les spécifications qui caractérisent le circuit suivant :

```
entity cell2 is
port( i0, i1 : in std_logic ;
      out0 : out std_logic ) ;
end entity;
architecture circuit2 of cell2 is
begin
process (i0, i1)
begin
    if (i0= '1') then
        out0 <= i1;
    end if;
end process;
end architecture;
```

Veuillez choisir au moins une réponse.

- ☐ a. Circuit synchrone
- ☐ b. Multiplexeur 2 vers 1
- ☒ c. Circuit séquentiel ✓
- ☒ d. Bascule D Latch ✓
- ☒ e. Circuit asynchrone ✓
- ☐ f. Registre à décalage
- ☐ g. Circuit combinatoire
- ☐ h. Bascule D Flip-Flop avec un reset synchrone

Votre réponse est correcte.

Les réponses correctes sont : Circuit asynchrone, Circuit séquentiel, Bascule D Latch

分区 新分区 1 的第 6 页

La synthèse RTL permet d'optimiser la logique combinatoire entre registre ?

- ☒ Vrai ✓
- ☐ Faux

La réponse correcte est « Vrai ».

Quels sont les langages qui permettent de décrire et synthétiser un circuit logique (langages de description matérielle) ?

Veuillez choisir au moins une réponse.

- ☐ a. Langage C
- ☒ b. Verilog ✓
- ☐ c. HTML
- ☐ d. JAVA
- ☒ e. System Verilog ✓
- ☒ f. VHDL ✓

Votre réponse est correcte.

Les réponses correctes sont : VHDL, Verilog, System Verilog

分区 新分区 1 的第 7 页

Quelles sont les caractéristiques des ASIC ?

Veuillez choisir au moins une réponse.

- ☐ a. Time to market faible
- ☐ b. Possibilité de faire du prototypage
- ☒ c. Coûts faibles pour de gros volumes de production (> 1 million de pièce) ✓
- ☒ d. les plus hautes performances (vitesse, low power) ✓
- ☒ e. Time to market élevé ✓
- ☒ f. Meilleure sécurité industrielle ✓
- ☐ g. Flexible
- ☒ h. Fabrication réservée aux spécialistes (fondeur) ✓
- ☐ i. Reprogrammable

Votre réponse est correcte.

Les réponses correctes sont :

les plus hautes performances (vitesse, low power),

Meilleure sécurité industrielle,

Time to market élevé,

Fabrication réservée aux spécialistes (fondeur),

Coûts faibles pour de gros volumes de production (> 1 million de pièce)

分区 新分区 1 的第 8 页

Quelles sont les caractéristiques des FPGA ?

Veuillez choisir au moins une réponse.

- ☐ a. les plus hautes performances (vitesse, low power)
- ☒ b. Possibilité de faire du prototypage ✓
- ☒ c. Time to market faible ✓
- ☐ d. Time to market élevé
- ☐ e. Meilleure sécurité industrielle
- ☒ f. Flexible ✓
- ☒ g. Reprogrammable ✓

Votre réponse est correcte.

Les réponses correctes sont :

Flexible,

Reprogrammable,

Possibilité de faire du prototypage,

Time to market faible

分区 新分区 1 的第 9 页

Donnez des précisions sur le style d'écriture du process suivant :

```
process(Clock,Reset,Ena)
```

```
begin
```

```
    if Reset = '1' then
```

```
        -- Actions asynchrone
```

```
    elsif Rising_edge(Clock) and Ena = '1' then
```

```
        -- Actions synchrones
```

```
    end if;
```

```
end process;
```

Veuillez choisir au moins une réponse.

- ☒ a. Mauvais style de process ✓
- ☐ b. Bon style de process

Votre réponse est correcte.

La réponse correcte est :

Mauvais style de process

分区 新分区 1 的第 10 页

Choisissez les spécifications qui caractérisent le circuit suivant :

```
entity cell3 is
port( i0, i1, i2 : in std_logic ;
      out0 : out std_logic ) ;
end entity;
architecture circuit4 of cell3 is
    signal reg: std_logic_vector(7 downto 0);
begin
    process(i1)
    begin
        if Rising_edge(i1) then
            reg(7) <= i2;
            reg(6 downto 0) <= reg(7 downto 1);
            out0 <= reg(0);
        end if;
    end process;
end architecture;
```

Veuillez choisir au moins une réponse.

- ☒ a. Circuit synchrone ✓
- ☐ b. Bascule D Latch
- ☐ c. Circuit combinatoire
- ☐ d. Multiplexeur 2 vers 1
- ☐ e. Bascule D Flip-Flop avec un reset synchrone
- ☐ f. Circuit asynchrone
- ☒ g. Registre à décalage ✓
- ☒ h. Circuit séquentiel ✓

Votre réponse est correcte.

Les réponses correctes sont : Circuit synchrone, Circuit séquentiel, Registre à décalage

分区 新分区 1 的第 11 页

Choisissez les spécifications qui caractérisent le circuit suivant :

```
entity cell3 is
port( i0, i1, i2 : in std_logic ;
      out0 : out std_logic ) ;
end entity;
architecture circuit3 of cell3 is
begin
    process (i0, i1,i2)
    begin
        if (i0 = '1') then
            out0 <= i1;
        else
            out0 <= i2;
        end if;
    end process;
end architecture;
```

Veuillez choisir au moins une réponse.

- ☒ a. Circuit combinatoire ✓
- ☒ b. Multiplexeur 2 vers 1 ✓
- ☐ c. Circuit séquentiel
- ☐ d. Circuit synchrone
- ☒ e. Circuit asynchrone ✓
- ☐ f. Bascule D Latch
- ☐ g. Registre à décalage
- ☐ h. Bascule D Flip-Flop avec un reset synchrone

Votre réponse est correcte.

Les réponses correctes sont : Circuit asynchrone, Circuit combinatoire, Multiplexeur 2 vers 1

分区 新分区 1 的第 12 页

```

entity cell3 is
port( i0, i1, i2 : in std_logic ;
      out0 : out std_logic) ;
end entity;
architecture circuit1 of cell3 is
begin
process (i1)
begin
    if rising'edge(i1) then
        if (i0 = '1') then
            out0 <= '0';
        else
            out0 <= i2;
        end if;
    end if
end process;
end architecture circuit1;

```

Veuillez choisir au moins une réponse.

- ☐ a. Registre à décalage
- ☒ b. Circuit séquentiel ✓
- ☐ c. Bascule D Flip-Flop avec un reset asynchrone
- ☐ d. Multiplexeur 2 vers 1
- ☒ e. Circuit synchrone ✓
- ☐ f. Bascule D Latch
- ☒ g. Bascule D Flip-Flop avec un reset synchrone ✓
- ☐ h. Circuit combinatoire
- ☐ i. Circuit asynchrone

Votre réponse est correcte.

Les réponses correctes sont : Circuit synchrone, Circuit séquentiel, Bascule D Flip-Flop avec un reset synchrone

Choisissez les spécifications qui caractérisent le circuit suivant :

```

entity cell4 is
port( i0, i1, i2, i3 : in std_logic ;
      out0, out1: out std_logic) ;
end entity;
architecture circuit1 of cell4 is
begin
process (i0, i1, i2, i3)
begin
    if (i0 = '1') then
        out0 <= i2;
    end if;
    if (i1 = '1') then
        out1 <= i3;
    end if;
end process;
end architecture circuit1;

```

Veuillez choisir au moins une réponse.

- ☐ a. Circuit synchrone
- ☐ b. Circuit séquentiel
- ☒ c. Circuit combinatoire ✗
- ☒ d. Circuit asynchrone ✓

Votre réponse est incorrecte.

Les réponses correctes sont : Circuit asynchrone, Circuit séquentiel

Donnez des précisions sur le style d'écriture du process suivant :

```

process(Clock,Reset)
Begin
    if Rising_edge(Reset) then
    ...
    elsif Rising_edge(Clock) then
    ...
    end if;
end process;

```

Veuillez choisir au moins une réponse.

- ☐ a. Bon style de process
- ☒ b. Mauvais style de process ✓

Votre réponse est correcte.

La réponse correcte est :
Mauvais style de process

Choisissez les spécifications qui caractérisent le circuit suivant :

```

entity cell4 is
port( i0, i1, i2, i3 : in std_logic ;
      out0, out1: out std_logic) ;
end entity;
architecture circuit1 of cell4 is
begin
process (i0, i1, i2, i3)
begin
    out0 <= '0';
    out1 <= '0';
    if (i0 = '1') then
        out0 <= i2;
    end if;
    if (i1 = '1') then
        out1 <= i3;
    end if;
end process;
end architecture circuit1;

```

Veuillez choisir au moins une réponse.

- ☐ a. Circuit séquentiel
- ☒ b. Circuit asynchrone ✓
- ☐ c. Circuit synchrone
- ☒ d. Circuit combinatoire ✓

Votre réponse est correcte.

Les réponses correctes sont : Circuit asynchrone, Circuit combinatoire

Quelles conditions doit-on respecter pour qu'un process en VHDL mène à la synthèse d'un circuit synchrone ?

Veuillez choisir au moins une réponse.

- ☐ a. Les signaux doivent prendre leurs nouvelles valeurs qu'à la fin du process.
- ☒ b. Liste de sensibilité doit inclure le clock et le reset (si il existe) et rien d'autre. ✓
- ☐ c. Les sorties doivent être assignés dans tout les cas afin d'éviter les bascule D Latch (verrou) et les boucles de retour.
- ☐ d. La liste de sensibilité doit être complète : tous les signaux lus dans le process doivent apparaître dans la liste de sensibilité.
- ☒ e. Respectez la structure if reset = '1' then elsif rising_edge(clk) then ✓

Votre réponse est correcte.

Les réponses correctes sont : Liste de sensibilité doit inclure le clock et le reset (si il existe) et rien d'autre., Respectez la structure if reset = '1' then elsif rising_edge(clk) then

分区 新分区 1 的第 17 页

Quelles sont les règles de fonctionnement d'un process ?

Veuillez choisir au moins une réponse.

- ☐ a. Les changements d'état des signaux par les instructions du process sont pris en compte immédiatement
- ☒ b. Les instructions du process s'exécutent séquentiellement. ✓
- ☐ c. Un process avec liste de sensibilité s'exécute en boucle
- ☒ d. Un process sans liste de sensibilité s'exécute en boucle ✓
- ☒ e. L'exécution d'un process a lieu à chaque changement d'état d'un signal de la liste de sensibilité ✓
- ☒ f. Les changements d'état des signaux par les instructions du process sont pris en compte à la fin du process ✓
- ☐ g. Les instructions du process s'exécutent en même temps (instructions concurrentes)

Votre réponse est correcte.

Les réponses correctes sont :

L'exécution d'un process a lieu à chaque changement d'état d'un signal de la liste de sensibilité,

Les instructions du process s'exécutent séquentiellement,

Les changements d'état des signaux par les instructions du process sont pris en compte à la fin du process,

Un process sans liste de sensibilité s'exécute en boucle

分区 新分区 1 的第 18 页

Donnez des précisions sur le style d'écriture du process suivant :

```
process(Clock,Reset)
begin
    if Reset = '1' then
        -- Actions asynchrone
    elsif Rising_edge(Clock) then
        -- Actions synchrones
    end if;
    -- d'autres actions
end process;
```

Veuillez choisir au moins une réponse.

- ☒ a. Mauvais style de process ✓
- ☐ b. Bon style de process

Votre réponse est correcte.

La réponse correcte est :
Mauvais style de process

L'ensemble du langage VHDL peut être utilisé pour la simulation ou la modélisation ?

- ☒ Vrai ✓
- ☐ Faux

La réponse correcte est « Vrai ».

分区 新分区 1 的第 19 页

Les performances des ASIC (vitesse, low-power) sont meilleures que les FPGA ?

- ☒ Vrai ✓
- ☐ Faux

La réponse correcte est « Vrai ».

分区 新分区 1 的第 20 页

Choisissez les spécifications qui caractérisent le circuit suivant :

```
entity cell4 is
port( i0, i1, i2, i3 : in std_logic ;
      out0, out1: out std_logic) ;
end entity;
architecture circuit1 of cell4 is
begin
  process (i0, i1)
begin
  out0 <= '0';
  out1 <= '0';
  if (i0 = '1') then
    out0 <= i2;
  end if;
  if (i1 = '1') then
    out1 <= i3;
  end if;
end process;
end architecture circuit1;
```

Veillez choisir au moins une réponse.

- ☒ a. Circuit combinatoire ✖
- ☐ b. Circuit synchrone
- ☐ c. Circuit séquentiel
- ☒ d. Circuit asynchrone ✔

Votre réponse est incorrecte.

Les réponses correctes sont : Circuit asynchrone, Circuit séquentiel

Donnez des précisions sur le style d'écriture du process suivant :

```
process(Clock)
Begin
  if Rising_edge(Clock) then
    if (Reset = '1') then
      .....
    else
      ...
    end if;
  end if;
end process;
```

Veillez choisir au moins une réponse.

- ☒ a. Process synchrone ✔
- ☐ b. Process combinatoire
- ☐ c. Bon style d'écriture d'un process
- ☒ d. Mauvais style de process ✖

Votre réponse est incorrecte.

Les réponses correctes sont :

Process synchrone,

Bon style d'écriture d'un process

Quelles conditions doit-on respecter pour qu'un process en VHDL mène à la synthèse d'un circuit combinatoire?

Veillez choisir au moins une réponse.

- ☐ a. Respectez la structure if reset = '1' then elsif rising_edge(clk) then
- ☒ b. La liste de sensibilité doit être complète : tous les signaux lus dans le process doivent apparaître dans la liste de sensibilité. ✔
- ☒ c. Les sorties doivent être assignés dans tout les cas afin d'éviter les bascule D Latch (verrou) et les boucles de retour. ✔
- ☐ d. Les signaux doivent prendre leurs nouvelles valeurs qu'à la fin du process.
- ☐ e. Liste de sensibilité doit inclure le clock et le reset (si il existe) et rien d'autre.

Votre réponse est correcte.

Les réponses correctes sont : Les sorties doivent être assignés dans tout les cas afin d'éviter les bascule D Latch (verrou) et les boucles de retour., La liste de sensibilité doit être complète : tous les signaux lus dans le process doivent apparaître dans la liste de sensibilité.

Choisissez les spécifications qui caractérisent le code suivant

```
process
```

```
begin
```

```
  Clock <= '0';
```

```
  wait for 5 NS;
```

```
  Clock <= '1';
```

```
  wait for 5 NS;
```

```
end process;
```

- ☒ a. Le process s'exécute en boucle ✔
- ☒ b. Génération d'une horloge ✔
- ☐ c. Le process s'exécute qu'une seule fois
- ☐ d. Génération d'un reset
- ☐ e. Process synthétisable
- ☒ f. Process non synthétisable ✔

Votre réponse est correcte.

Les réponses correctes sont :

Le process s'exécute en boucle,

Process non synthétisable,

Génération d'une horloge

Dans un FPGA, que peut on trouver dans un élément logique (Logic Element ou Logic Cell) ?

Veuillez choisir au moins une réponse.

- ☒ a. Multiplexeur ✓
- ☒ b. Carry Logic ✓
- ☐ c. PLL (Phase Lock Loop)
- ☐ d. DCM (Digital Clock Management)
- ☐ e. Blocs mémoire (RAM ou ROM)
- ☒ f. LUT : Look Up Table ✓
- ☐ g. Multiplieur cablé
- ☒ h. Bascule D Flip Flop ✓

Votre réponse est correcte.

Les réponses correctes sont :

Bascule D Flip Flop,

LUT : Look Up Table,

Carry Logic,

Multiplexeur