



第五章

时序逻辑电路的分析与设计

宗 汝

西安电子科技大学电子工程学院

Email: zongru@xidian.edu.cn

主要内容

- 一 . 时序电路定义和分类
- 二 . 时序电路的功能描述方法
- 三 . 同步时序电路的分析
- 四 . 同步时序电路的设计

学习目标

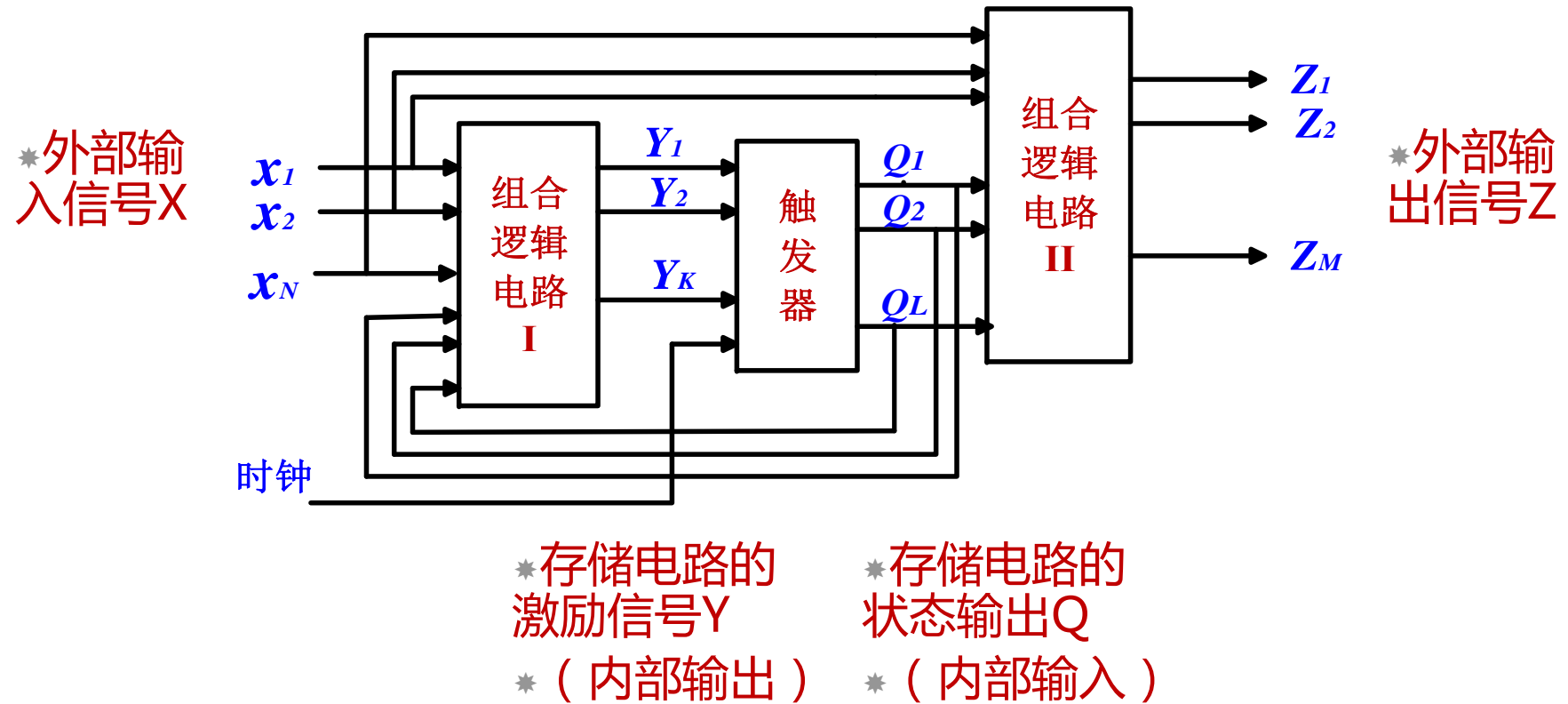
- 掌握时序逻辑电路的概念、结构及其特点
- 掌握时序逻辑电路的分类
- 掌握同步时序逻辑电路的分析
- 掌握同步时序逻辑电路的设计

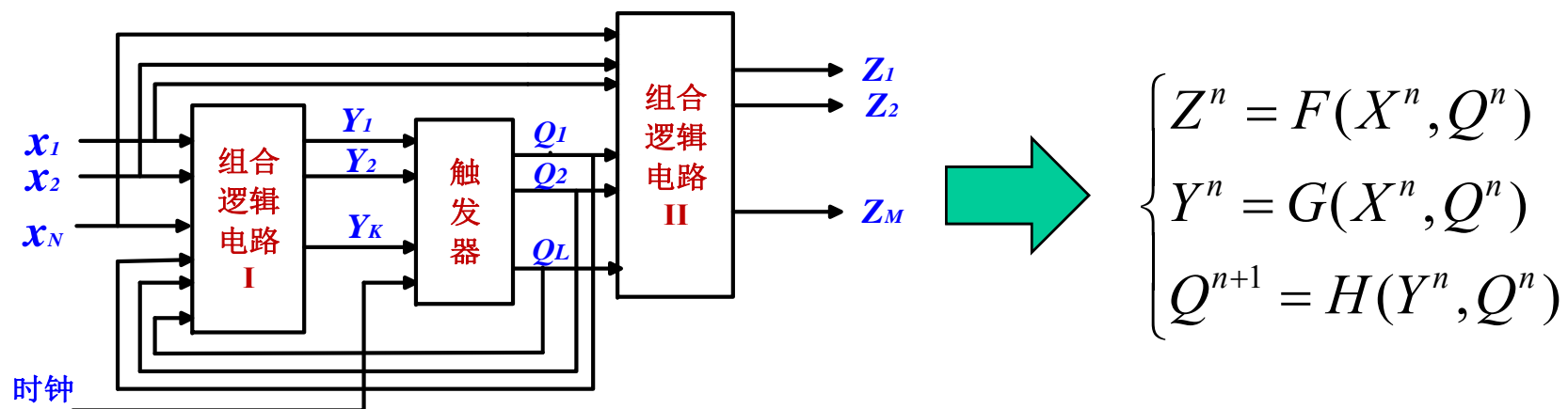
时序逻辑电路概念

时序逻辑电路

特点：

1. 具有记忆元件（最常用的是触发器）。
2. 具有反馈通道。





- 时序逻辑电路某时刻的输出 Z^n 取决于该时刻的外部输入 X^n 和内部状态 Q^n ；
- 而时序逻辑电路的下一状态 Q^{n+1} 同样决定于 X^n 和 Q^n 。

时序逻辑电路的工作过程实质上就是在不同的输入条件下，内部状态不断更新的过程。

以上三个方程习惯
写成如下形式：

★输出方程： $Z = F(X, Q)$

★激励方程： $Y = G(X, Q)$

★状态方程： $Q^{n+1} = H(Y, Q)$

时序逻辑电路的分类

- 按触发器状态转换的步调分：

同步与异步

- 按电路输出信号的特点分：

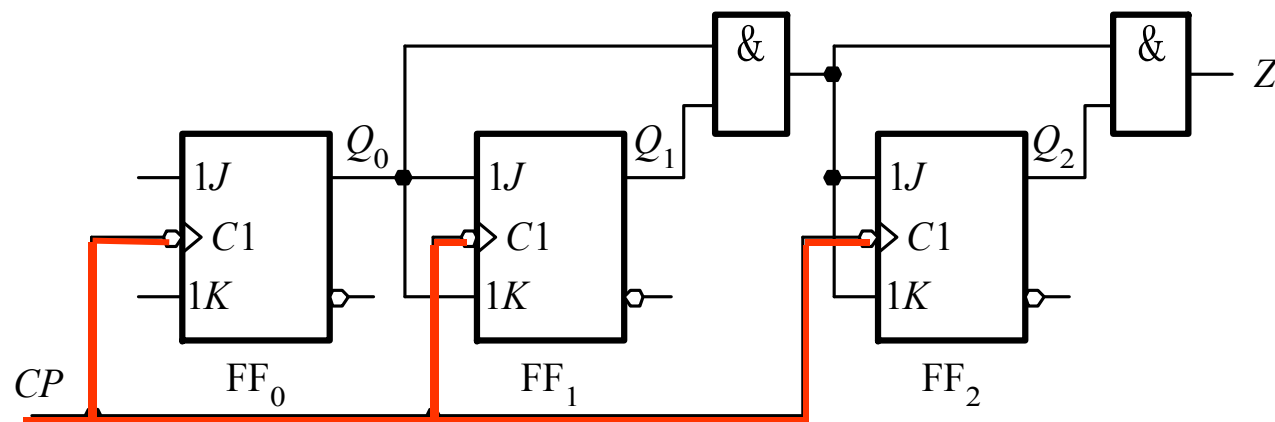
Mealy型

Moore型

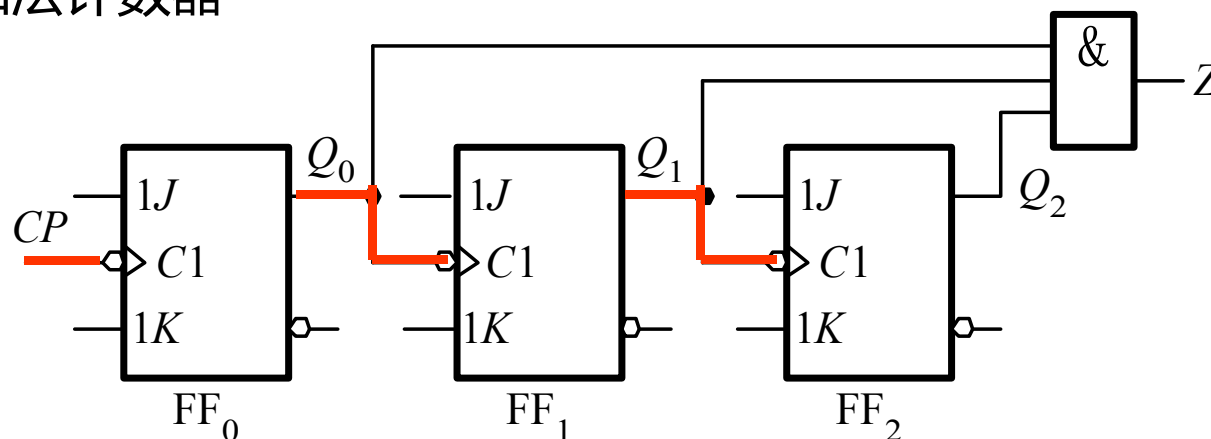
特殊Moore型

时序逻辑电路的分类：同步 vs 异步

(1) 接触发器状态转换的步调分：同步与异步



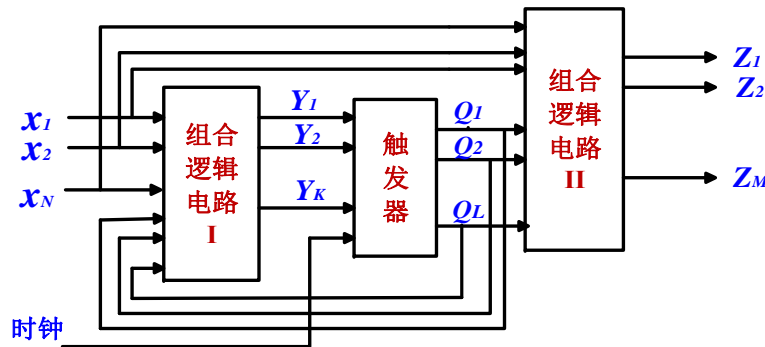
同步二进制加法计数器



异步二进制加法计数器

时序逻辑电路的分类：Mealy vs Moore

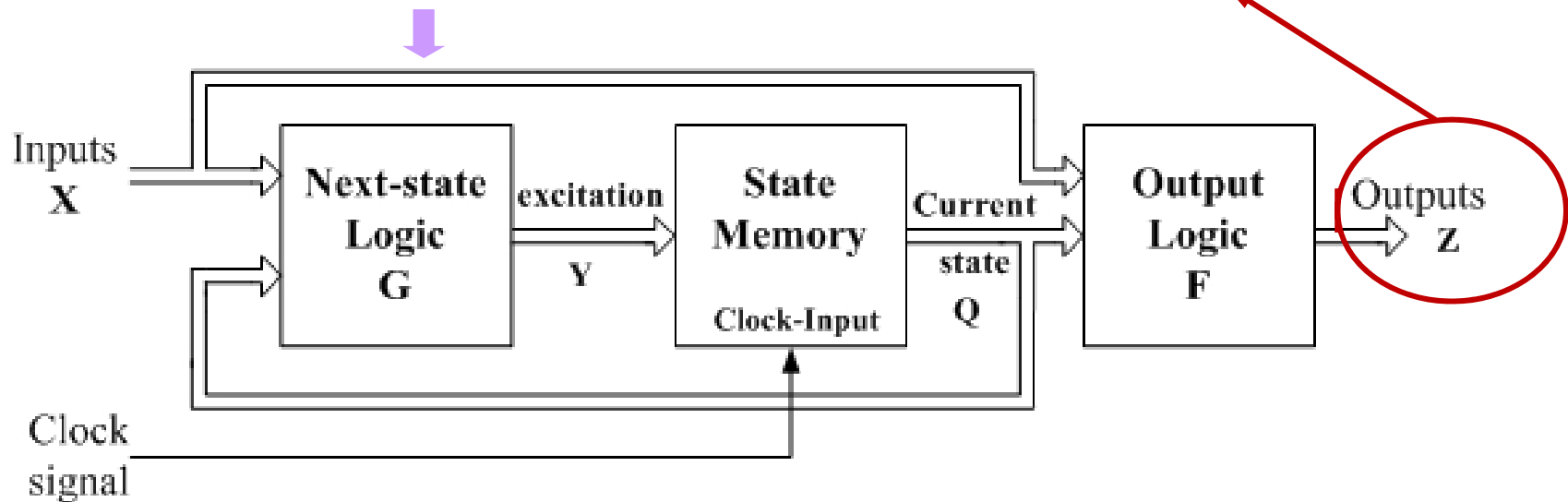
(2) 按电路输出信号的特点分：



$$* Y = G(X, Q)$$

$$* Q^{n+1} = H(Y, Q)$$

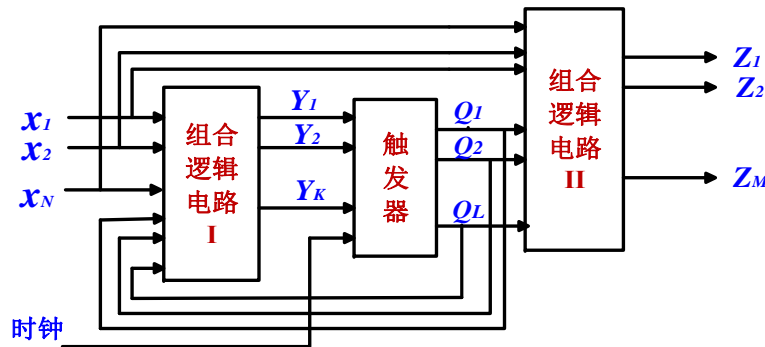
$$* Z = F(X, Q)$$



米里 (Mealy) 型：某时刻的输出由该时刻的外部输入 X 和内部状态 Q 共同决定。

时序逻辑电路的分类：Mealy vs Moore

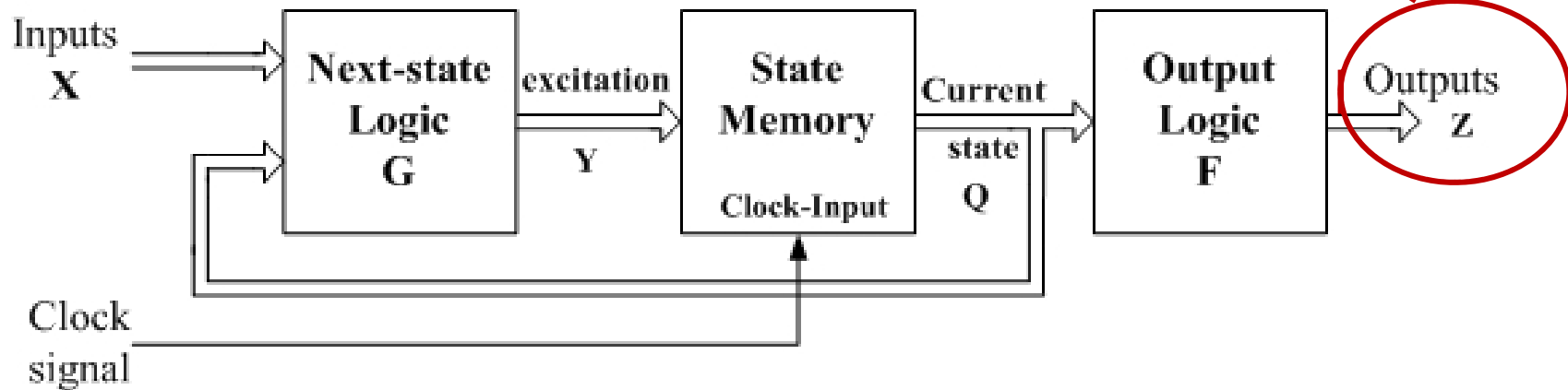
(2) 按电路输出信号的特点分：



$$* Y = G(X, Q)$$

$$* Q^{n+1} = H(Y, Q)$$

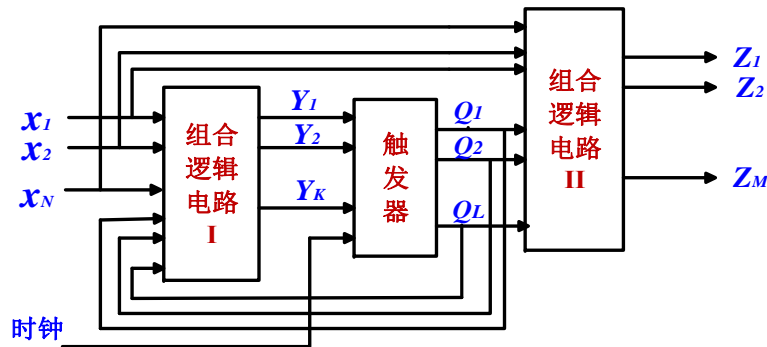
$$* Z = F(Q)$$



摩尔 (Moore) 型：某时刻的输出与外部输入无关，仅由其内部状态决定。

时序逻辑电路的分类：Mealy vs Moore

(2) 按电路输出信号的特点分：



$$\star Y = G(X, Q)$$

$$\star Q^{n+1} = H(Y, Q)$$

$$\star Z = F(Q) \text{ or } Z = F(X, Q)$$

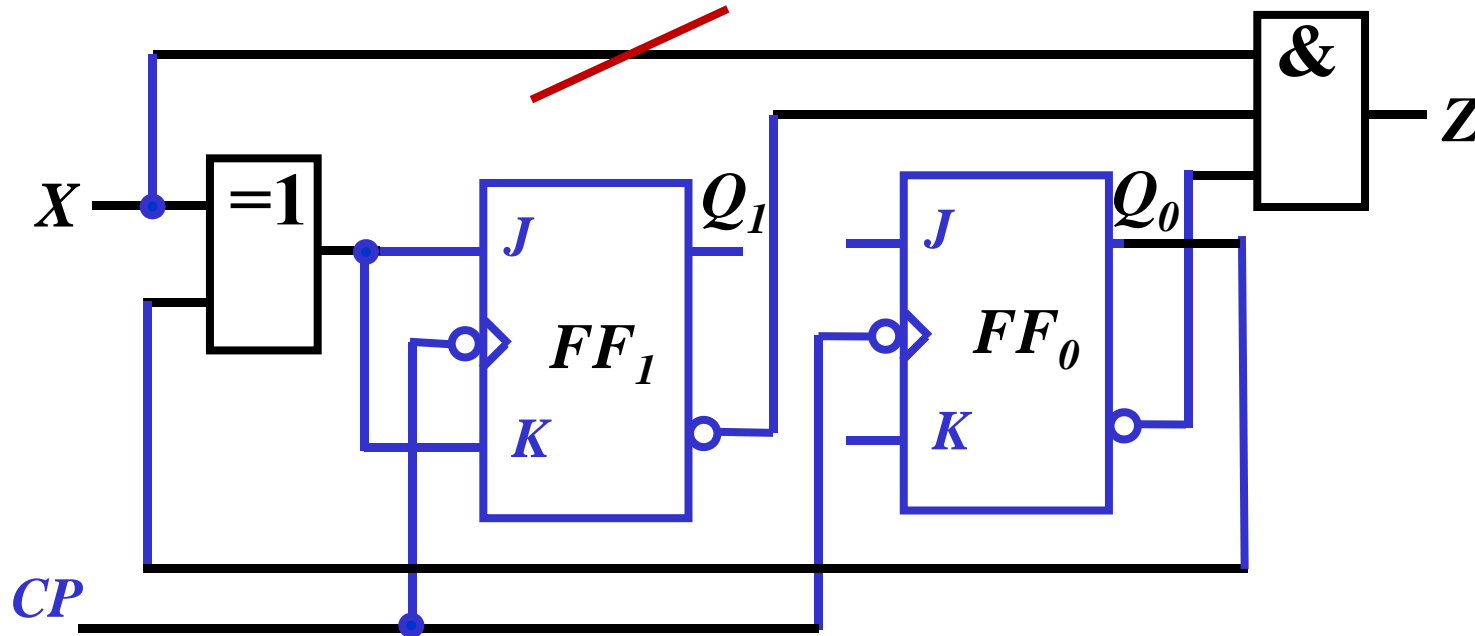
Mealy型的输出与输入X直接相关；

Moore型输出与输入无关或间接相关；

特殊Moore型是无输入X的电路，输出Z则可有可无。

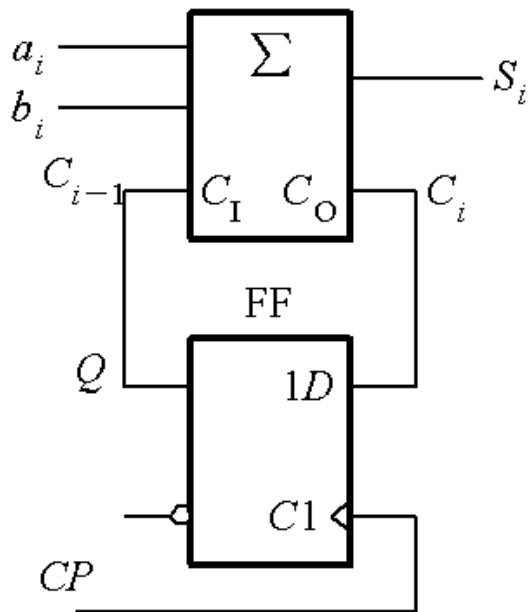
Mealy和Moore电路示例

$$Z = X\bar{Q}_1\bar{Q}_0 \quad Z = \bar{Q}_1\bar{Q}_0$$

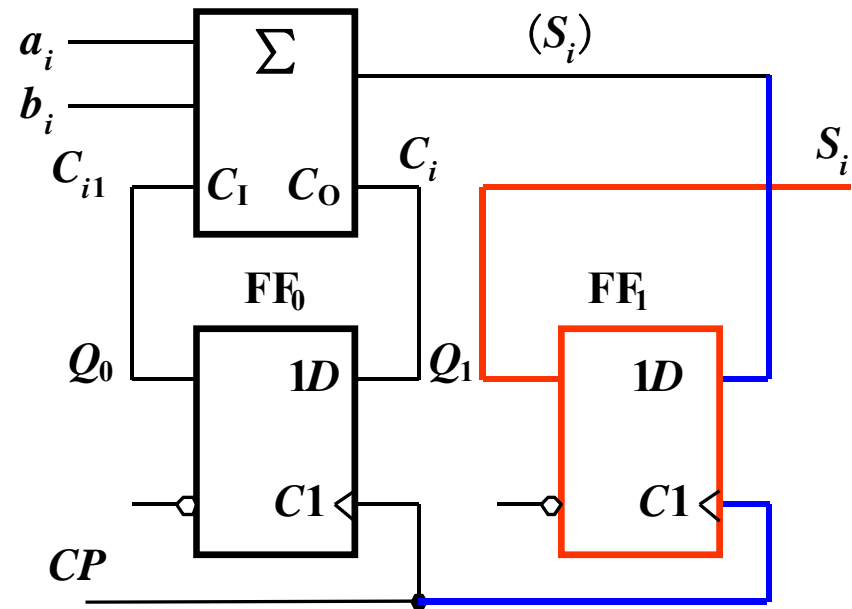


同步电路， CP 下降沿作用

Mealy和Moore电路示例



★Mealy型 串行加法器电路

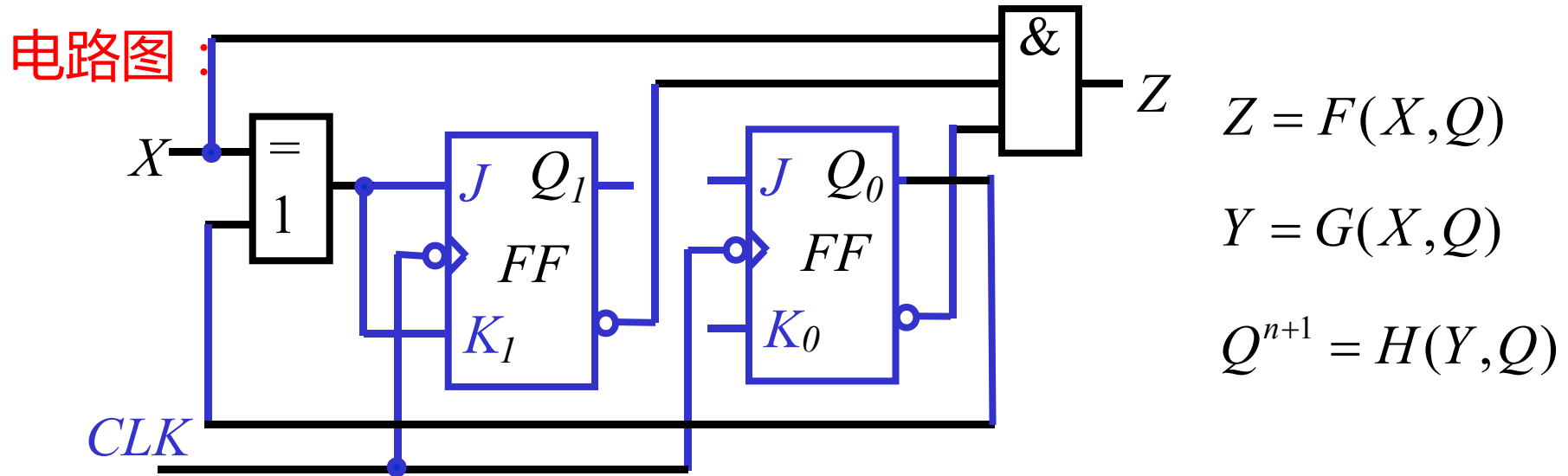


★Moore型 串行加法器电路

时序电路的功能描述方法

- 逻辑方程
- 状态转移表
- 状态转移图
- 时序图

功能描述方法：逻辑方程



1. 输出方程：

$$Z = X\bar{Q}_1\bar{Q}_0$$

2. 激励方程：

$$J_0 = K_0 = 1$$

$$J_1 = K_1 = X \oplus Q_0$$

3. 状态方程：

$$Q_1^{n+1} = J_1\bar{Q}_1 + \bar{K}_1Q_1 = (X \oplus Q_0) \cdot \bar{Q}_1 + \overline{(X \oplus Q_0)} \cdot Q_1$$

$$= X \oplus Q_0 \oplus Q_1$$

$$Q_0^{n+1} = J_0\bar{Q}_0 + \bar{K}_0Q_0 = \bar{Q}_0$$

功能描述方法：状态转移表

列表描述电路输出、次态与输入、现态之间的关系。

输出方程： $Z = X\overline{Q_1}\overline{Q_0}$

激励方程： $J_1 = K_1 = X \oplus Q_0$ $J_0 = K_0 = 1$

状态方程： $Q_1^{n+1} = X \oplus Q_1 \oplus Q_0$ $Q_0^{n+1} = \overline{Q_0}$

Mealy型

$Q_1Q_0 \backslash X$		$Q_1^{n+1}Q_0^{n+1}/Z$	
		0	1
0	0	01/0	11/1
0	1	10/0	00/0
1	1	00/0	10/0
1	0	11/0	01/0

Moore型

$Q_1Q_0 \backslash X$		$Q_1^{n+1}Q_0^{n+1}$		Z
		0	1	
0	0	01	11	0
0	1	10	00	0
1	1	00	10	1
1	0	11	01	0

功能描述方法：状态转移表

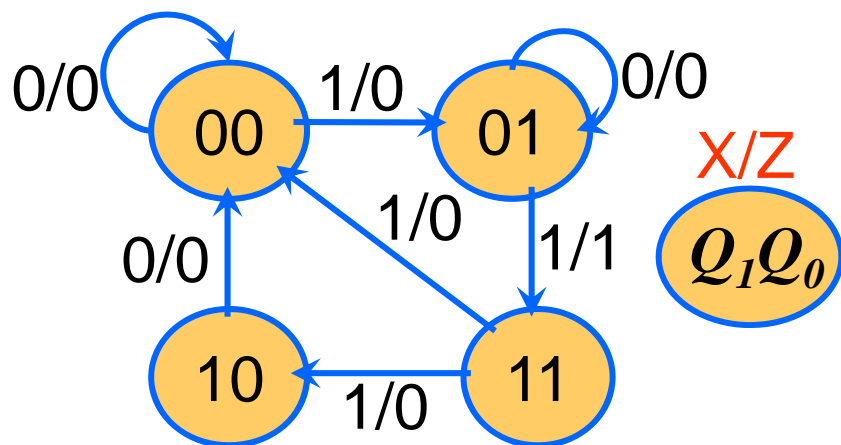
电路没有输入X，也没有输出Z的状态表

特殊Moore型状态表

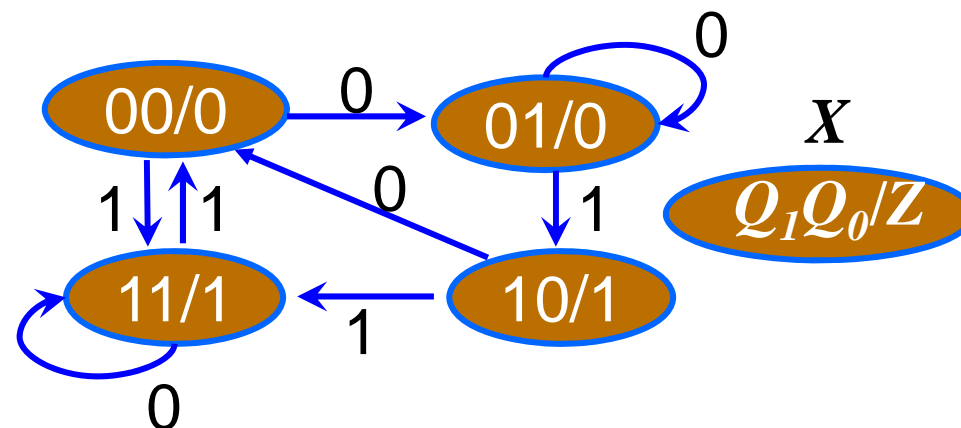
Q_2	Q_1	Q_0	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

功能描述方法：状态转移图

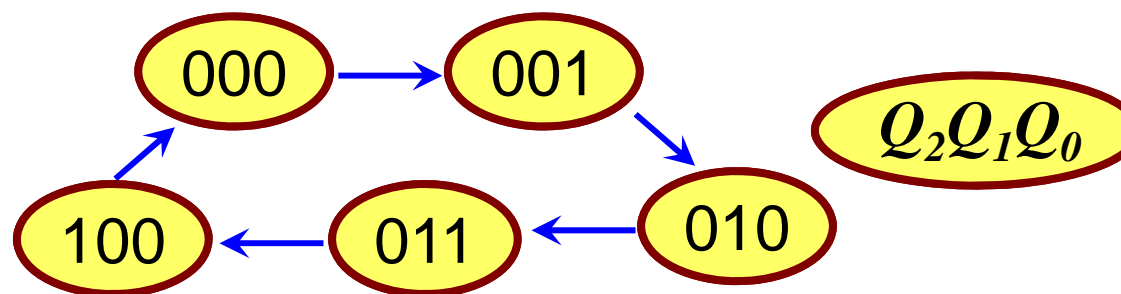
Mealy型状态图



Moore型状态图



特殊Moore型状态图



功能描述方法：时序图

以时序波形的形式描述电路状态、输出Z与输入X之间的关系。

★以上几种同步时序逻辑电路功能描述的方法，各有特点，但实质相同，且可以相互转换，它们都是同步时序逻辑电路分析和设计的主要工具。

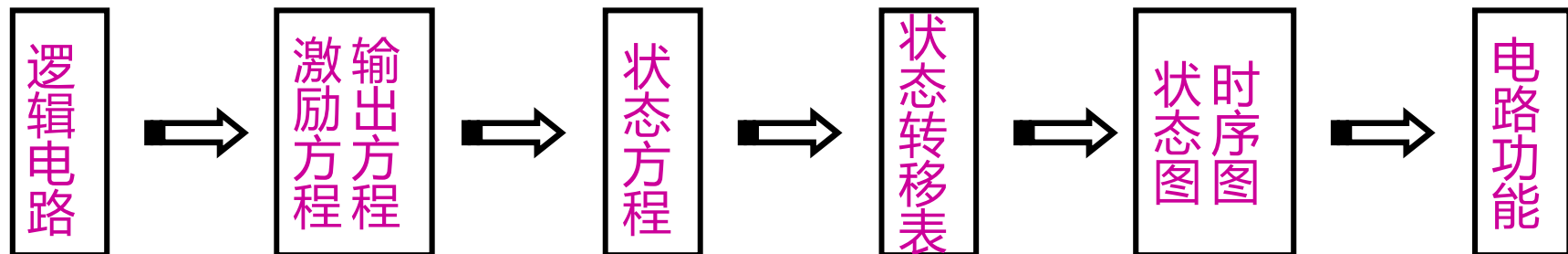
时序逻辑电路分析

时序电路分析方法

同步时序电路的分析，就是找出一个同步时序电路的变化规律，确定逻辑功能。

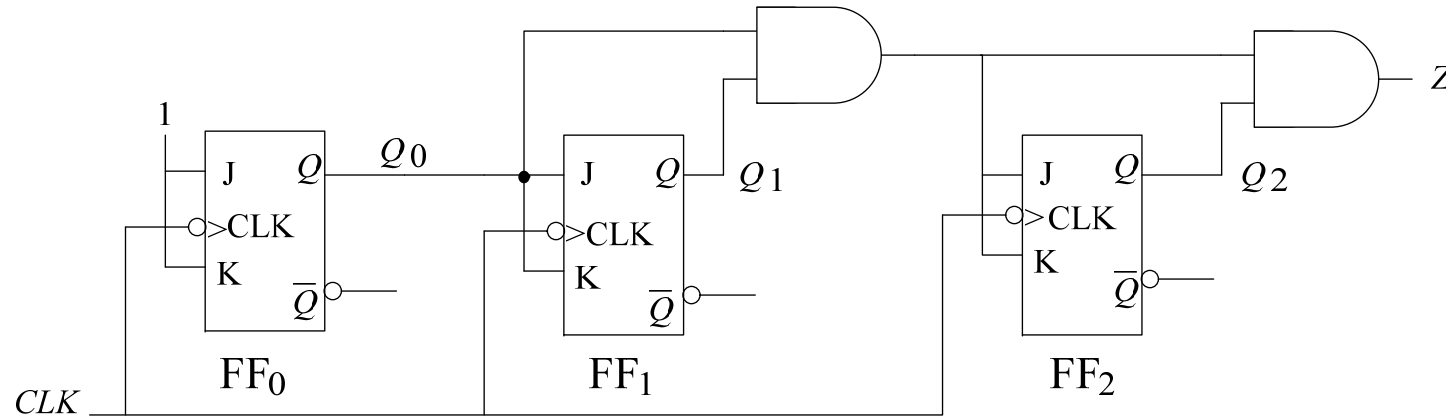
分析步骤：

1. 根据时序电路图，写出该电路的输出方程和各触发器的输入（激励）方程。
2. 根据触发器的激励方程和触发器的特征方程，获得时序电路的状态方程。
3. 根据状态方程和输出方程，建立状态转移表，画出状态图和时序波形图。
4. 描述电路的逻辑功能。



示例

例1：分析图示Moore型同步时序电路的逻辑功能。



解：① 写出输出方程和触发器的输入方程

$$Z = Q_2 Q_1 Q_0$$

$$J_0 = K_0 = 1$$

$$J_1 = K_1 = Q_0$$

$$J_2 = K_2 = Q_1 Q_0$$

② 写状态方程

根据JK触发器的特征方程 $Q^{n+1} = J\bar{Q} + \bar{K}Q$ 可得

$$Q_2^{n+1} = J_2\bar{Q}_2 + \bar{K}_2Q_2 = Q_1Q_0\bar{Q}_2 + \bar{Q}_1\bar{Q}_0Q_2 = (Q_1Q_0) \oplus Q_2 \quad (J_2 = K_2 = Q_1Q_0)$$

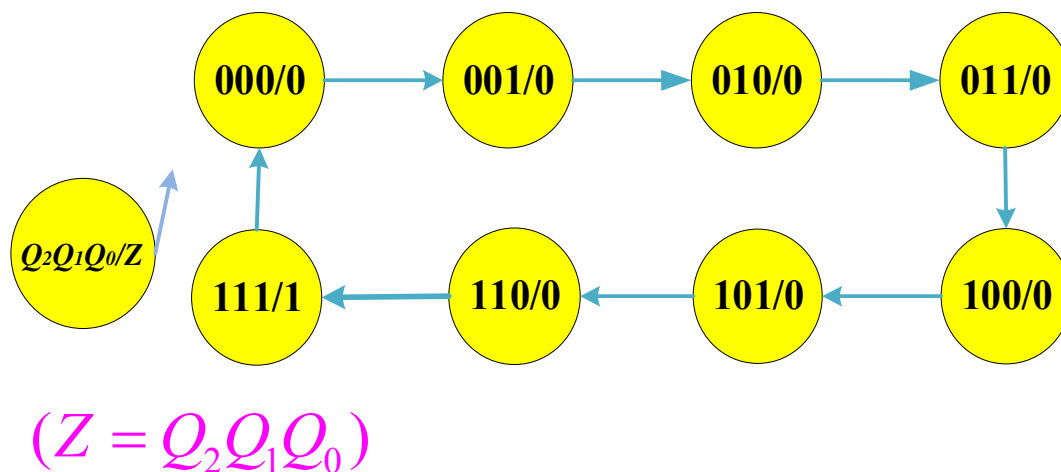
$$Q_1^{n+1} = J_1\bar{Q}_1 + \bar{K}_1Q_1 = Q_0\bar{Q}_1 + \bar{Q}_0Q_1 = Q_1 \oplus Q_0 \quad (J_1 = K_1 = Q_0)$$

$$Q_0^{n+1} = J_0\bar{Q}_0 + \bar{K}_0Q_0 = 1 \cdot \bar{Q}_0 + \bar{1} \cdot Q_0 = \bar{Q}_0 \quad (J_0 = K_0 = 1)$$

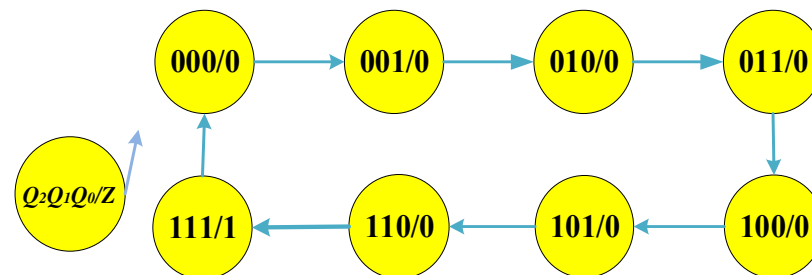
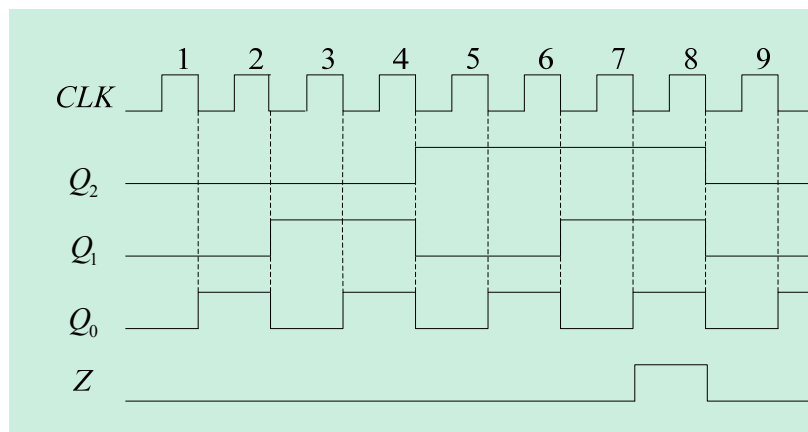
③ 列状态转移表

Q_2	Q_1	Q_0	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Z
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	1	1	0	0
1	1	0	1	1	1	0
1	1	1	0	0	0	1

④ 画状态图



④ 画波形图*



⑤ 逻辑功能分析

在CLK控制下，电路的触发器状态转移按
 $000 \rightarrow 001 \rightarrow 010 \rightarrow 011 \rightarrow 100 \rightarrow 101 \rightarrow 110 \rightarrow 111 \rightarrow 000$ 的规律循环。

该电路是3位二进制加1计数器（称为模8加1计数器）；
输出Z为进位标志，当计数器计到111时Z=1。

计数器

- 计数器功能：累计输入脉冲的个数。
- 计数器模值：计数器是一个周期循环的时序电路，循环一次所需要的时钟脉冲的个数称为计数器的模值 M 。
 - 由 n 个触发器构成的计数器，其模值 M 一般应满足 $2^{n-1} < M \leq 2^n$ 。
- 可以用来计数、分频，还可以对系统进行定时、顺序控制等，是数字系统中应用最广泛的时序逻辑部件之一。
- 计数器的类型：
 - 按时钟控制方式来分，有异步、同步两大类；
 - 按计数过程中数值的增减来分，有加法、减法、可逆计数器三类；
 - 按模值来分，有二进制、十进制和任意进制计数器。

问题：实际生活中的电子表，有几组计数器？它们的计数模值分别是多少？

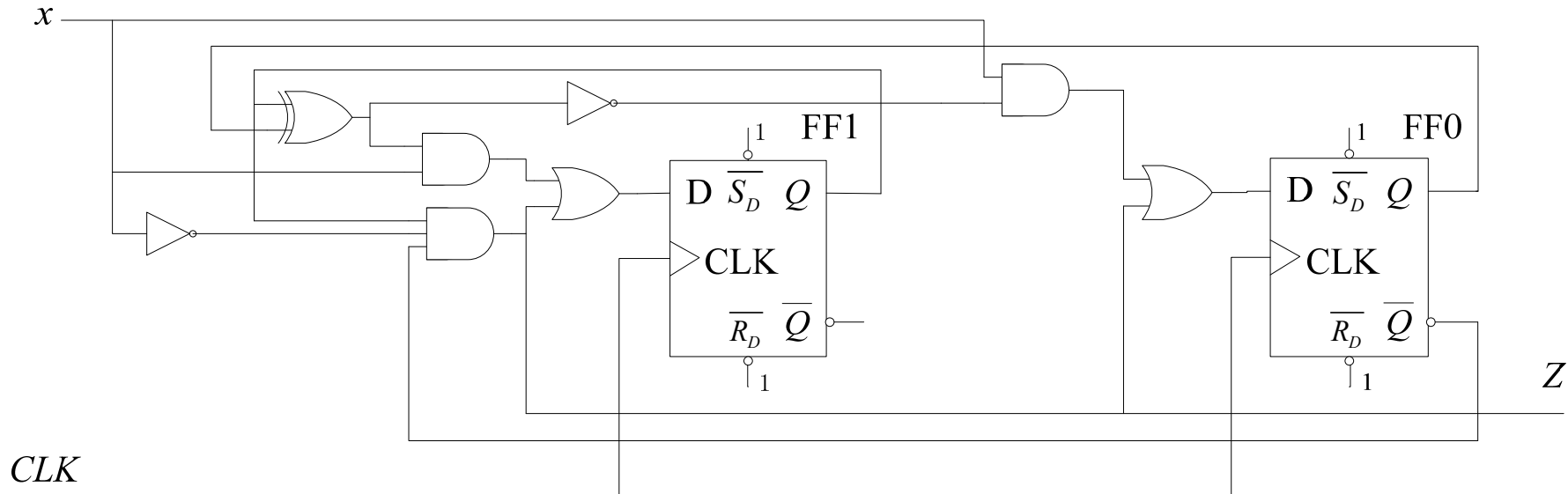
*计数器

计数器分类

名 称	模 值	状态编码方式	自 启 动 情 况	
二进制计数器	$M=2^n$	二进制码	无多余状态，能自启动	
十进制计数器	$M=10$	BCD 码	有 6 个多余状态	检查多余状态
任意进制计数器	$M<2^n$	多种方式	$2^n - M$ 个多余状态	
环型计数器	$M=n$	/	$2^n - n$ 个多余状态	
扭环型计数器	$M=2n$	/	$2^n - 2n$ 个多余状态	

序列码检测电路分析

- 例2：分析如图所示同步时序逻辑电路的功能。



解：① 写激励和输出函数

$$D_1 = \bar{x}Q_1\bar{Q}_0 + x(Q_1 \oplus Q_0) \quad D_0 = \bar{x}Q_1\bar{Q}_0 + x(\overline{Q_1 \oplus Q_0}) \quad Z = \bar{x}Q_1\bar{Q}_0$$

输出Z与外输入x有关，该电路为Mealy型电路。

② 求状态方程

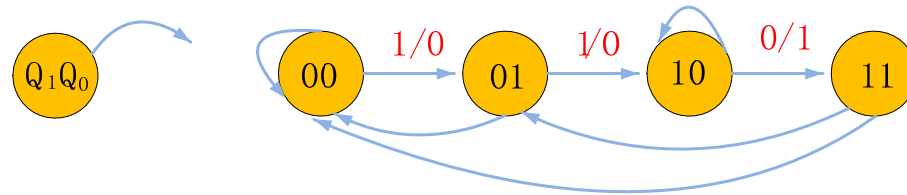
$$Q_1^{n+1} = D_1 = \bar{x}Q_1\bar{Q}_0 + x(Q_1 \oplus Q_0) \quad Q_0^{n+1} = D_0 = \bar{x}Q_1\bar{Q}_0 + x(\overline{Q_1 \oplus Q_0})$$

序列码检测电路分析

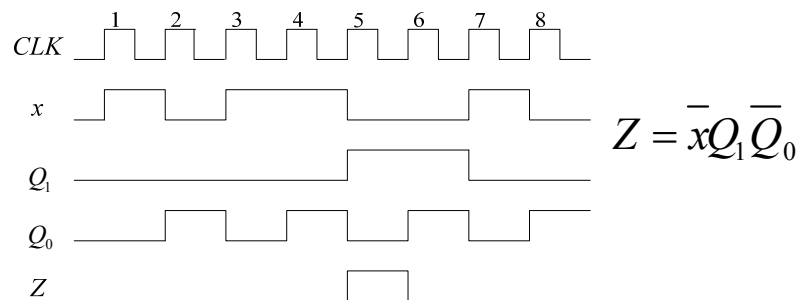
③ 列状态表、画状态图

$$Q_1^{n+1} = \bar{x}Q_1\bar{Q}_0 + x(Q_1 \oplus Q_0) \quad Q_0^{n+1} = \bar{x}Q_1\bar{Q}_0 + x(\bar{Q}_1 \oplus \bar{Q}_0) \quad Z = \bar{x}Q_1\bar{Q}_0$$

$Q_1 Q_0 \backslash x$		$Q_1^{n+1} Q_0^{n+1} / Z$	
		0	1
0	0	00/0	01/0
0	1	00/0	10/0
1	1	00/0	01/0
1	0	11/1	10/0



④ 画波形图



⑤ 逻辑功能描述

电路是一个输入为110序列检测电路。

输出Z只有在输入x为110序列时输出Z=1，其余Z=0。

序列信号检测器

110序列检测电路的输入、输出关系

输入串行序列 x : 0 1 0 1 1 0 0 1 1 1 0 1 1 1 1 0 0

输出标志 Z : 0 0 0 0 0 1 0 0 0 0 1 0 0 0 0 1 0

序列信号发生器

1. **定义**：能输出一个周期序列的电路；
2. **电路特点**：一般无输入 X ，有输出 Z ，属于特殊Moore型电路；
3. **结构**：实质是一个模为 N 的计数器加上一个组合电路构成。设周期序列中 0\1 的个数是 N 。

常见典型的时序电路

- 计数器
- 序列发生器
- 序列检测器

其他典型时序逻辑电路

寄存器和移位寄存器

1) 寄存器

寄存器用于寄存一组二进制代码。

n 个触发器组成的寄存器能存储一组 n 位二进制代码。

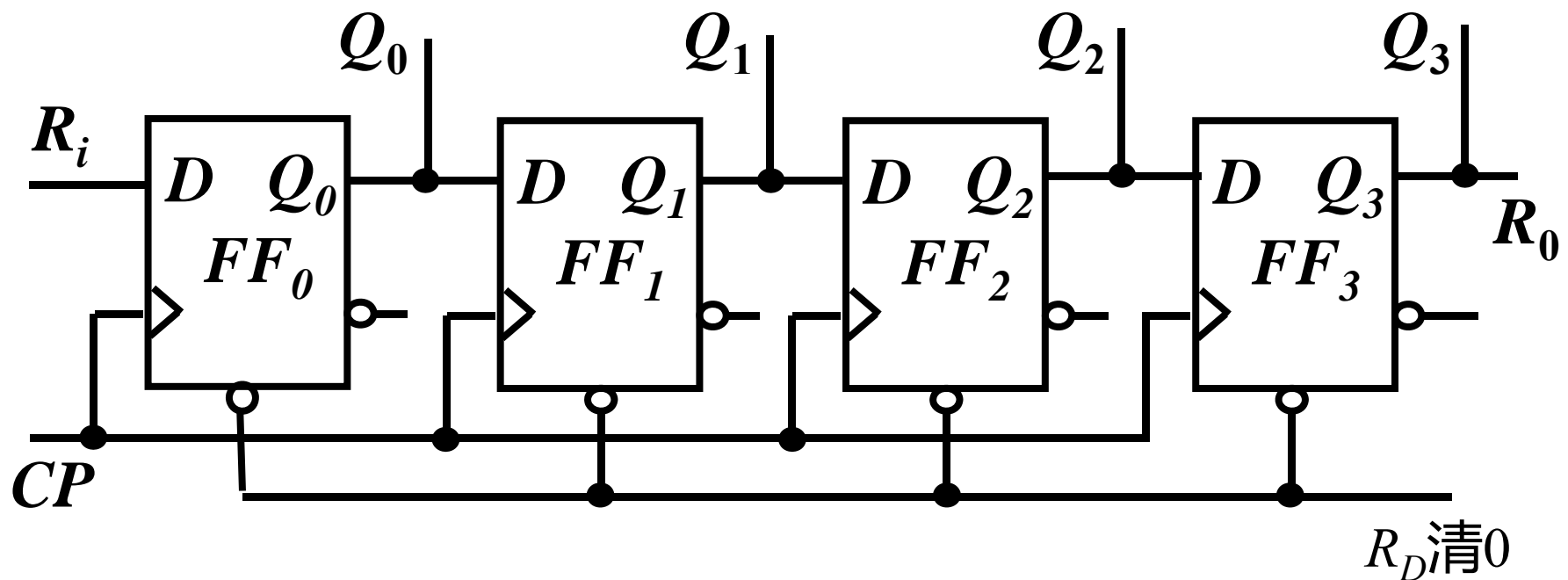
2) 移位寄存器

对于串行数据，则采用移位寄存器输入并加以保存。

分类：

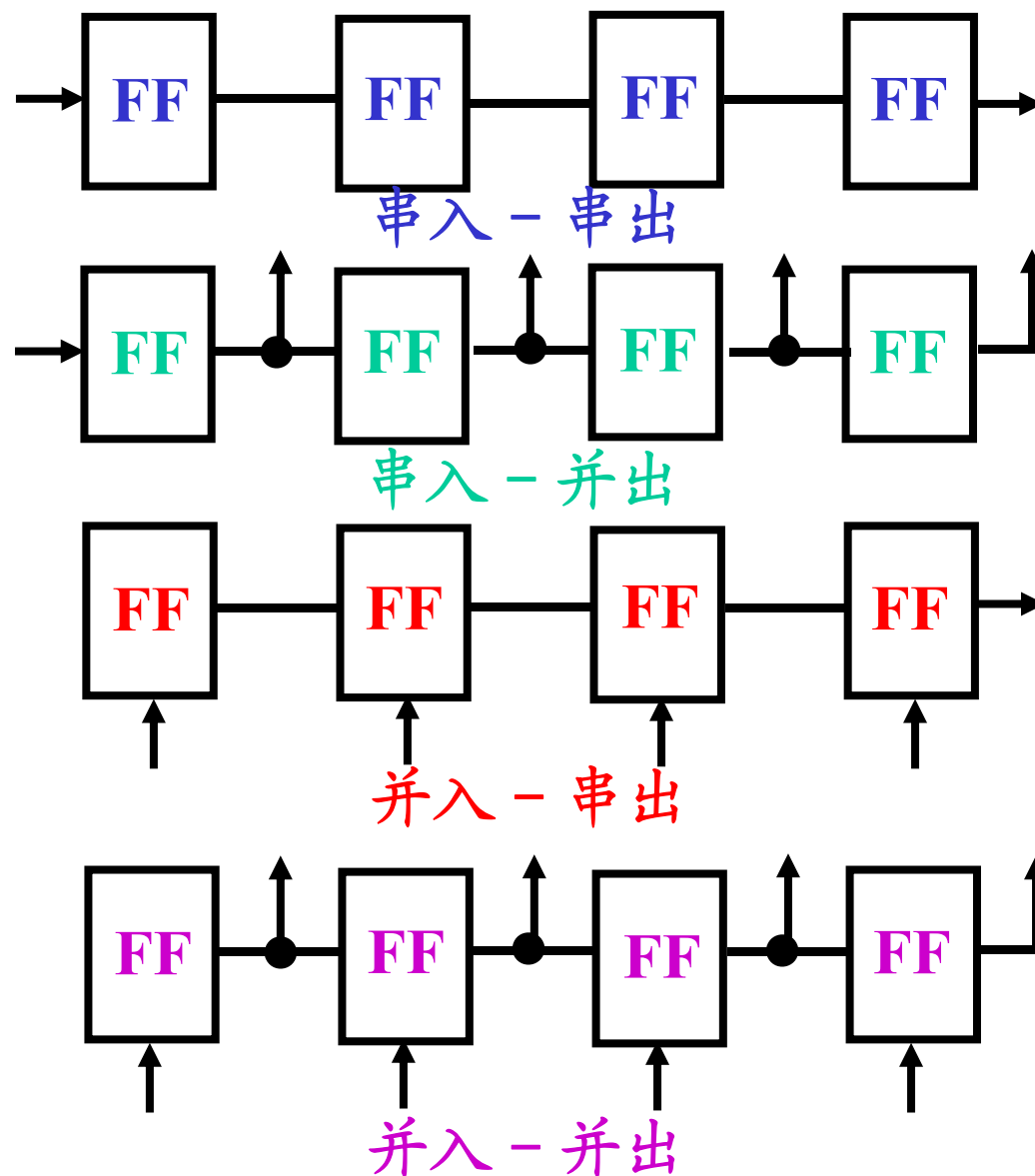
- 左向移位寄存器、右向移位寄存器和双向移位寄存器；
- 串行输入和并行输入；
- 串行输出和并行输出。

单向移位寄存器举例



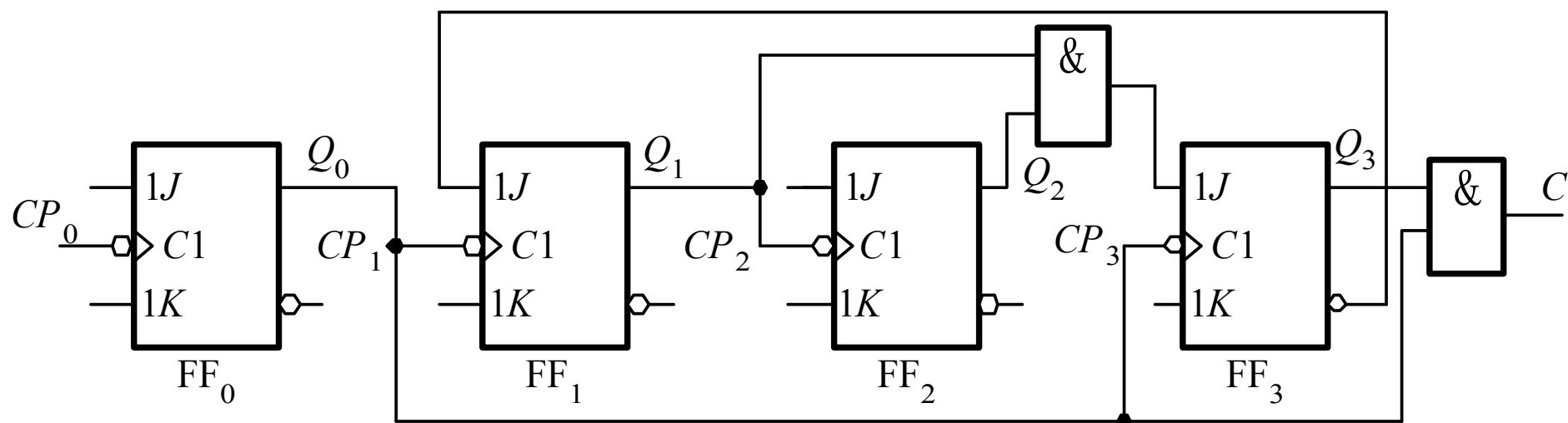
1. 单向右移。
2. 串入并出或串入串出

移位寄存器的分类：



*异步时序电路的分析方法（略）

要考虑不同触发器的CP变化的问题。

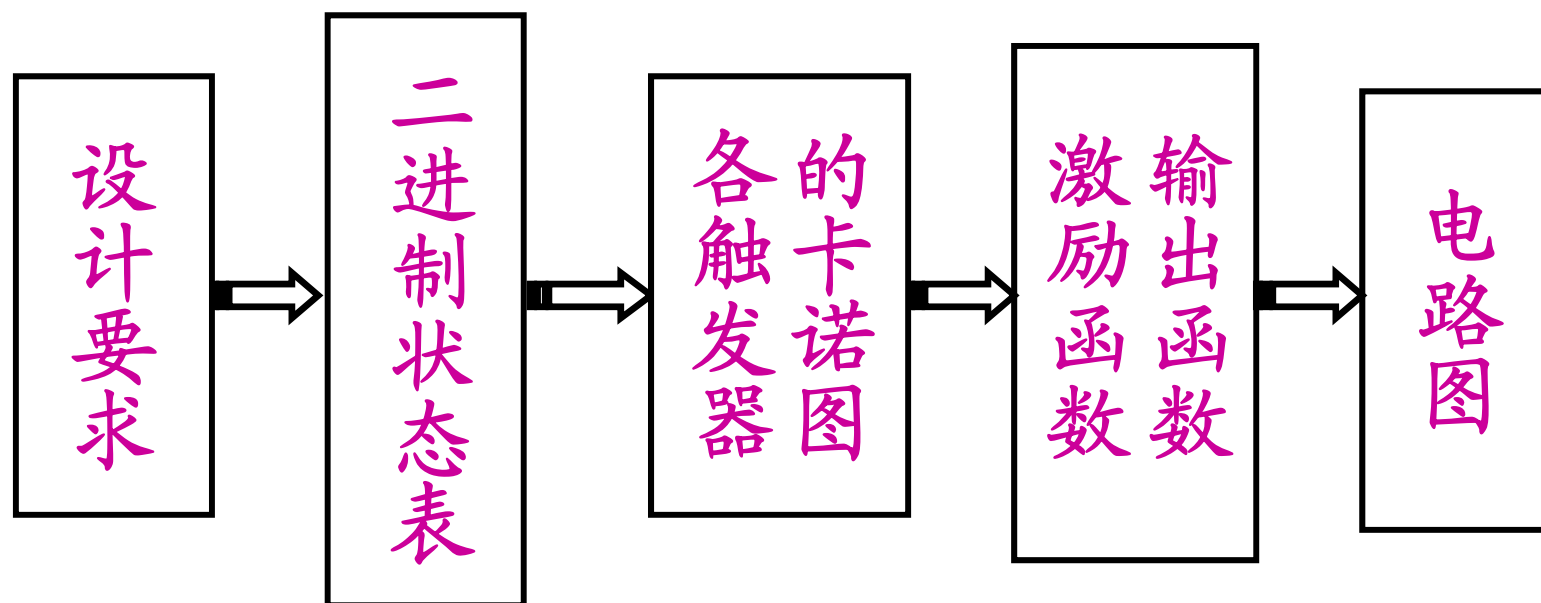


时序逻辑电路设计

基本同步时序逻辑电路设计

计数器

设计步骤：



计数器设计

例1 用D或JK触发器设计模5计数器。

状态变化为： 000→001→011→101→110

解：



1. 电路无输入 X 和输出 Z ，就是现态与次态的状态转换。电路是特殊Moore型的；
2. 从状态情况推测，触发器应有三个；
3. 非完全描述，存在自启动问题。

计数器设计

(2) 画次态卡诺图，求次态与现态的函数关系（续）：

Q_2Q_1		00	01	11	10
Q_0	0	1	×	0	×
	1	1	1	×	0

$$Q_0^{n+1} = \overline{Q_2}$$

$$Q_2^{n+1} = Q_1 \overline{Q_2} + \overline{Q_1} Q_2$$

$$Q_1^{n+1} = Q_0 \overline{Q_1}$$

$$Q_0^{n+1} = \overline{Q_2}$$

(3) 根据触发器特征函数，确定激励函数。

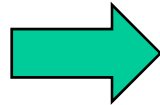
a、如选用D触发器实现电路

D触发器特征函数如下，对照可得激励函数：

$$Q_2^{n+1} = D_2$$

$$Q_1^{n+1} = D_1$$

$$Q_0^{n+1} = D_0$$



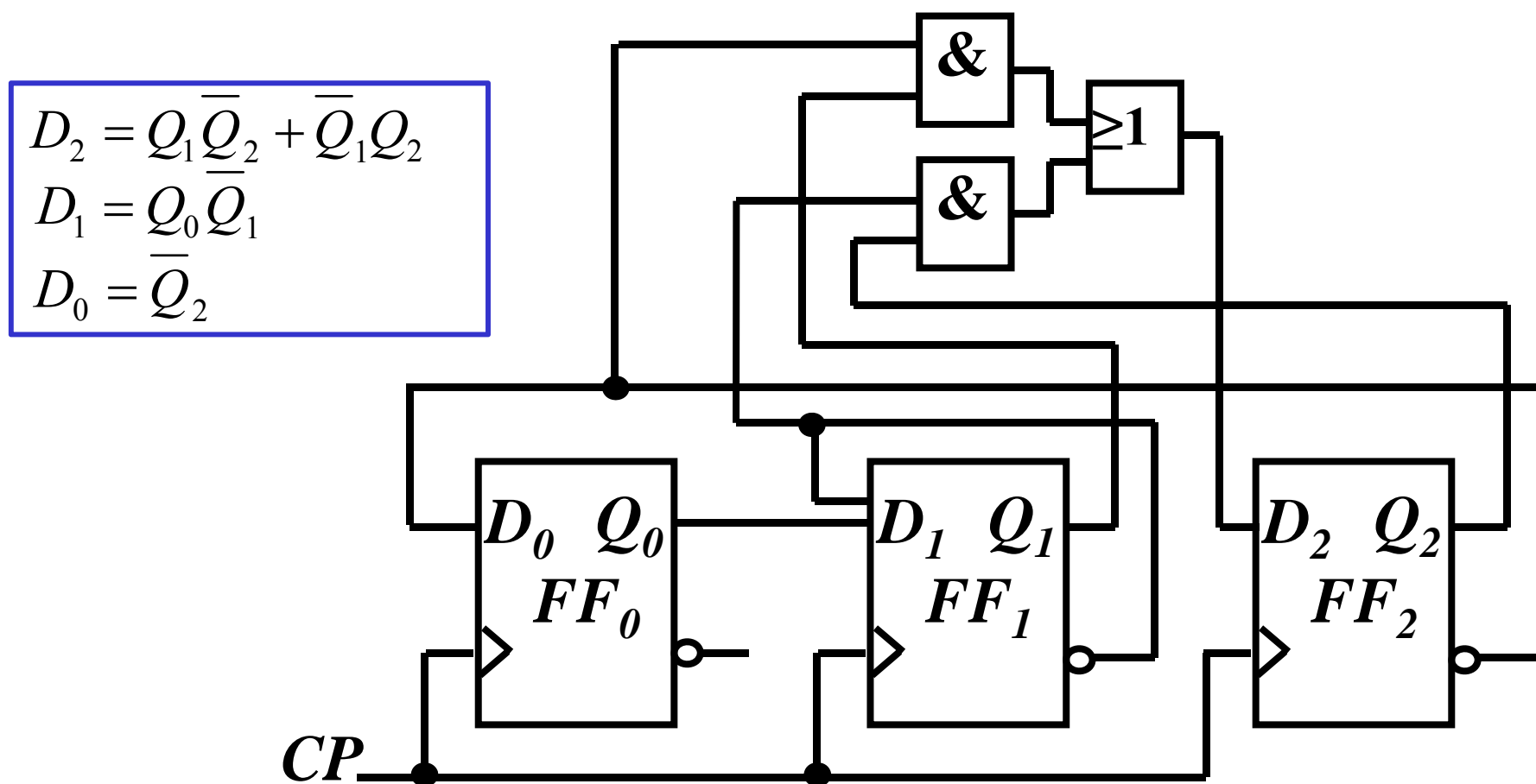
$$D_2 = Q_1 \overline{Q_2} + \overline{Q_1} Q_2$$

$$D_1 = Q_0 \overline{Q_1}$$

$$D_0 = \overline{Q_2}$$

计数器设计

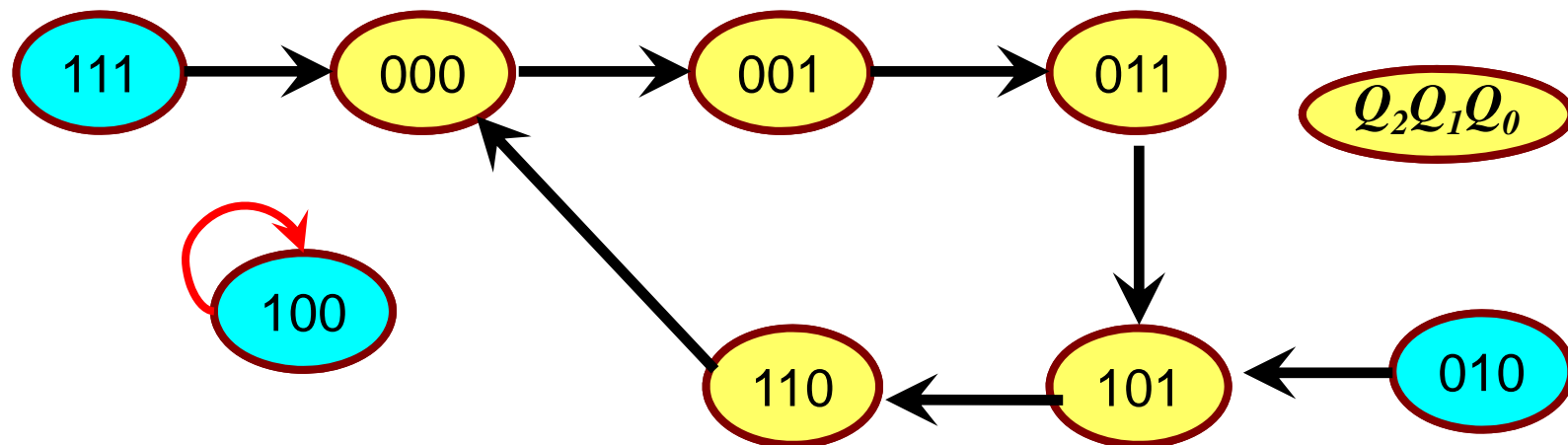
(4) 画电路图



*计数器设计——自启动

* (4) 自启动检查

根据上述K图的画圈情况或函数表达式，检查无效状态的去向，画出完整状态图。



$$Q_2^{n+1} = Q_1 \bar{Q}_2 + \bar{Q}_1 Q_2$$

$$Q_1^{n+1} = Q_0 \bar{Q}_1$$

$$Q_0^{n+1} = \bar{Q}_2$$

*计数器设计——自启动

* (5) 非自启动电路变为自启动电路

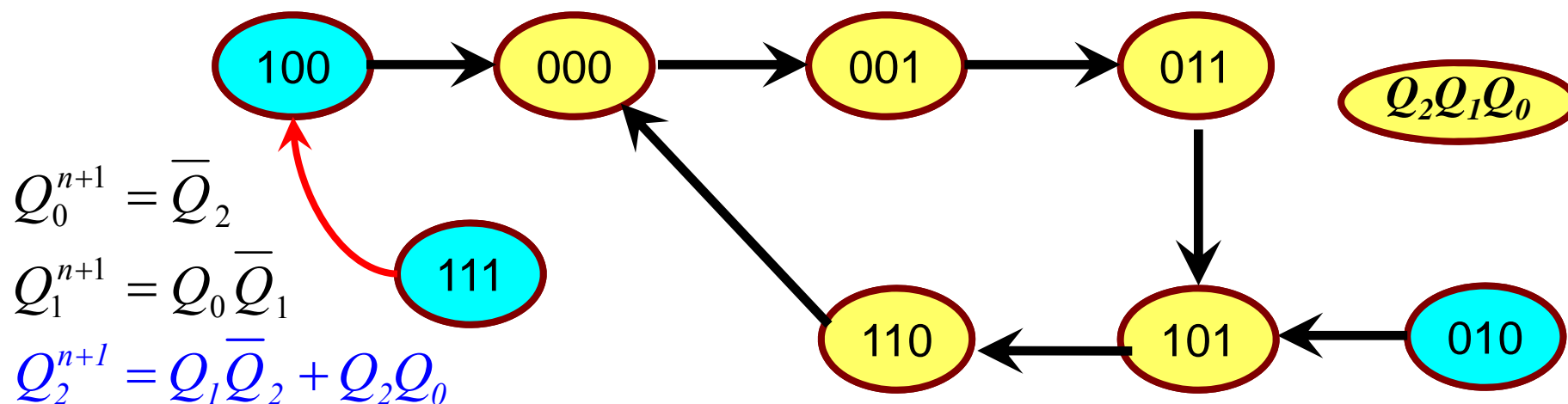
方法1：根据K图和有效状态的情况，酌情改变K图的圈法：

$Q_2 Q_1$	00	01	11	10
Q_0				
0	0	×	0	×
1	0	1	×	1

$$Q_2^{n+1} = Q_1 \bar{Q}_2 + \bar{Q}_1 Q_2$$

$Q_2 Q_1$	00	01	11	10
Q_0				
0	0	×	0	×
1	0	1	×	1

$$Q_2^{n+1} = Q_1 \bar{Q}_2 + Q_2 Q_0$$



*计数器设计——自启动

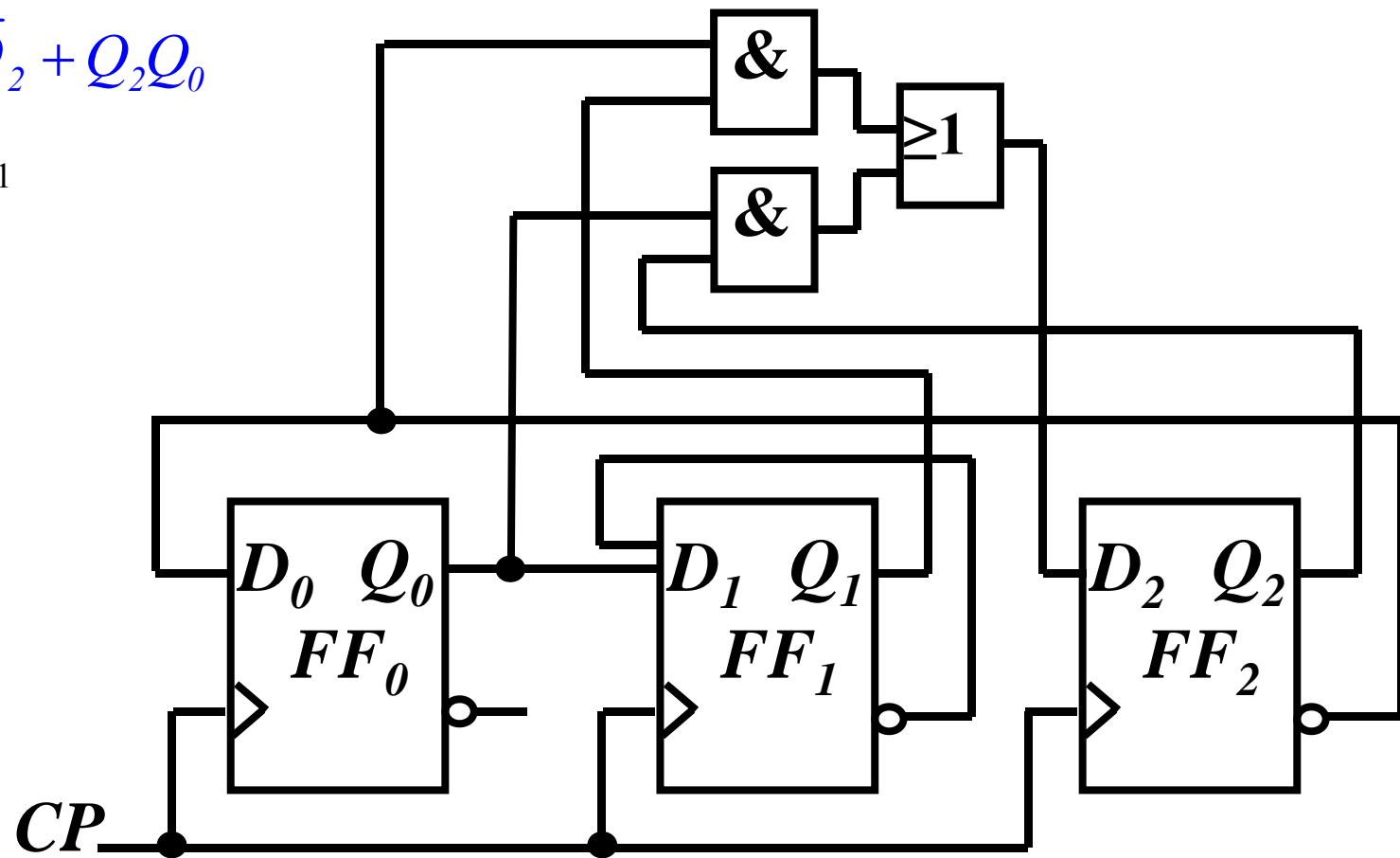
* (6) 重新确定激励函数，画电路图

第一个K图的圈法改变后的激励函数：

$$D_2 = Q_1 \bar{Q}_2 + Q_2 Q_0$$

$$D_1 = Q_0 \bar{Q}_1$$

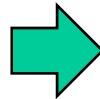
$$D_0 = \bar{Q}_2$$



*计数器设计——自启动

***方法2：**直接将**无效状态**的次态设为有效状态中的一个，重新寻找激励函数。

Q_2	Q_1	Q_0	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1
0	0	1	0	1	1
0	1	0	×	×	×
0	1	1	1	0	1
1	0	0	×	×	×
1	0	1	1	1	0
1	1	0	0	0	0
1	1	1	×	×	×



Q_2	Q_1	Q_0	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1
0	0	1	0	1	1
0	1	0	0	0	0
0	1	1	1	0	1
1	0	0	0	0	0
1	0	1	1	1	0
1	1	0	0	0	0
1	1	1	0	0	0

这种方法简单但电路将稍微复杂。

#计数器设计——激励表设计方法

b、用JK触发器实现电路

现态与次态关系表：

Q_2	Q_1	Q_0	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	0	0	1	0	×	0	×	1	×
0	0	1	0	1	1	0	×	1	×	×	0
0	1	0	×	×	×	×	×	×	×	×	×
0	1	1	1	0	1	1	×	0	×	×	0
1	0	0	×	×	×	×	×	×	×	×	×
1	0	1	1	1	0	×	0	1	×	×	1
1	1	0	0	0	0	×	1	×	1	0	×
1	1	1	×	×	×	×	×	×	×	×	×

JK触发器激励表

$Q^n \rightarrow Q^{n+1}$	J	K
0 → 0	0	×
0 → 1	1	×
1 → 0	×	1
1 → 1	×	0

同理...

$J_1, K_1,$
 J_0, K_0

$Q_2 Q_1$	00	01	11	10	
Q_0					
0	0	×	×	×	J_2
1	0	1	×	×	

$J_2 = Q_1$

$Q_2 Q_1$	00	01	11	10	
Q_0					
0	×	×	1	×	K_2
1	×	×	×	0	

$K_2 = \bar{Q}_0 (K_2 = Q_1)$

时序逻辑设计步骤——激励表设计方法（!!法方!!）

- 一、从题意写出状态转换表；
- 二、从状态转换表画出输出的K图，写出输出方程；
- 三、由触发器激励表，列出待设计电路激励表；
- 四、对激励表中每个激励变量画K图，写出各个触发器的激励函数；
- 五*、检查自启动情况，需要时修改电路；
- 六、画电路图。（设计的电路可能不唯一）

*计数器设计——特征函数对比设计方法

b、用JK触发器实现电路

JK触发器现态与次态之间的关系如下表：

Q_2	Q_1	Q_0	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1
0	0	1	0	1	1
0	1	0	×	×	×
0	1	1	1	0	1
1	0	0	×	×	×
1	0	1	1	1	0
1	1	0	0	0	0
1	1	1	×	×	×

触发器FF2的K图是：

		Q_2Q_1			
		00	01	11	10
Q_0	0	0	×	0	×
	1	0	1	×	1

Q_2XX Q_2XX

Q_2^{n+1}

JK触发器的特征方程：

$$Q_2^{n+1} = J_2 \underline{\bar{Q}_2} + \bar{K}_2 \underline{Q_2}$$

从K图看 Q_2 现态与次态的关系，适当划分K图，求 J_2 和 K_2 非常方便。

*计数器设计——特征函数对比设计方法

Q_2Q_1		00	01	11	10
Q_0	0	0	×	0	×
	1	0	1	×	1

Q_2^{n+1}

Q_2Q_1		00	01	11	10
Q_0	0	0	×	0	×
	1	1	0	×	1

Q_1^{n+1}

$$Q_1^{n+1} = Q_0 \bar{Q}_1$$

$$J_1 = Q_0 \quad K_1 = 1$$

对划分后的K图分别化简，得：

$$Q_2^{n+1} = Q_1 \bar{Q}_2 + Q_2 Q_0$$

对比： $Q_2^{n+1} = J_2 \bar{Q}_2 + \bar{K}_2 Q_2$

则有： $J_2 = Q_1 \quad K_2 = \bar{Q}_0$

Q_2Q_1		00	01	11	10
Q_0	0	1	×	0	×
	1	1	1	×	0

Q_0^{n+1}

$$Q_0^{n+1} = \bar{Q}_2 \bar{Q}_0 + \bar{Q}_2 Q_0$$

$$J_0 = \bar{Q}_2 \quad K_0 = Q_2$$

检查自启动与画电路图略。

*时序电路设计步骤——特征函数对比设计方法

- 一、从题意写出状态转换表；
- 二、从状态转换表写出各个状态次态的K图和输出的K图；
- 三、化简，如用JK则要对K图分区，如用D则不用；
- 四、从化简后的状态方程中写出各个触发器的激励函数；
- 五、检查自启动情况，需要时修改电路；
- 六、画电路图。（设计的电路可能不唯一）

示例练习

例3：用D或JK触发器设计模7同步加法计数器。

分析：

1. 加法计数器——同步；
2. 触发器个数——至少3个；
3. 电路类型：无需输入 X 和输出 Z ，是一个特殊Moore电路；
4. 非完全描述，有自启动问题。

示例练习

根据题意，可列出状态表：

Q_2	Q_1	Q_0	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	0	0	0
1	1	1	×	×	×

列激励表；
画K图；
检查自启动；
画电路图等略

小 结

- 对于某些典型的同步时序电路，直接从命题要求就可以列出状态编码表，如计数器和序列发生器，这类设计问题称为“给定状态时序电路的设计”。

*序列信号发生器设计

*例4：用D触发器设计能产生01011的序列发生器。

设计计数器的状态变化为：000→001→011→101→110



题目分析

1. 要发生的一个周期序列包含5个不同状态；
2. 先设计一个模5的计数器，让每个有效状态对应一个序列中的状态数；
所需触发器的个数至少3个；
3. 无需输入 X ，但有一个输出 Z ，是一个特殊Moore电路
4. 非完全描述，有自启动问题。

*序列信号发生器设计

* (1) 根据题意，列状态表：

Q_2	Q_1	Q_0	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0			
0	0	1			
0	1	1			
1	0	1			
1	1	0			
0	1	0			
1	0	0			
1	1	1			

分析：

红线左侧是要设计一个可自启动的模5计数器。
主要只看输出与现态的关系。

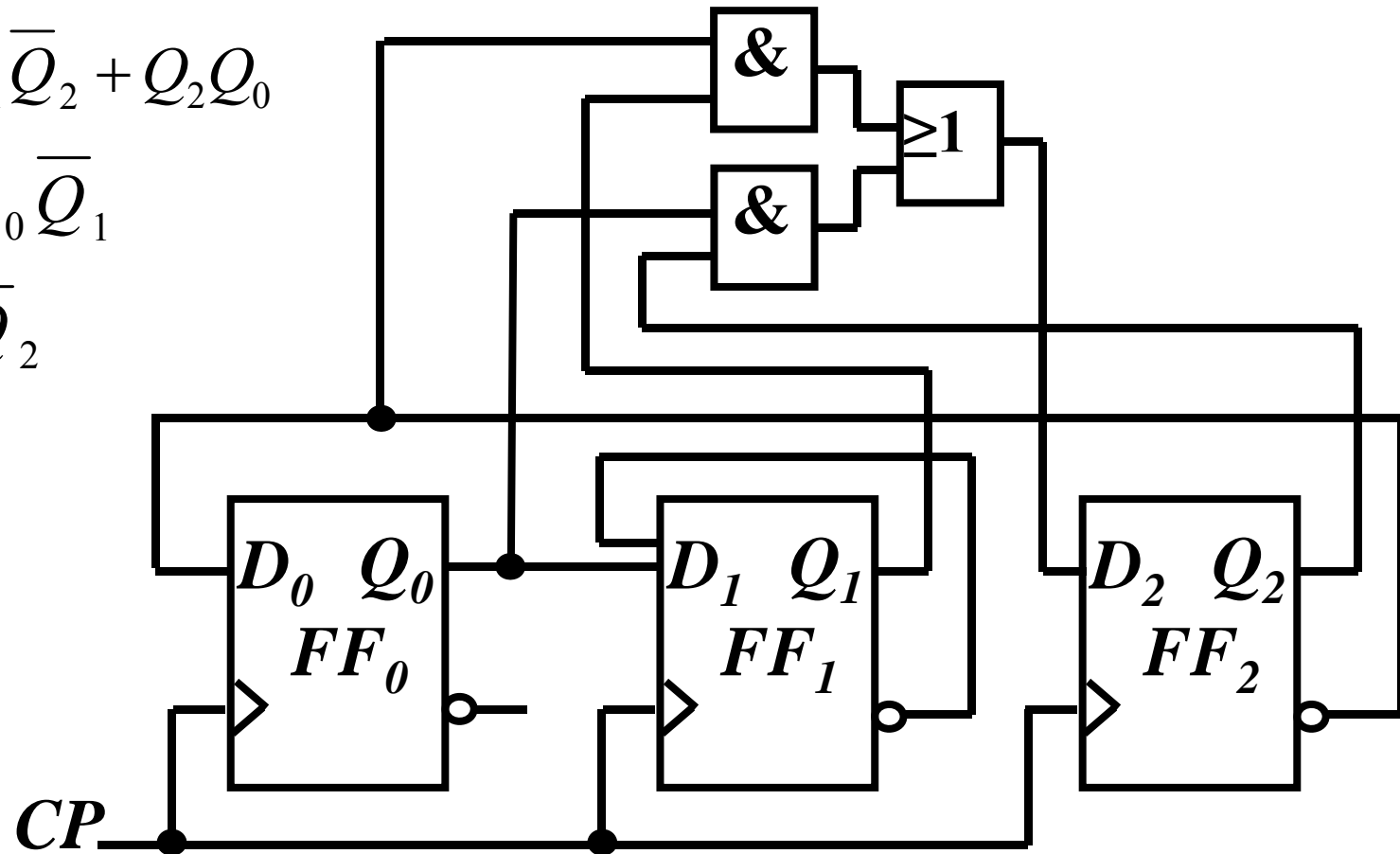
*序列信号发生器设计

*参考前例，模5计数器电路图：

$$D_2 = Q_1 \bar{Q}_2 + Q_2 Q_0$$

$$D_1 = Q_0 \bar{Q}_1$$

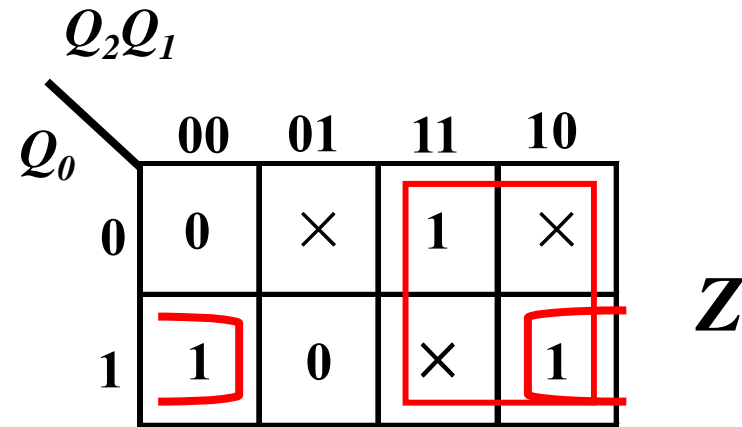
$$D_0 = \bar{Q}_2$$



*序列信号发生器设计

* (2) 画输出Z的卡诺图：

Q_2	Q_1	Q_0	Z
0	0	0	0
0	0	1	1
0	1	1	0
1	0	1	1
1	1	0	1
0	1	0	×
1	0	0	×
1	1	1	×



$$Z = Q_0 \bar{Q}_1 + Q_2$$

* (3) 画电路图

The logic diagram shows a 3-bit counter with outputs Q_0 , Q_1 , and Q_2 . The output Z is defined by the equation $Z = Q_0 \bar{Q}_1 + Q_2$. The circuit uses three D flip-flops (FF_0 , FF_1 , FF_2) and combinational logic. The output Z is the sum of the three flip-flop outputs. The logic is implemented using AND gates and OR gates. The output Z is also fed back to the D input of FF_0 .

序列信号发生器

定义：能输出一个周期序列的电路；

- 电路特点：一般无输入 X ，有输出 Z ，
属于特殊Moore型电路；

结构：

- 实质是一个模为 N 的计数器加上一个组合电路构成。
- 周期序列中0/1的个数是 N 。

设计思路：

1. 根据要设计序列中的0/1个数 N ，先设计一个模值为 N 的计数器；
2. 计数器中每个状态对应一个输出的序列值；
3. 根据上述要求，画状态表。

非给定状态时序电路设计

一般同步时序电路设计

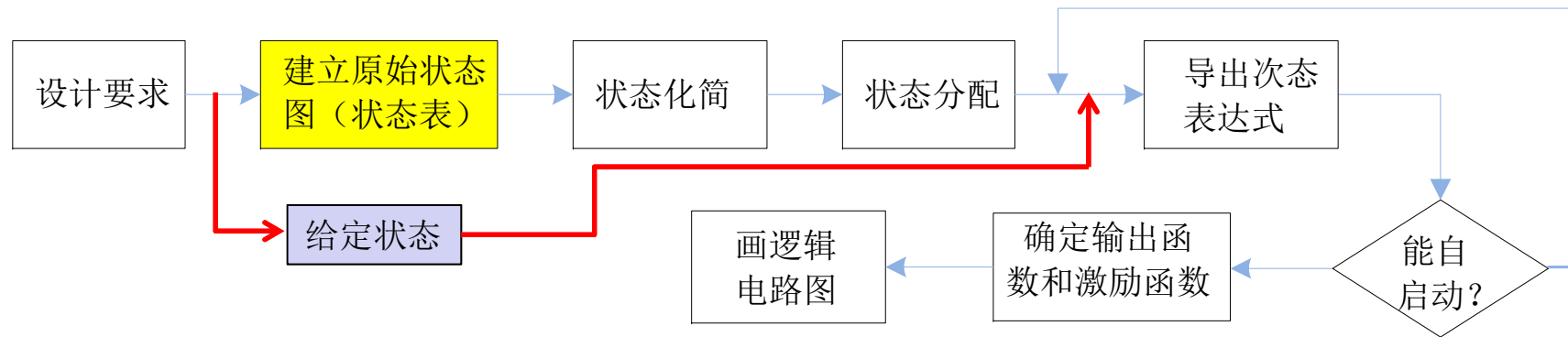
时序电路的设计：把语言描述转换成符合设计要求的状态图或状态表，选择适当的逻辑器件，设计出时序逻辑电路。

- 同步时序电路的设计步骤：

- ① 根据命题的描述确定输入、输出变量和可能的状态数目；
- ② 建立原始状态图、状态表；
- ③ 状态化简；
- ④ 状态分配，得到编码状态表；
- ⑤ 画输出卡诺图，写出输出方程；
- ⑥ 根据选择的触发器，列出系统激励表，写出触发器激励（输入）函数；
- ⑦ 检查自启动，调整电路；
- ⑧ 画出时序逻辑电路图。

建立原始状态图或状态表

同步时序电路的设计流程图：



原始状态图和状态表的建立是时序电路设计中最关键的一步。

一般步骤如下：

- ① 分析命题要求，确定输入、输出变量。
- ② 确定状态数目，以及每一个状态的含义，并用字母表示每一个状态信息。
- ③ 确定状态之间的转换关系，画出原始状态图，列出原始状态表。

##例：设计一个同步模为4的可逆计数器。加减控制信号为X。

当X=0时为加1计数器，计数循环过程是00→01→10→11→00；

当X=1时为减1计数器，计数循环过程是00→11→10→01→00。

Z为进位或借位输出，当X=0时加1计数器为11时Z=1，当X=1时减1计数器为00时Z=1。试设计该计数器，画出电路图。

解：①确定输入、输出变量和状态数目。

一个输入变量X，一个输出变量Z，4个状态用两个触发器表示。

②列出二进制状态转移真值表

X	Q_1	Q_0	Q_1^{n+1}	Q_0^{n+1}	Z
0	0	0	0	1	0
0	0	1	1	0	0
0	1	0	1	1	0
0	1	1	0	0	1
1	0	0	1	1	1
1	0	1	0	0	0
1	1	0	0	1	0
1	1	1	1	0	0



$\begin{matrix} X \\ Q_1 Q_0 \end{matrix}$	$Q_1^{n+1} Q_0^{n+1} / Z$	
	0	1
00	01/0	11/1
01	10/0	00/0
11	00/0	10/0
10	11/1	01/0

Mealy型

③根据选用触发器，列激励表

1) 选用D触发器实现逻辑设计

Q_1Q_0	$Q_1^{n+1}Q_0^{n+1}/Z$	
	0	1
00	01/0	11/1
01	10/0	00/0
11	00/0	10/0
10	11/1	01/0

$Q_1Q_0 \backslash X$	0	1
	D_1D_0	D_1D_0
00	01	11
01	10	00
11	00	10
10	11	01

D-FF激励表

$Q^n \rightarrow Q^{n+1}$	D
0 → 0	0
0 → 1	1
1 → 0	0
1 → 1	1

④画输入端口K图，写出激励函数和输出函数

$Q_1Q_0 \backslash X$	0	1
	D_1	D_1
00	0	1
01	1	0
11	0	1
10	1	0

$$D_1 = X \oplus Q_1 \oplus Q_0$$

$Q_1Q_0 \backslash X$	0	1
	D_0	D_0
00	1	1
01	0	0
11	0	0
10	1	1

$$D_0 = \bar{Q}_0$$

$Q_1Q_0 \backslash X$	0	1
	Z	Z
00	0	1
01	0	0
11	0	0
10	1	0

$$Z = \bar{X}Q_1Q_0 + X\bar{Q}_1\bar{Q}_0$$

4个状态，两个触发器无多余的状态，可以自启动。

2) 选用JK触发器实现逻辑设计

$Q_1Q_0 \backslash X$	$Q_1^{n+1}Q_0^{n+1}/Z$	
	0	1
00	01/0	11/1
01	10/0	00/0
11	00/0	10/0
10	11/1	01/0

$Q_1Q_0 \backslash X$	0		1	
	J_1K_1	J_0K_0	J_1K_1	J_0K_0
00	0X	1X	1X	1X
01	1X	X1	0X	X1
11	X1	X1	X0	X1
10	X0	1X	X1	1X

JK-FF激励表

$Q^n \rightarrow Q^{n+1}$	J	K
0 → 0	0	×
0 → 1	1	×
1 → 0	×	1
1 → 1	×	0

④画输入端口K图，写出激励函数和输出函数

$Q_1Q_0 \backslash X$	0	1
00	0	1
01	1	0
11	X	X
10	X	X

J_1

$Q_1Q_0 \backslash X$	0	1
00	X	X
01	X	X
11	1	0
10	0	1

K_1

$Q_1Q_0 \backslash X$	0	1
00	1	1
01	X	X
11	X	X
10	1	1

J_0

$Q_1Q_0 \backslash X$	0	1
00	X	X
01	1	1
11	1	1
10	X	X

K_0

$Q_1Q_0 \backslash X$	0	1
00	0	1
01	0	0
11	0	0
10	1	0

Z

$$J_1 = \bar{X}Q_0 + X\bar{Q}_0 = X \oplus Q_0$$

$$K_1 = X \oplus Q_0$$

$$J_0 = 1$$

$$K_0 = 1$$

$$Z = \bar{X}Q_1Q_0 + X\bar{Q}_1\bar{Q}_0$$

自启动...

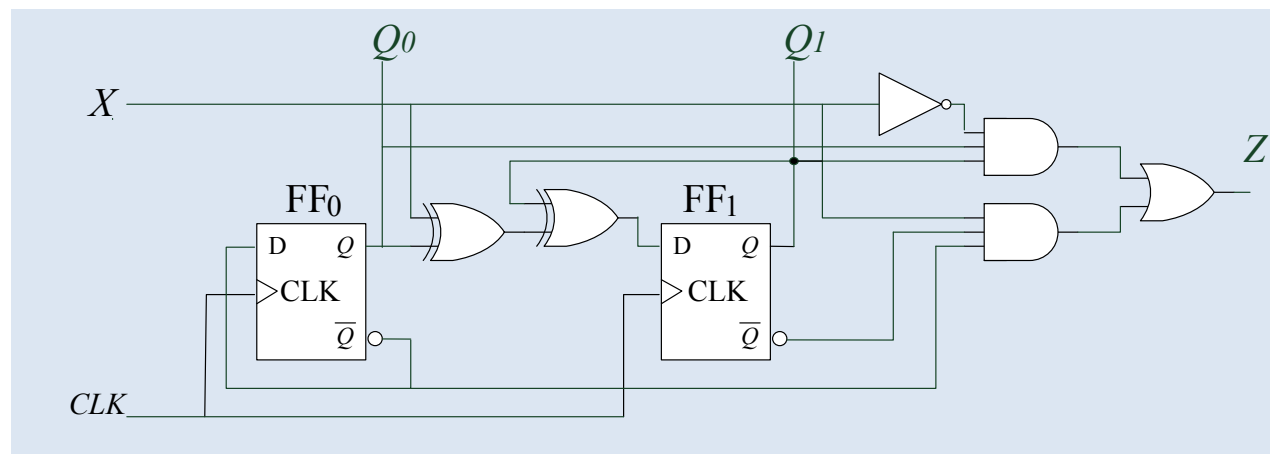
⑤画出时序逻辑电路图

D触发器逻辑电路

$$D_1 = X \oplus Q_1 \oplus Q_0$$

$$D_0 = \bar{Q}_0$$

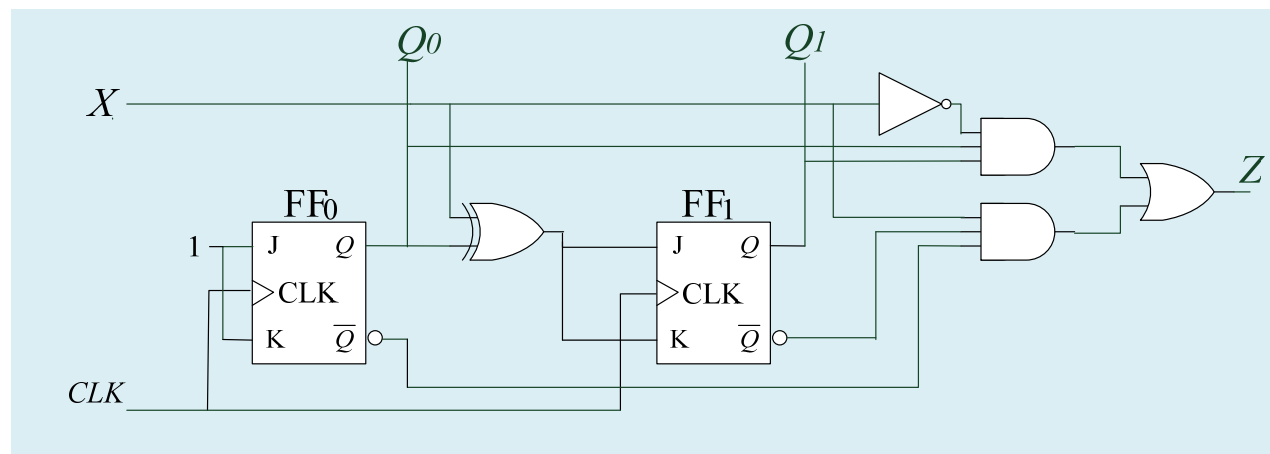
$$Z = \bar{X}Q_1Q_0 + X\bar{Q}_1\bar{Q}_0$$



JK触发器逻辑电路

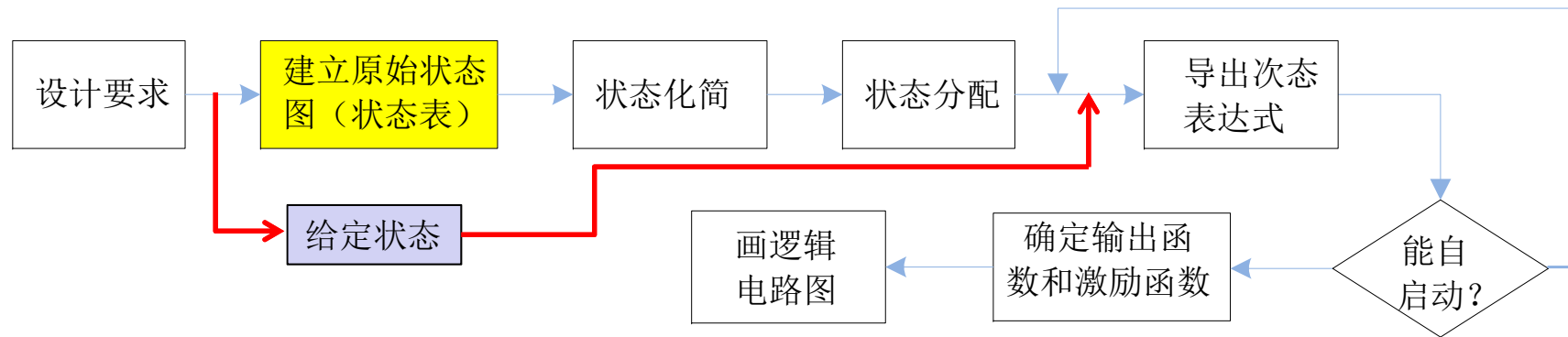
$$J_1 = K_1 = X \oplus Q_0$$

$$J_0 = K_0 = 1$$



建立原始状态图或状态表

同步时序电路的设计流程图：



原始状态图和状态表的建立是时序电路设计中最关键的一步。

一般步骤如下：

- ① 分析命题要求，确定输入、输出变量。
- ② 确定状态数目，以及每一个状态的含义，并用字母表示每一个状态信息。
- ③ 确定状态之间的转换关系，画出原始状态图，列出原始状态表。

建立原始状态图或状态表

例：设计串行输入“101”序列检测电路，确定其原始状态图和原始状态表。设该电路输入变量为 X ，代表输入串行序列；输出变量为 Z ，当检测到输入序列为“101”时 $Z=1$ ，否则 $Z=0$ 。

(1) 检测的输入序列可重叠时，输入和输出之间的关系为：

X 011010111011

Z 000010100010

(2) 检测的输入序列不重叠时，输入和输出之间的关系为：

X 011010111011

Z 000010000010

解：串行输入 “101”序列检测

① 确定输入变量和输出变量

设该电路的输入变量为 X ，输出变量为 Z 。

② 确定状态数目以及每一个状态的含义

根据题意，用状态来记忆输入序列情况，每一个状态的含义设为：

S_0 ：初始状态，表示电路还没有收到一个有效的1；

S_1 ：表示电路收到了一个1的状态；

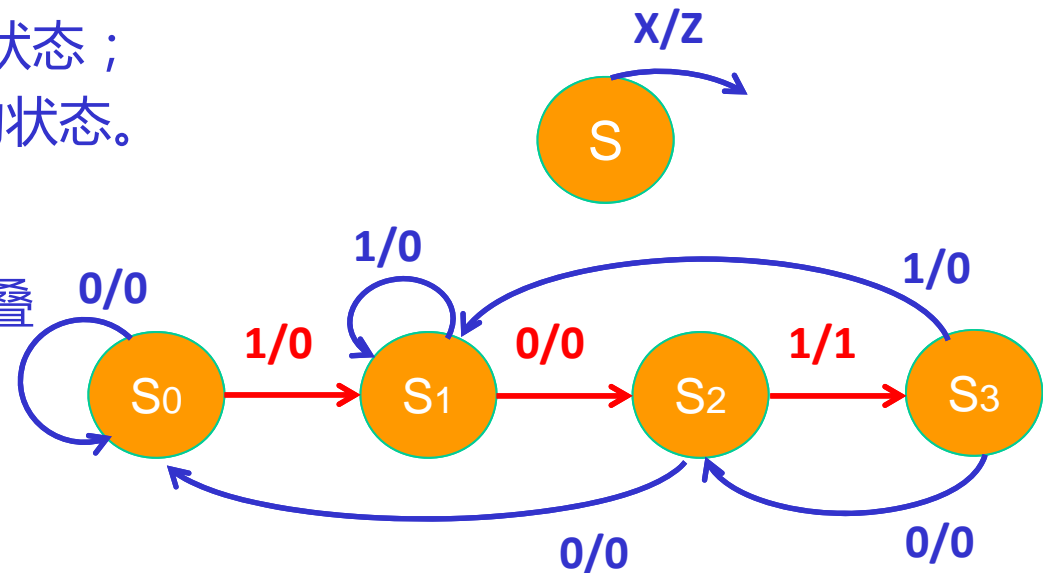
S_2 ：表示电路收到了10的状态；

S_3 ：表示电路收到了101的状态。

③ 画状态图、列状态表

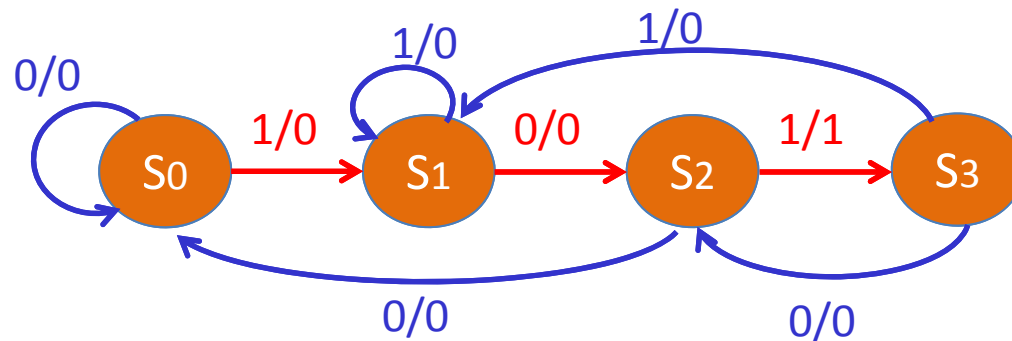
(1) Mealy型，输入序列可重叠

X	0	1	1	0	1	0	1	1	0	1	1
Z	0	0	0	0	1	0	1	0	0	0	1



③ 画状态图、列状态表

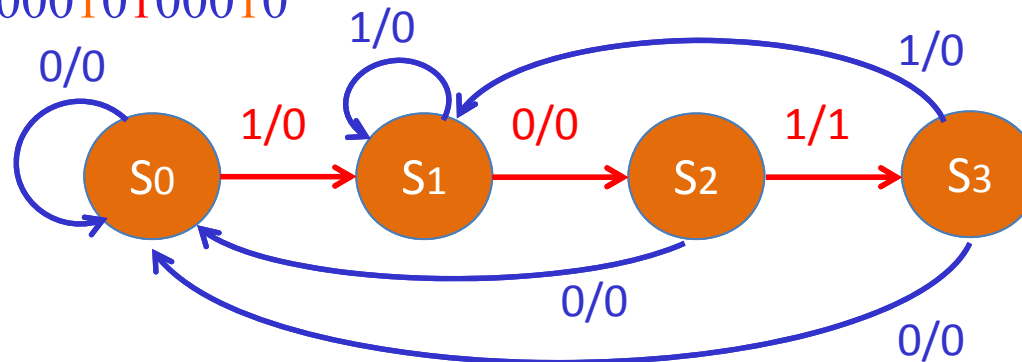
(1) Mealy型, 输入序列可重叠



$S \backslash X$	S^{n+1}/Z	
	0	1
S_0	$S_0/0$	$S_1/0$
S_1	$S_2/0$	$S_1/0$
S_2	$S_0/0$	$S_3/1$
S_3	$S_2/0$	$S_1/0$

(2) Mealy型, 输入序列不重叠

X 011010111011
Z 000010100010



$S \backslash X$	S^{n+1}/Z	
	0	1
S_0	$S_0/0$	$S_1/0$
S_1	$S_2/0$	$S_1/0$
S_2	$S_0/0$	$S_3/1$
S_3	$S_0/0$	$S_1/0$

*建立原始状态图或状态表示例

例6：建立Moore型时序电路状态图和表，要求检测的输入序列为可重叠“101”，输入和输出之间的关系为：

X 011010111011

Z 000001010001

解：Moore型时序电路的输出与外输入无关。

① 确定输入变量和输出变量

设该电路的输入变量为X，输出变量为Z。

② 确定状态数目以及每一个状态的含义

根据题意，每一个状态的含义设为：

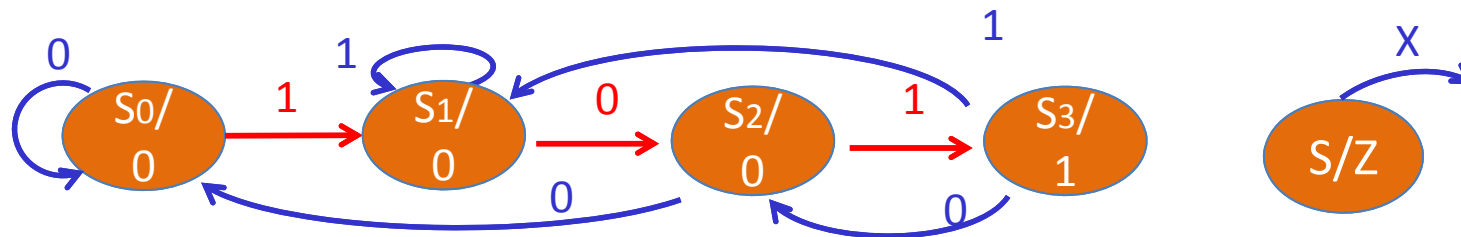
S0：初始状态，表示还没有收到有效的1；

S1：表示电路收到了一个1的状态；

S2：表示电路收到了10的状态；

S3：表示电路收到了101的状态。

$S \backslash X$	S^{n+1}		
	0	1	Z
S_0	S_0	S_1	0
S_1	S_2	S_1	0
S_2	S_0	S_3	0
S_3	S_2	S_1	1



*示例

*例：设计一个自动售票机的逻辑电路原始状态表和原始状态图。假设该售票机的投币口每次只能投入一枚五角或一元两种硬币。当投入二元五角硬币后机器自动售出一张票。当投入的硬币为三元，机器在自动售出一张票的同时找回一枚五角硬币。

解： ① 确定输入变量和输出变量



设输入变量为X和Y：

X=1投入一元钱，X=0未投入；

Y=1投入五角钱，Y=0未投入。

输出变量为P和Z：

P=1出一张票，P=0不出票；

Z=1找五角硬币，Z=0不找钱。

*示例

② 确定状态数目以及每一个状态的含义

S_0 : 没有收到硬币前的初始状态 ;

S_1 : 记忆收到五角钱的状态 ;

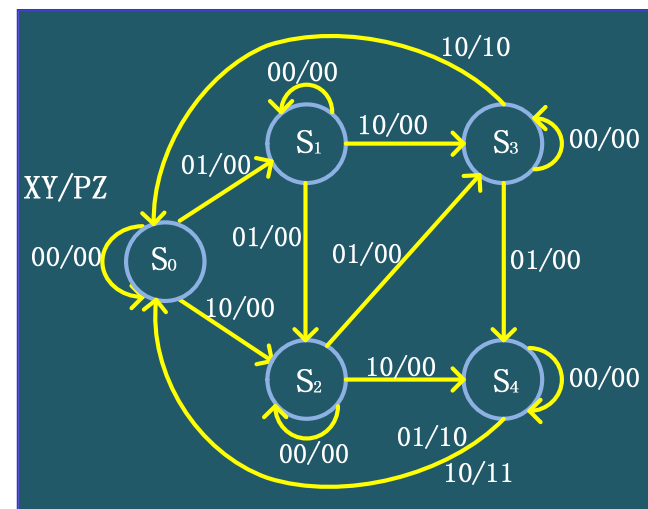
S_2 : 记忆收到一元钱的状态 ;

S_3 : 记忆收到一元五角钱的状态 ;

S_4 : 记忆收到两元钱的状态。

③ 列状态表、画状态图

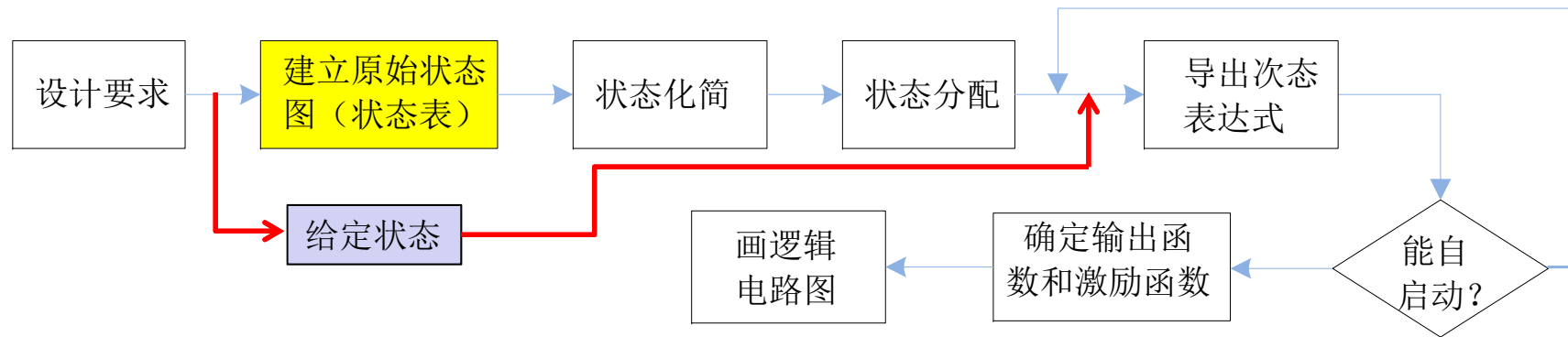
$S \backslash XY$	S^{n+1}/PZ			
	00	01	11	10
S_0	$S_0/00$	$S_1/00$	xx/xx	$S_2/00$
S_1	$S_1/00$	$S_2/00$	xx/xx	$S_3/00$
S_2	$S_2/00$	$S_3/00$	xx/xx	$S_4/00$
S_3	$S_3/00$	$S_4/00$	xx/xx	$S_0/10$
S_4	$S_4/00$	$S_0/10$	xx/xx	$S_0/11$



注意：输入变量X和Y不可能同时出现11的输入情况。

状态化简

同步时序电路的设计流程图：



状态设置时的重点，是正确反映功能设计要求，但可能有多余的状态；多余状态导致电路复杂，需要化简。

化简的核心是要找所谓的等价状态。

状态化简

什么是状态的等价？

定义：对两个状态 S_i 和 S_j ，如分别以之为初始状态，加入任意的输入，电路均产生相同的输出，称 S_i 和 S_j 等价。

等价的状态可以合并。

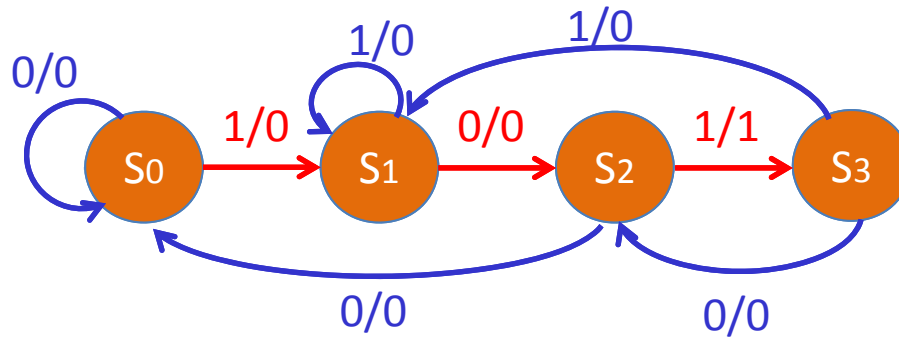
如何判断状态的等价？

两个状态等价的条件：（观察状态表）

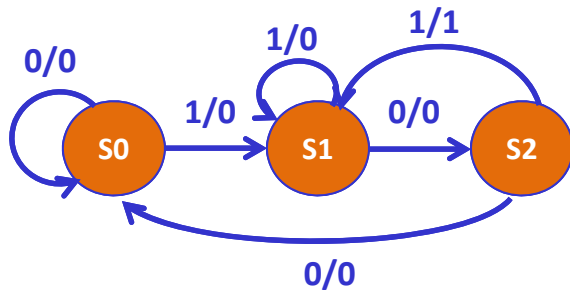
1. 相同输入有相同的输出
2. 相同输入时次态等价，次态等价指：
 - （1）次态相同 或
 - （2）次态交错 或
 - （3）次态互为隐含条件

*状态化简

Mealy型101可重叠检测电路的两种状态图。



S \ X	S^{n+1}/Z	
	0	1
S_0	$S_0/0$	$S_1/0$
S_1	$S_2/0$	$S_1/0$
S_2	$S_0/0$	$S_3/1$
S_3	$S_2/0$	$S_1/0$



S \ X	S^{n+1}/Z	
	0	1
S_0	$S_0/0$	$S_1/0$
S_1	$S_2/0$	$S_1/0$
S_2	$S_0/0$	$S_3/1$

等价状态： $S_1 \approx S_3$; $[S_1, S_3]$

状态化简：找出状态表中的等价状态，并合并等价状态。

状态分配

将最简状态图或状态表中字符表示的状态赋以适当的二值代码，得到二进制形式的状态表示。又称为状态编码。

1. 分配时注意状态个数、二进制位数（触发器个数）之间的关系；
2. 分配的原则供参考，一般可简单随意分配。

状态分配

如果实际状态数为M，要用n个触发器，则一共有 2^n ($2^n \geq M$)种不同代码，将 2^n 种代码分配给M个状态，则分配方案数N为：

$$N = \frac{(2^n - 1)!}{(2^n - M)!n!}$$

相邻法三原则，即符合下列条件的状态应尽可能分配相邻的二进制代码：

- ① 具有相同次态的现态;
- ② 同一现态下的次态;
- ③ 具有相同输出的现态。

00 01 10 11如何相邻？

00: 01 10 相邻 0 1 : 00 11 相邻

1 0: 00 11 相邻 1 1 : 01 10 相邻

相邻三原则举例：

$S \backslash X$	S^{n+1} / Z	
	0	1
S_1	$S_3/0$	$S_1/0$
S_2	$S_1/0$	$S_1/1$
S_3	$S_1/0$	$S_4/1$
S_4	$S_2/1$	$S_3/0$

③ 具有相同输出的现态。

S_2S_3 应分配相邻代码。

分配结果为：

$S_1=00$; $S_2=01$; $S_3=11$; $S_4=10$ 。

① 具有相同次态的现态;

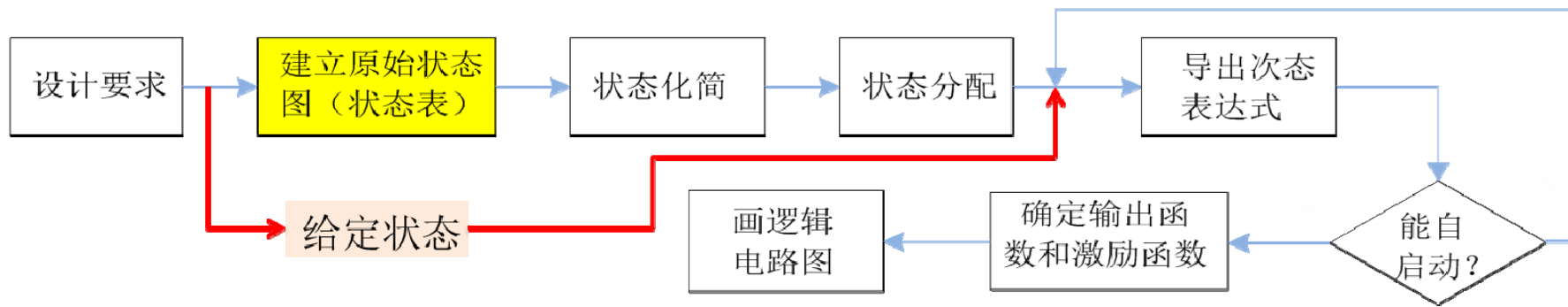
S_1S_2 , S_2S_3 应分配相邻代码。

② 同一现态下的次态;

S_1S_3 , S_1S_4 , S_2S_3 应分配相邻代码。

$Q_1Q_0 \backslash X$	$Q_1^{n+1}Q_0^{n+1} / Z$	
	0	1
00	11/0	00/0
01	00/0	00/1
11	00/0	10/1
10	01/1	11/0

同步时序逻辑电路的设计



将上述分配了二进制代码的状态表，得到输出、次态与输入、现态之间的关系。

这时的设计回到了给定状态电路设计方法。

例5 用JK触发器设计111序列检测器。

1. 电路的功能是连续输入3个或3个以上的1时，电路输出1，否则输出0；
2. 电路应该有一个输入X，一个输出Z，应有如下关系：
如 X 0 1 1 0 1 1 1 1 0 1 1
则 Z 0 0 0 0 0 0 1 1 1 0 0 0
3. 难以确定到底需要几个触发器。

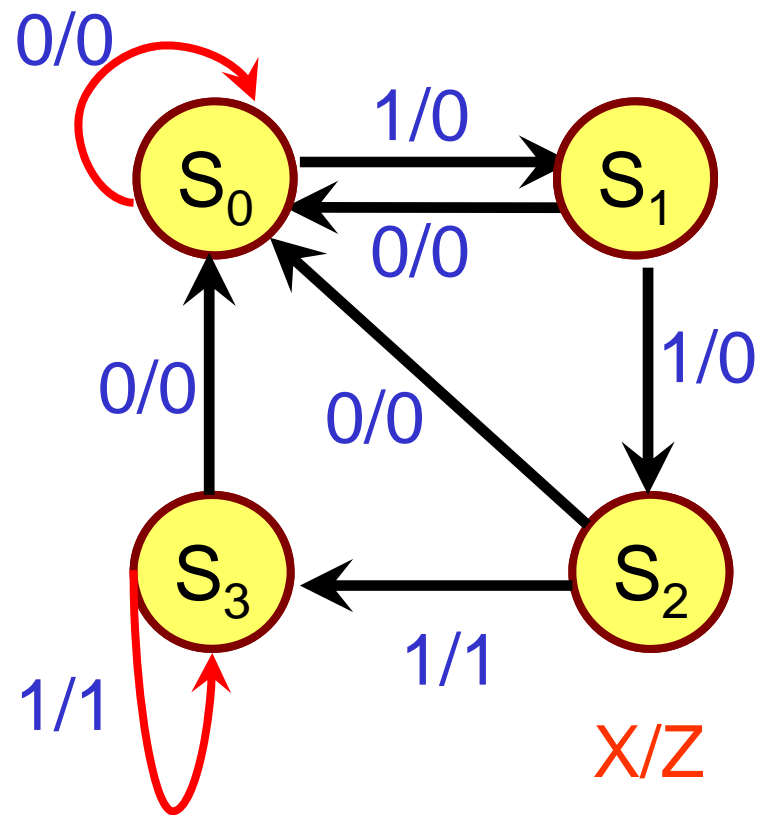
(1) 根据题意进行状态设置

具体做法如下：

设：
 S_0 初态，电路没有收到有效的1；
 S_1 收到一个有效的1；
 S_2 收到两个有效的1；
 S_3 收到三个有效的1。

这些状态是需要电路记忆的事件。


(2) 根据状态设置建立状态图和状态表



		S^{n+1}/Z	
		0	1
$S \backslash X$	S_0	$S_0 / 0$	$S_1 / 0$
	S_1	$S_0 / 0$	$S_2 / 0$
	S_2	$S_0 / 0$	$S_3 / 1$
	S_3	$S_0 / 0$	$S_3 / 1$

状态化简：

S^{n+1}/Z		
$S \backslash X$	0	1
S_0	$S_0 / 0$	$S_1 / 0$
S_1	$S_0 / 0$	$S_2 / 0$
S_2	$S_0 / 0$	$S_3 / 1$
S_3	$S_0 / 0$	$S_3 / 1$



S^{n+1}/Z		
$S \backslash X$	0	1
S_0	$S_0 / 0$	$S_1 / 0$
S_1	$S_0 / 0$	$S_2 / 0$
S_2	$S_0 / 0$	$S_2 / 1$

化简后的状态分配：

$S \backslash X$		S^{n+1}/Z		$Q_1 Q_0 \backslash X$		$Q_1^{n+1} Q_0^{n+1}/Z$	
		0	1			0	1
S_0		$S_0 / 0$	$S_1 / 0$	0 0		00/0	01/0
S_1		$S_0 / 0$	$S_2 / 0$	0 1		00/0	10/0
S_2		$S_0 / 0$	$S_2 / 1$	1 0		00/0	10/1

设 $S_0 = 00$, $S_1 = 01$, $S_2 = 10$

状态分配的方案二：

$S \backslash X$		S^{n+1}/Z		$Q_1 Q_0 \backslash X$		$Q_1^{n+1} Q_0^{n+1}/Z$	
		0	1			0	1
S_0		$S_0 / 0$	$S_1 / 0$	0 0		00/0	10/0
S_1		$S_0 / 0$	$S_2 / 0$	1 0		00/0	11/0
S_2		$S_0 / 0$	$S_2 / 1$	1 1		00/0	11/1

设 $S_0 = 00$, $S_1 = 10$, $S_2 = 11$

求状态方程：

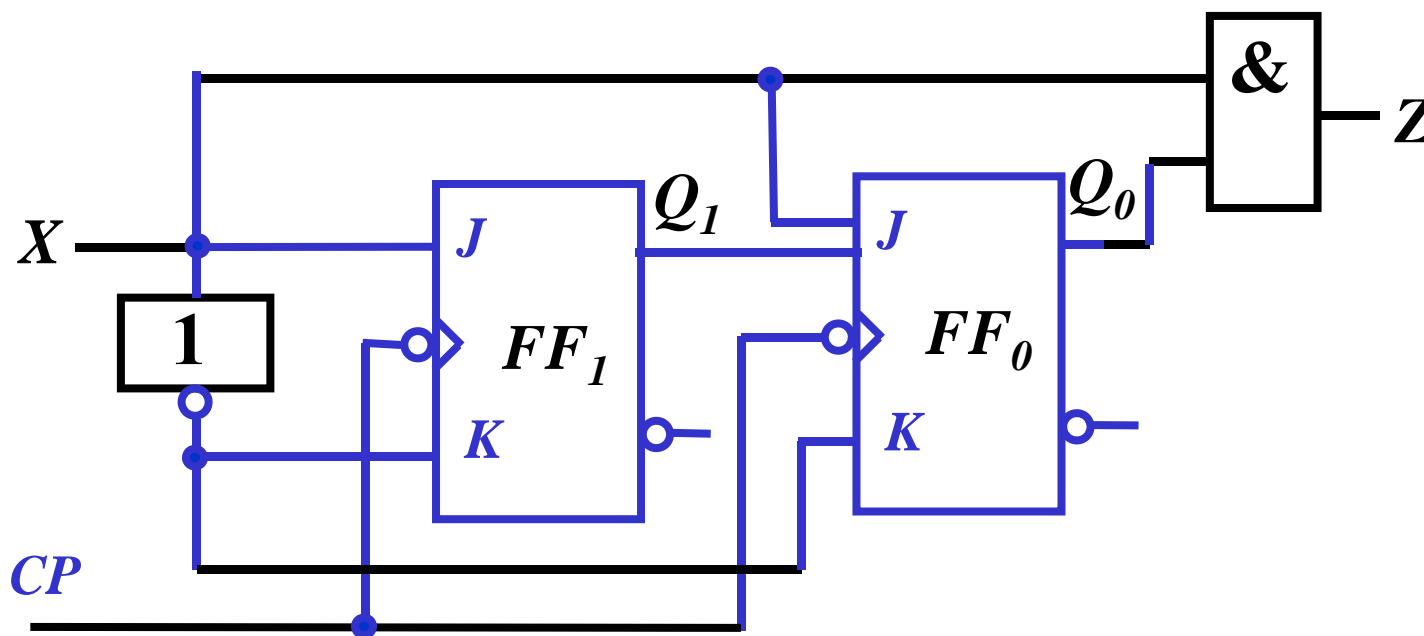
$$Q_1^{n+1} = J_1 \bar{Q}_1 + \bar{K}_1 Q_1 = X \bar{Q}_1 + X Q_1$$
$$Q_0^{n+1} = J_0 \bar{Q}_0 + \bar{K}_0 Q_0 = X Q_1 \bar{Q}_0 + X Q_0$$

求激励方程和输出方程：

$$J_1 = X \quad K_1 = \bar{X} \quad Z = X Q_0$$
$$J_0 = X Q_1 \quad K_0 = \bar{X}$$

自启动检查：电路可以自启动。

(6) 画出电路图





本章完，谢谢大家！

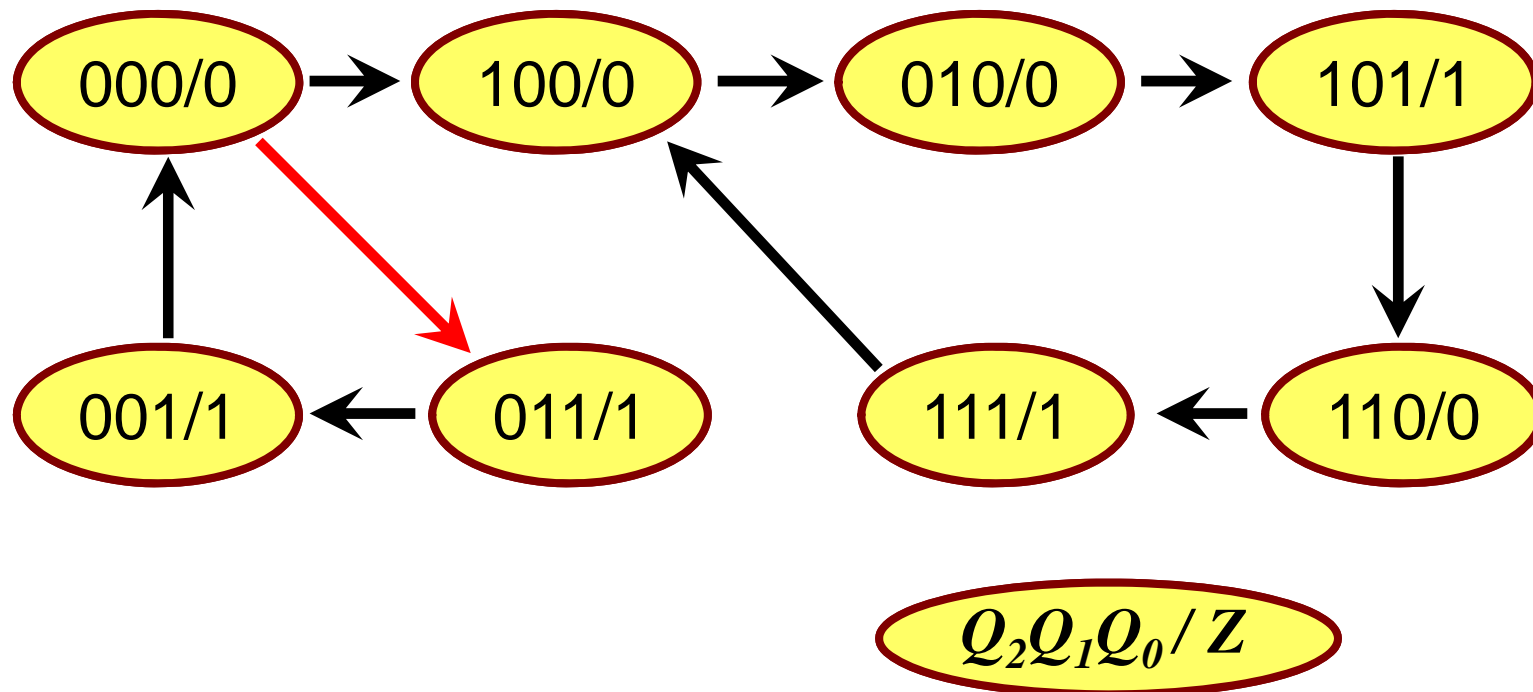
作业

- 5-4
- 5-7
- *5-8
- 5-14

*什么是可自启动电路？

时序电路中的所有无效状态经过数个CP脉冲后都能进入有效状态环，称电路为可自启动电路。

*可自启动电路与不可自启动电路举例



Q_1^{n+1} 、 Q_0^{n+1} 和 Z 的 K 图分别如(a)(b)(c)所示：

