

Les performances des ASIC (vitesse, low-power) sont meilleures que les FPGA ?

Sélectionnez une réponse :

- ☒ Vrai
- ☐ Faux

Choisissez l'instruction ou les instructions qui permettent de réaliser un additionneur entre les entrées A, B et C sur la sortie SUM afin de compléter le code VHDL du circuit suivant :

```
library IEEE;
```

```
use IEEE.STD_LOGIC_1164.all;
```

```
use IEEE.NUMERIC_STD.all;
```

```
entity ADDER is
```

```
    port (A : in STD_LOGIC_VECTOR (7 downto 0);
```

```
          B : in STD_LOGIC_VECTOR (7 downto 0);
```

```
          C : in STD_LOGIC_VECTOR (7 downto 0);
```

```
          SUM : out STD_LOGIC_VECTOR(7 downto 0));
```

```
end entity;
```

```
architecture BEHAVIOUR of ADDER is
```

```
begin
```

```
end architecture;
```

Veillez choisir au moins une réponse :

- ☐ a. SUM <= signed(A) + signed(B) + signed(C);
- ☒ b. SUM <= A+B+C; ? X
- ☐ c. SUM <= std_logic_vector(A + B + C);
- ☒ d. SUM <= std_logic_vector(unsigned(A) + unsigned(B) + unsigned(C));
- ☐ e. SUM <= unsigned(A) + unsigned(B) + unsigned(C);
- ☐ f. SUM <= signed(A + B + C);
- ☐ g. SUM <= unsigned (A+B +C);
- ☒ h. SUM <= std_logic_vector(signed(A) + signed(B) + signed(C));

EPU-I6-EPV

Participants

Badges

Compétences

Notes

Compétences, Séquence pédagogique et évaluation du module

Chapitre 1 et 2: Introduction

Cours VHDL : C3 à C11

Exercices VHDL sur Modelsim

Correction des exercices du Chapitre 3

Vidéos du Chapitre 4

Corrections des exercices du Chapitre 4

Vidéo du chapitre 5 sur les fichiers et librairies

Vidéo du chapitre 6 sur

Pas encore répondu
Noté sur 4,00
Marquer la question

Choisissez l'instruction ou les instructions qui permettent de réaliser un additionneur entre les entrées A, B et C sur la sortie SUM afin de compléter le code VHDL du circuit suivant :

library IEEE;

use IEEE.STD_LOGIC_1164.all;

use IEEE.NUMERIC_STD.all;

entity ADDER is

port (A : in STD_LOGIC_VECTOR (7 downto 0);

B : in INTEGER;

C : in SIGNED(7 downto 0);

SUM : out STD_LOGIC_VECTOR(7 downto 0));

end entity;

architecture BEHAVIOUR of ADDER is

begin

end architecture;

Veillez choisir au moins une réponse :

- ☒ a. SUM <= std_logic_vector(signed(A) + B + C);
- ☒ b. SUM <= std_logic_vector(signed(A) + to_signed(B,8) + C);
- ☐ c. SUM <= std_logic_vector(A+to_signed(B,8) +C);
- ☒ d. SUM <= std_logic_vector(to_signed(to_integer(signed(A)) + B + to_integer(C,8));
- ☐ e. SUM <= A+B+C;
- ☐ f. SUM <= signed(A) + B + C;
- ☐ g. SUM <= std_logic_vector(A + B + C);
- ☐ h. SUM <= std_logic_vector(A + B + to_integer(C));

1	2	3	4	5	6	7	8
10	11	12	13	14	15	16	17
19	20	21	22	23	24	25	

Terminer le test...

Temps restant **0:35:41**


```

port( i0, i1 : in std_logic ;
      out0 : out std_logic) ;
end entity;
architecture circuit2 of cell2 is
begin
process (i0, i1)
begin
  if (i0 = '1') then
    out0 <= i1;
  end if;
end process;
end architecture;

```

i0 是时钟 clk?

else → 时序

Veuillez choisir au moins une réponse :

- ☐ a. Multiplexeur 2 vers 1
- ☐ b. Circuit combinatoire
- ☐ c. Registre à décalage
- ☐ d. Circuit asynchrone
- ☐ e. Bascule D Flip-Flop avec un reset synchrone
- ☒ f. Circuit séquentiel
- ☒ g. Circuit synchrone
- ☒ h. Bascule D Latch

Quelles conditions doit-on respecter pour qu'un process en VHDL mène à la synthèse d'un circuit combinatoire?

Veillez choisir au moins une réponse :

- ☒ a. Les sorties doivent être assignés dans tout les cas afin d'éviter les bascule D Latch (verrou) et les boucles de retour.
- ☐ b. Liste de sensibilité doit inclure le clock et le reset (si il existe) et rien d'autre.
- ☐ c. Les signaux doivent prendre leurs nouvelles valeurs qu'à la fin du process.
- ☐ d. Respectez la structure if reseat = '1' then elsif rising_edge(clk) then
- ☒ e. La liste de sensibilité doit être complète : tous les signaux lus dans le process doivent apparaître dans la liste de sensibilité.

Un FPGA peut comporter un ou plusieurs microprocesseur ?

Sélectionnez une réponse :

☒ Vrai

☐ Faux

Dans un process un signal prend sa nouvelle valeur immédiatement ?

Sélectionnez une réponse :

☐ Vrai

☒ Faux

!!!

Le langage VHDL est un langage concurrent ?

Sélectionnez une réponse :

☒ Vrai

☐ Faux

Projet VHDL EI-SE

Tableau de bord / Mes cours / EPU-16-EPV / Contrôle VHDL / Contrôle des connaissances de VHDL 2021

Question 17

Pas encore
répondu

Noté sur 2,00

🚩 Marquer la
question

Quels sont les langages qui permettent de décrire et synthétiser un circuit logique (langages de description matérielle) ?

Veuillez choisir au moins une réponse :

- ☒ a. Verilog
- ☐ b. Langage C
- ☐ c. Python
- ☒ d. SystemC
- ☐ e. JAVA
- ☒ f. System Verilog
- ☒ g. VHDL

Page suivante

→ Annexe contrôle 2021

Aller à...

Navigation du

1	2	3
10	11	12
19	20	21

Terminer le test...

Temps restant 0:53

D'après la déclaration des signaux ci-dessous et des exemples fournis, choisissez l'instruction qui permet de réaliser la conversion INTEGER --> SIGNED

N S

Signal U: UNSIGNED(7 downto 0);

Signal S: SIGNED (7 downto 0);

Signal V: STD_LOGIC_VECTOR(7 downto 0);

Signal N: INTEGER;

Exemples :

U <= UNSIGNED(V); -- conversion STD_LOGIC_VECTOR à UNSIGNED

N <= TO_INTEGER(S); -- conversion SIGNED à INTEGER

Veillez choisir une réponse :

- ☐ a. V <= STD_LOGIC_VECTOR(TO_SIGNED(N));
- ☐ b. V <= STD_LOGIC_VECTOR(TO_SIGNED(N,8));
- ☐ c. N <= TO_SIGNED(V);
- ☒ d. S <= TO_SIGNED(N,8);
- ☐ e. N <= TO_INTEGER(V);
- ☐ f. V <= STD_LOGIC_VECTOR(S);
- ☐ g. V <= TO_SIGNED(STD_LOGIC_VECTOR(N));
- ☐ h. N <= TO_INTEGER(SIGNED(V));
- ☐ i. N <= SIGNED(TO_INTEGER(V));
- ☐ j. V <= TO_SIGNED(N,8);

Projet VHDL EI-SE

[Tableau de bord](#) / [Mes cours](#) / [EPU-I6-EPV](#) / [Contrôle VHDL](#) / [Contrôle des connaissances de VHDL 2021](#)

Question 13

Pas encore
répondu

Noté sur 1,00

¶ Marquer la question

Les ASIC sont plus adaptés pour de petite production ?

Sélectionnez une réponse :

☒ Vrai

 FALUK

← Annexe contrôle 2021

[Aller à...](#)

Page suivante

Navigation du test

1	2	3	4	5	6
10	11	12	13	14	15
19	20	21	22	23	24

Terminer le test...

Temps restant 1:01:27

if RESET = '1' then

COUNT := "00000000";

else

COUNT := COUNT + 1;

end if;

OUTPUT <= COUNT(7);

end if;

end process;

Réponse : 8

Choisissez l'instruction ou les instructions qui permettent de réaliser en une ligne de code l'architecture d'un multiplexeur 64 vers 1 afin de compléter le code VHDL du circuit ci-dessous. Rappel de la librairie NUMERIC_STD en annexe.

```
entity MUX64V1 is
    port (D : out STD_LOGIC;
          SEL : in STD_LOGIC_VECTOR(5 downto 0);
          Y : in STD_LOGIC_VECTOR(63 downto 0));
end entity;

architecture RTL of MUX64V1 is
begin

end architecture;
```

Veillez choisir au moins une réponse :

- ☐ a. D <= Y(SEL);
- ☐ b. Y(SEL) <= D;
- ☒ c. D <= Y(to_integer(unsigned(SEL)));
- ☐ d. D <= Y(to_integer(SEL));
- ☒ e. D <= Y(to_integer(signed(SEL)));
- ☐ f. D <= Y(to_signed(SEL));
- ☐ g. Y(to_integer(signed(SEL))) <= D;
- ☐ h. Y(to_integer(unsigned(SEL))) <= D;
- ☐ i. Y <= SEL(D);

Projet VHDL EI-SE

Tableau de bord / Mes cours / EPU-I6-EPV / Controle VHDL / Contrôle des connaissances de VHDL 2021

Question 14
Pas encore
répondu
Noté sur 1,00
Manquer la
question

On considère un signal de type std_logic avec trois drivers. Donnez la valeur résolue de ce signal en fonction des valeurs des trois drivers. Valeurs des drivers : '1', 'Z', 'L'. Quelle est la valeur résolue ?

Veuillez choisir une réponse :

- ☐ a. 'W'
- ☒ b. '1'
- ☐ c. 'L'
- ☐ d. 'X'
- ☐ e. 'Z'

Navigation du test

1	2	3	4	5	6	7	8	9
10	11	12	13	14	15	16	17	18
19	20	21	22	23	24	25		

Terminer le test...

Temps restant 1:00:34

Annexe contrôle 2021

Aller à...

Page suivante

Projet VHDL EI-SE

Tableau de bord / Mes cours / EPU-I6-EPV / Controle VHDL / Contrôle des connaissances de VHDL 2021

Question 17

Pas encore
répondu

Noté sur 1,00

🚩 Marquer la
question

Les ASIC sont plus flexible que les FPGA ?

Sélectionnez une réponse :

- ☐ Vrai
☒ Faux

← Annexe contrôle 2021

Aller à...

Dans un process une variable prend sa nouvelle à la fin du process ?

Sélectionnez une réponse :

☐ Vrai

☒ Faux