

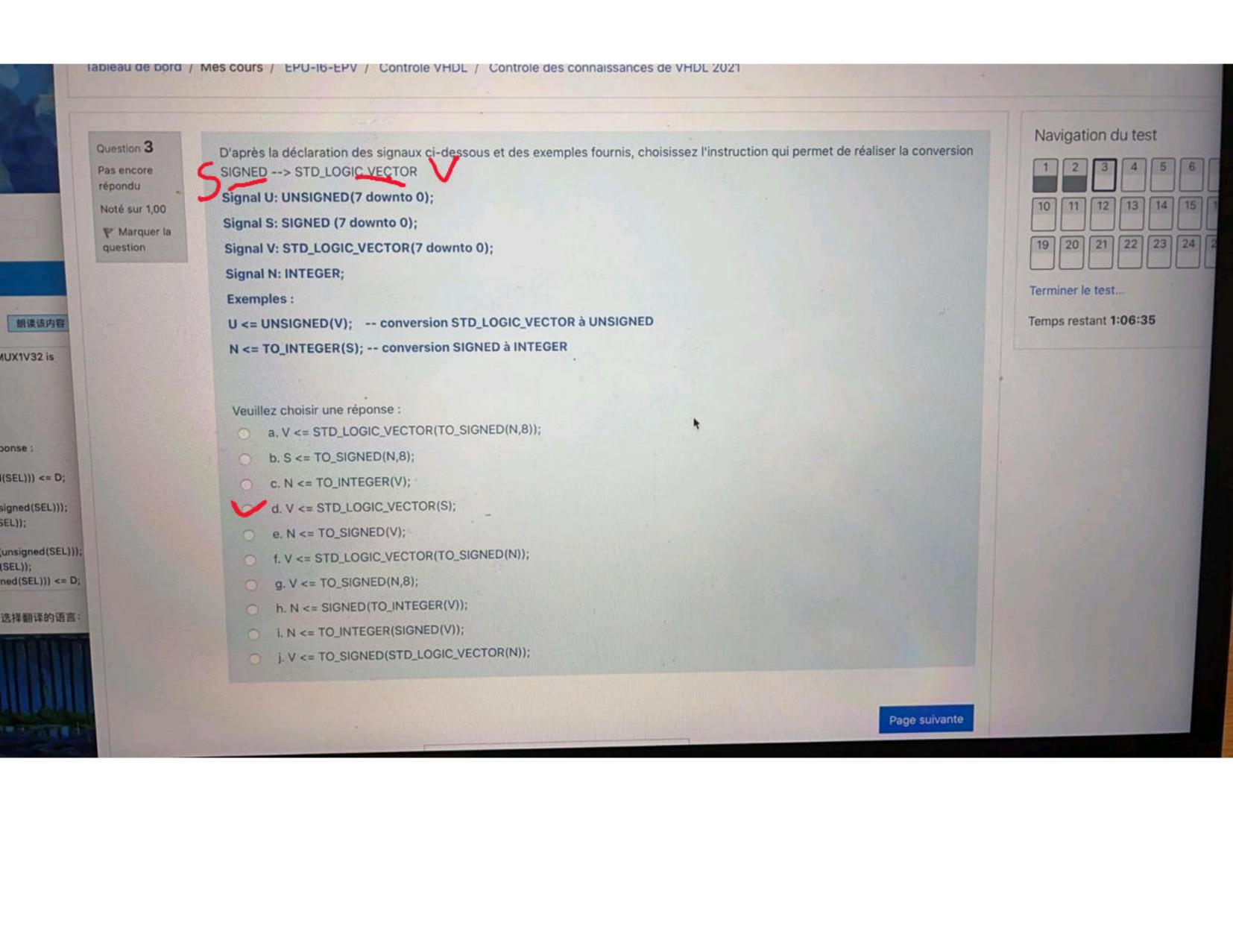
## et VHDL EI-SE

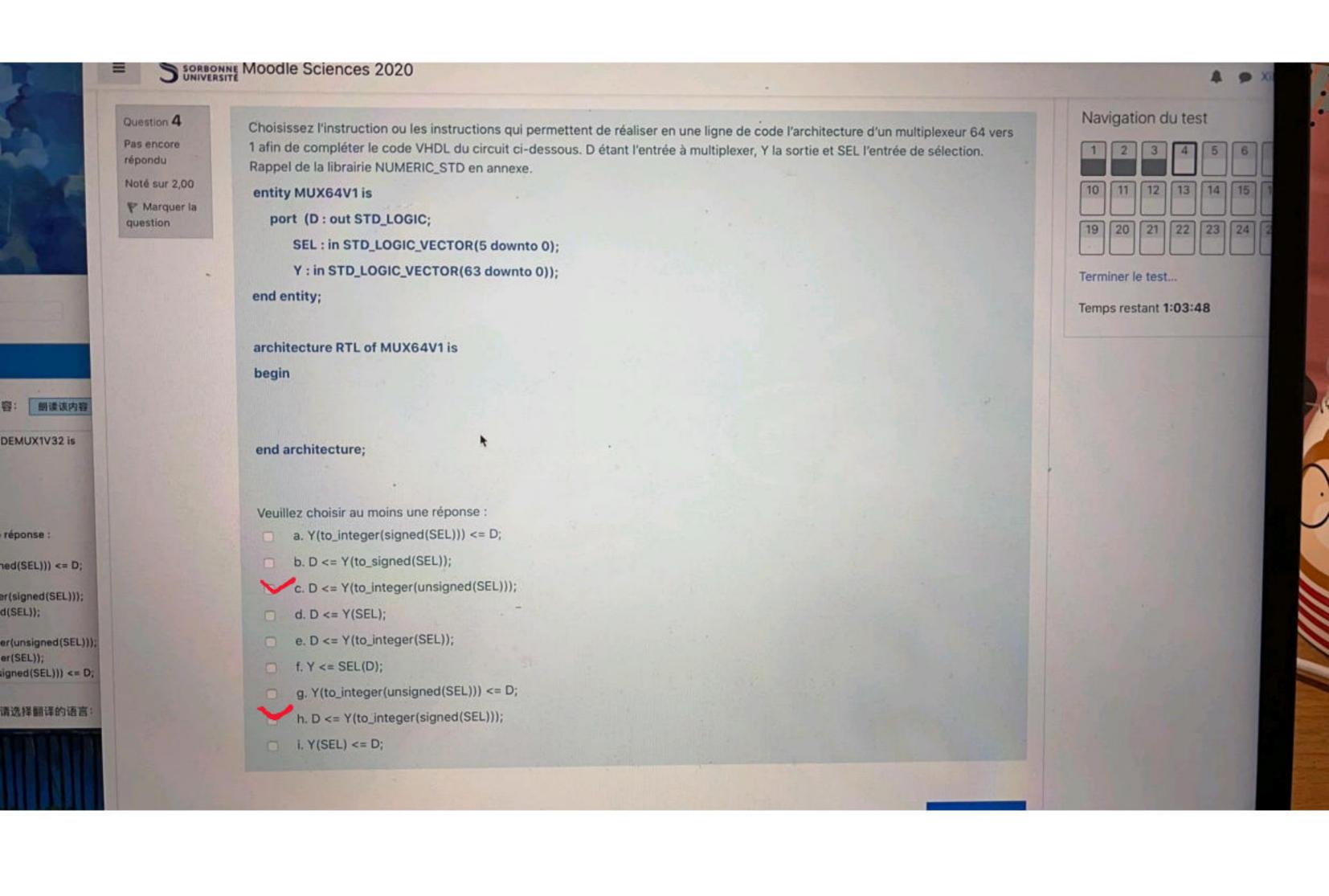
Aller à...

e bord / Mes cours / EPU-I6-EPV / Controle VHDL / Contrôle des connaissances de VHDL 2021 On considère un signal de type std\_logic avec trois drivers. Donnez la valeur résolue de ce signal en fonction des valeurs des trois drivers. Valeurs des drivers : 'H', 'Z', 'L'. Quelle est la valeur résolue ? Veuillez choisir une réponse : a. 'Z' b. 'H' c. 'L'

0

Page suivante





## ojet VHDL EI-SE eau de bord / Mes cours / EPU-I6-EPV / Controle VHDL / Contrôle des connaissances de VHDL 2021 stion 6 Quelles conditions doit-on respecter pour qu'un process en VHDL mène à la synthèse d'un circuit synchrone ? encore ondu Veuillez choisir au moins une réponse : é sur 2,00 a. Liste de sensibilité doit inclure le clock et le reset (si il existe) et rien d'autre. b. Respectez la structure if resest = '1' then .... elsif rising\_edge(clk) then ..... c. La liste de sensibilité doit être complète : tous les signaux lus dans le process doivent apparaître dans la liste de sensibilité. d. Les sorties doivent être assignés dans tout les cas afin d'éviter les bascule D Latch (verrou) et les boucles de retour. e. Les signaux doivent prendre leurs nouvelles valeurs qu'à la fin du process. Page suivante \$ Aller à... Annexe contrôle 2021

```
Combien de bascule D sont générées par le circuit suivant :

Signal OUTPUT : std_logic;

COUNTER : process (CLOCK)

variable COUNT : UNSIGNED(15 downto 0);

begin

if RISING_EDGE(CLOCK) then

if RESET = '1' then

COUNT := "000000000";

else

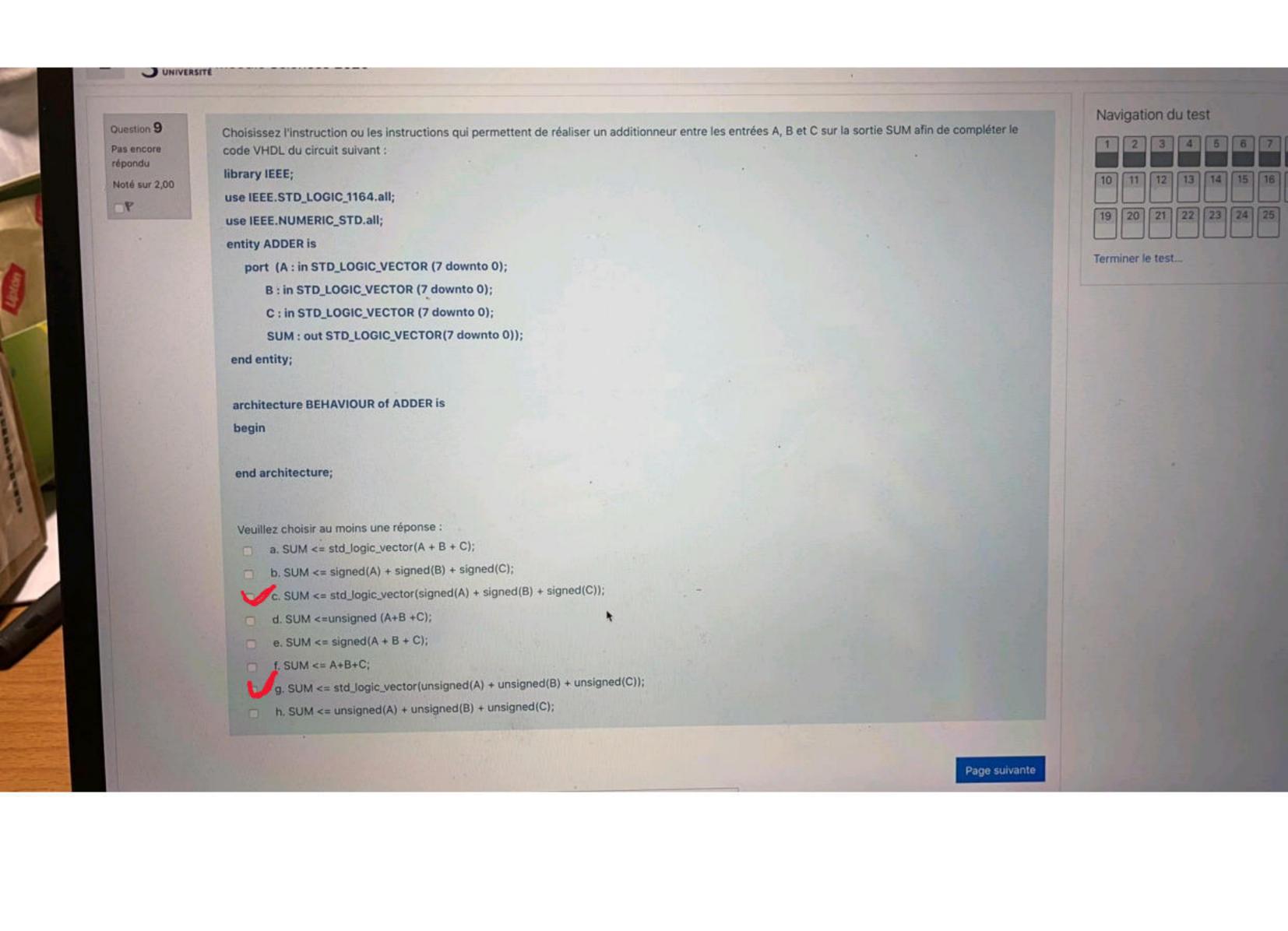
COUNT := COUNT + 1;

end if;

OUTPUT <= COUNT(7);

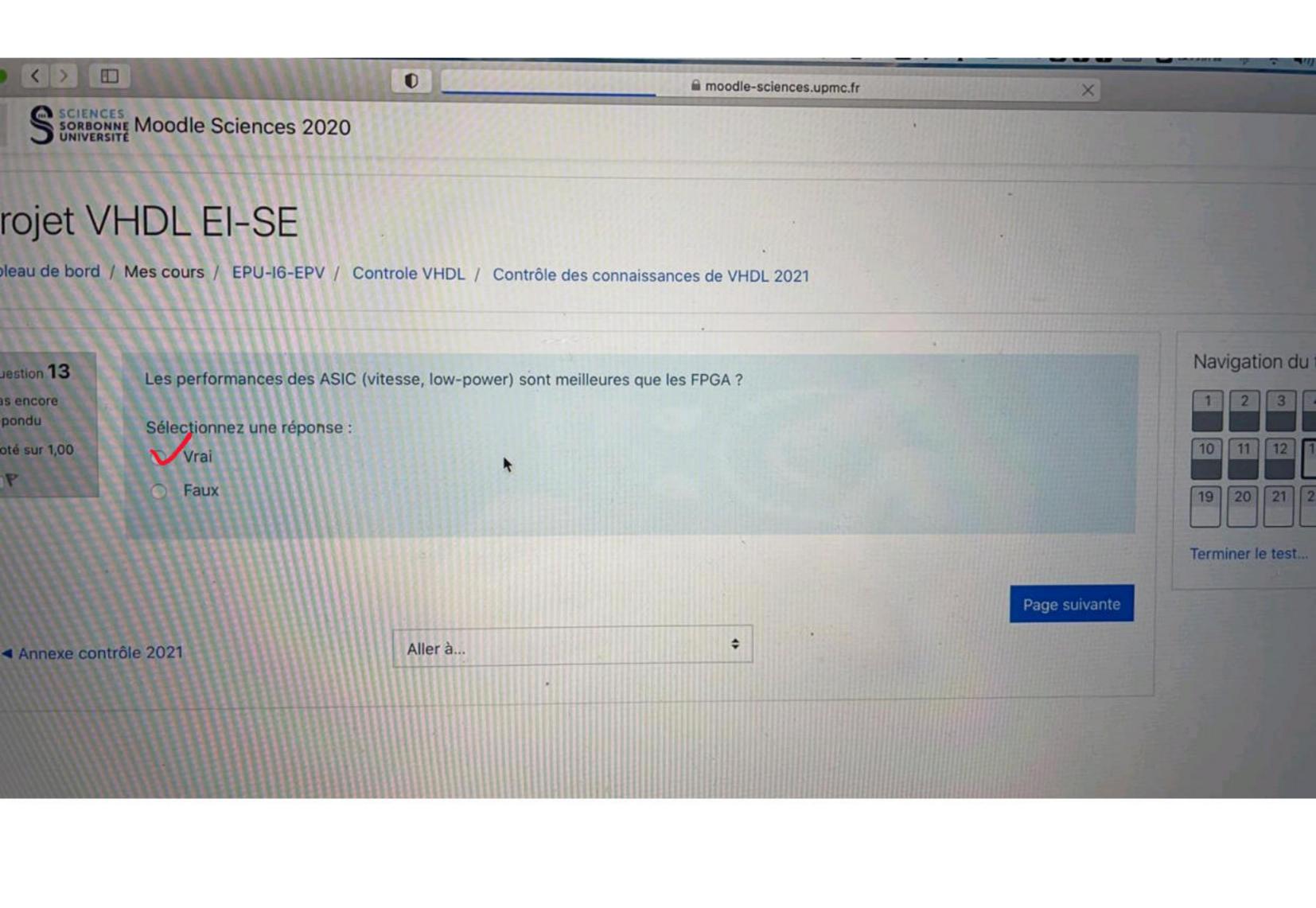
end if;

end process;
```

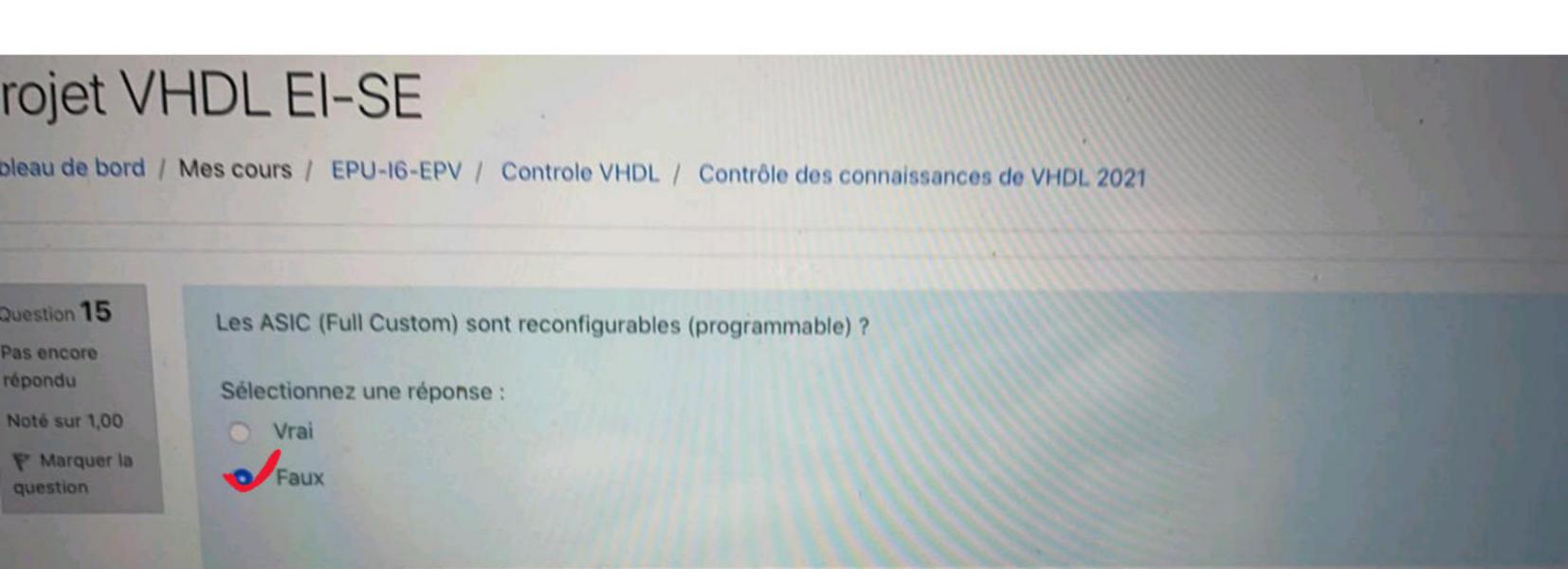


## Contrôle 2021 Quelles conditions doit-on respecter pour qu'un process en VHDL mêne à la synthèse d'un circuit combinatoire? Veuillez choisir au moins une réponse : a. Les signaux doivent prendre teurs nouvelles valeurs qu'à la fin du process. b. Respectez la structure if resest = '1' then .... elsif rising\_edge(clk) then ..... 1 c. Les sorties doivent être assignés dans tout les cas afin d'éviter les bascule D Latch (verrou) et les boucles de retour. d. La liste de sensibilité doit être complète : tous les signaux lus dans le process doivent apparaître dans la liste de sensibilité. e. Liste de sensibilité doit inclure le clock et le reset (si il existe) et rien d'autre. Page suivante

Veuillez choisir au moins une réponse :	1 2 3
a. System Verilog	10 11 12
b. Langage C	19 20 21 2
c. SystemC	
d. Python	Terminer le test
e. JAVA	Temps restant 0:46:
f. Verilog	
g. VHDL	



```
INIVERSITÉ
         Choisissez les spécifications qui caractérisent le circuit suivant :
         entity cell3 is
         port( i0, i1, i2 : in std_logic;
             out0 : out std_logic) ;
          end entity;
          architecture circuit1 of cell3 is
           begin
           process (i1)
           begin
              if rising'edge(i1) then
                  if (i0 = '1') then
                     out0 <= '0';
                  else
                     out0 <= i2;
                  end if;
                end if
             end process;
             end architecture circuit1;
             Veuillez choisir au moins une réponse :
                  a. Circuit combinatoire
                   b. Bascule D Latch
                   c. Multiplexeur 2 vers 1
                   d. Circuit asynchrone
                   e. Bascule D Flip-Flop avec un reset asynchrone
                   f. Registre à décalage
                    g. Circuit séquentiel
               h. Bascule D Flip-Flop avec un reset synchrone
               i. Circuit synchrone
```



```
Combien de bascule D sont générées par le circuit suivant :

Signal INPUT : std_logic_vector(7 downto 0)

Signal REG : std_logic;

AND-REG : process (CLOCK)

variable V : STD_LOGIC;

begin

if RISING_EDGE(CLOCK) then

V := '1';

for I in 0 to 7 loop

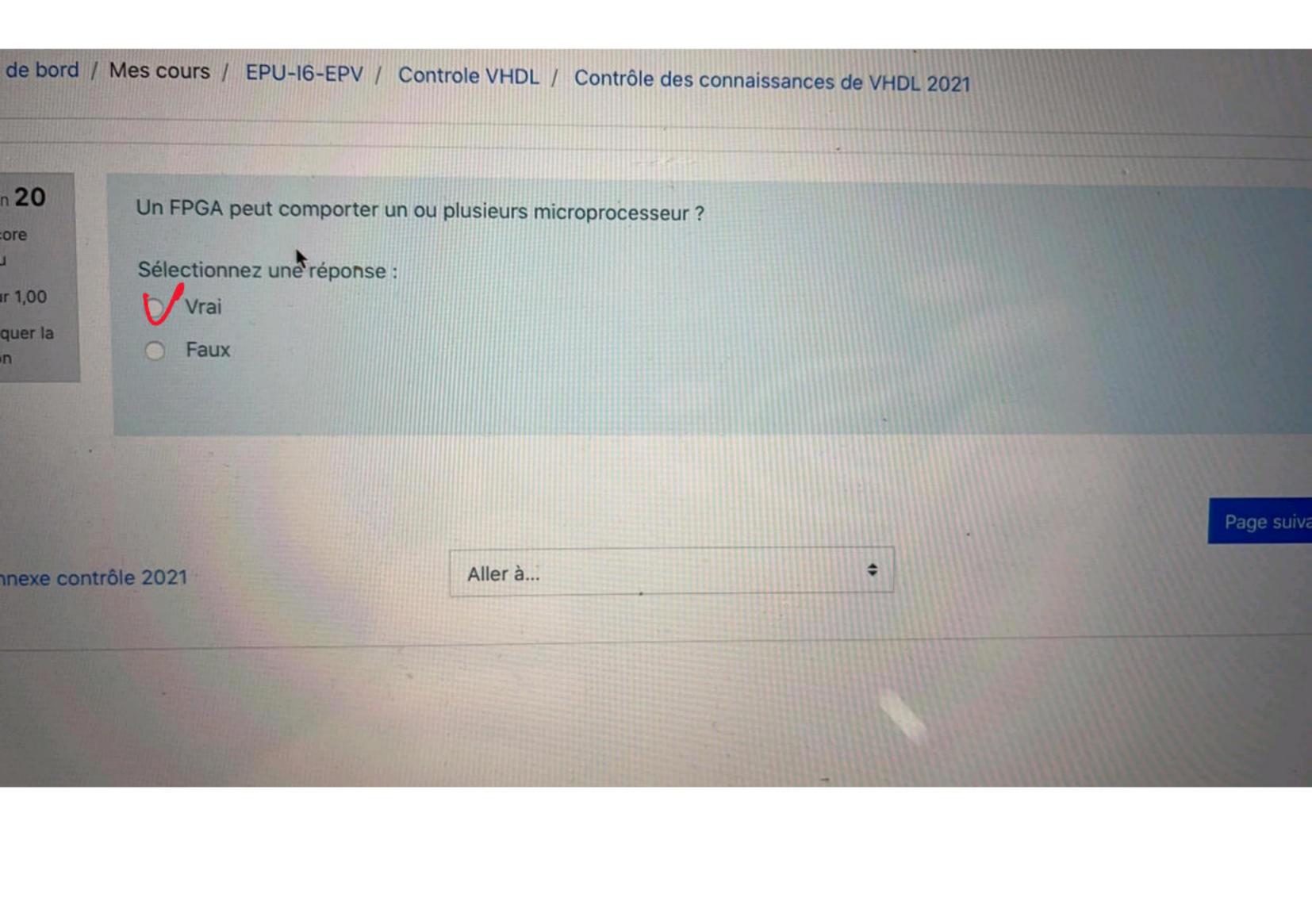
V := V and INPUT(I);

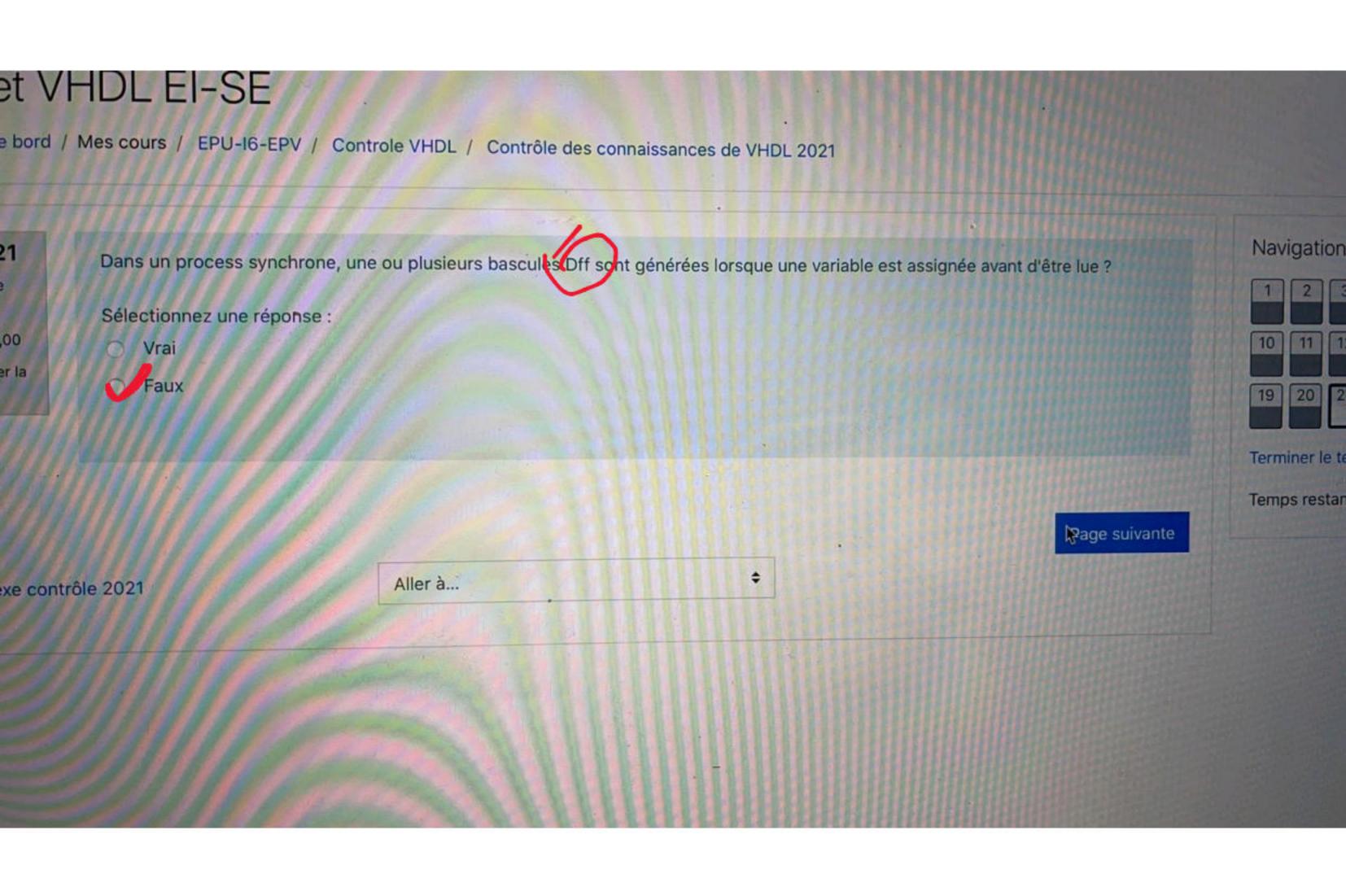
end loop;

REG <= V;
end if;
end process;
```

```
Combien de bascule D sont générées par le circuit suivant :
      Signal INPUT : std_logic_vector(7 downto 0)
      Signal REG: std_logic;
      AND-REG: process (CLOCK)
         variable V : STD_LOGIC;
      begin
         if RISING_EDGE(CLOCK) then
            V := '1';
            for I in 0 to 7 loop
              V := V and INPUT(I);
            end loop;
            REG <= V;
         end if;
       end process;
       Réponse :
                                      Aller à...
ontrôle 2021
```

## Projet VHDL EI-SE Tableau de bord / Mes cours / EPU-16-EPV / Controle VHDL / Contrôle des connaissances de VHDL 2021 Navigation du test Question 18 Quels sont les langages qui permettent de décrire et synthétiser un circuit logique (langages de description matérielle) ? Pas encore répondu Veuillez choisir au moins une réponse : Noté sur 2,00 a. SystemC Marquer la b. Python question c. Verilog d. JAVA Terminer le test... e. System Verilog Temps restant 0:27:14 f. Langage C g. VHDL Page suivante Aller à... ◄ Annexe contrôle 2021



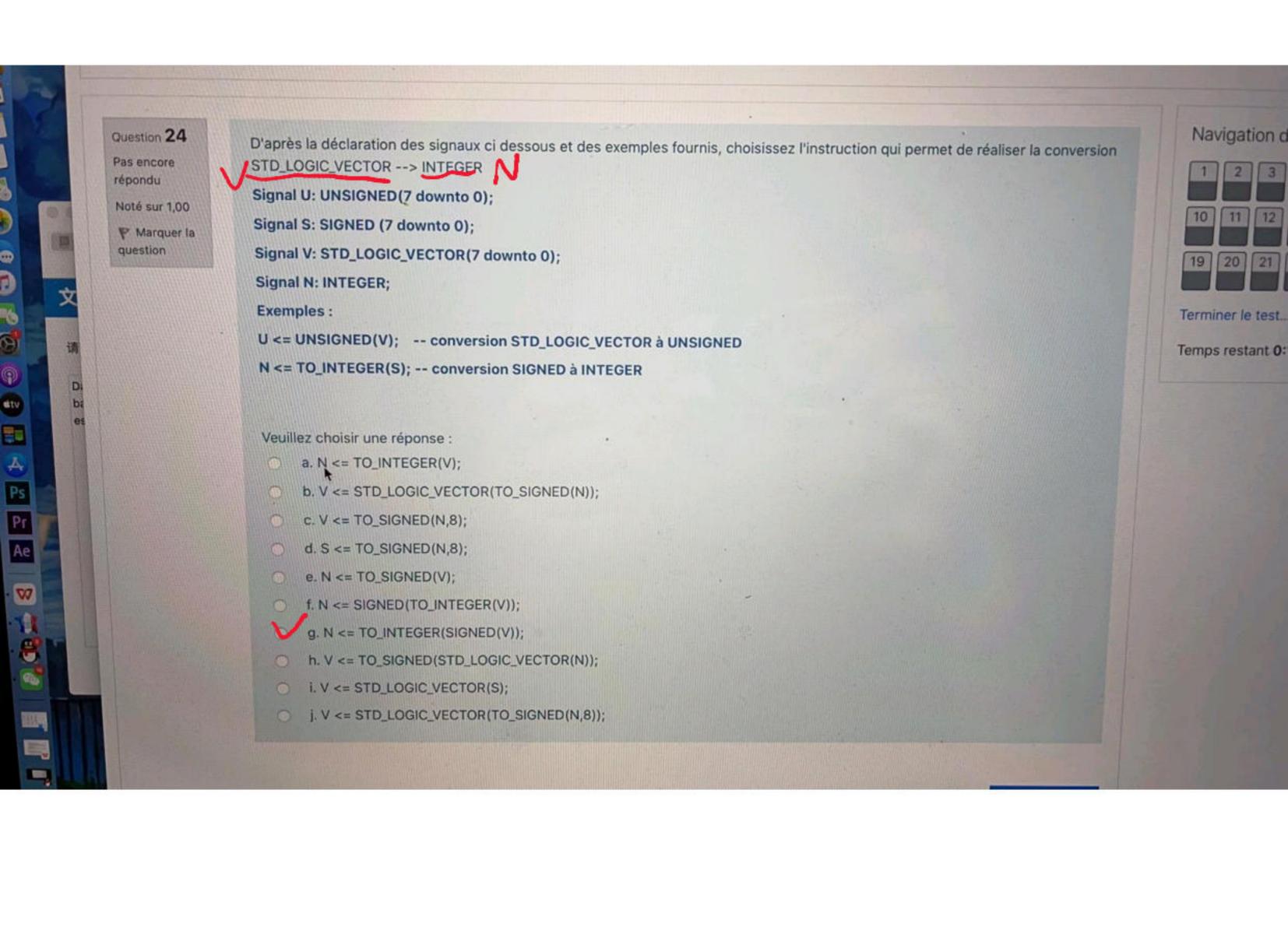


Dans un process synchrone, une ou plusieurs bascules Dff sont générées lorsque on écrit sur un signal ?

Sélectionnez une réponse :

Vrai

Faux



Dans un process synchrone, une ou plusieurs bascules Dff sont générées lorsque une variable est lue avant d'être assignée ?

Sélectionnez une réponse :

Vrai

Faux