



On considère un signal de type `std_logic` avec trois drivers. Donnez la valeur résolue de ce signal en fonction des valeurs des trois drivers. Valeurs des drivers : 'H', 'Z', 'L'. Quelle est la valeur résolue ?

Veillez choisir une réponse :

- ☐ a. 'Z'
- ☐ b. 'H'
- ☐ c. 'L'
- ☐ d. 'X'
- ☒ e. 'W'

Page suivante

Aller à...



Question 3

Pas encore répondu

Noté sur 1,00

Marquer la question

D'après la déclaration des signaux ci-dessous et des exemples fournis, choisissez l'instruction qui permet de réaliser la conversion

SIGNED --> STD\_LOGIC\_VECTOR

Signal U: UNSIGNED(7 downto 0);

Signal S: SIGNED (7 downto 0);

Signal V: STD\_LOGIC\_VECTOR(7 downto 0);

Signal N: INTEGER;

Exemples :

U <= UNSIGNED(V); -- conversion STD\_LOGIC\_VECTOR à UNSIGNED

N <= TO\_INTEGER(S); -- conversion SIGNED à INTEGER

Veuillez choisir une réponse :

- ☐ a. V <= STD\_LOGIC\_VECTOR(TO\_SIGNED(N,8));
- ☐ b. S <= TO\_SIGNED(N,8);
- ☐ c. N <= TO\_INTEGER(V);
- ☒ d. V <= STD\_LOGIC\_VECTOR(S);
- ☐ e. N <= TO\_SIGNED(V);
- ☐ f. V <= STD\_LOGIC\_VECTOR(TO\_SIGNED(N));
- ☐ g. V <= TO\_SIGNED(N,8);
- ☐ h. N <= SIGNED(TO\_INTEGER(V));
- ☐ i. N <= TO\_INTEGER(SIGNED(V));
- ☐ j. V <= TO\_SIGNED(STD\_LOGIC\_VECTOR(N));

Navigation du test

1	2	3	4	5	6
10	11	12	13	14	15
19	20	21	22	23	24

Terminer le test...

Temps restant 1:06:35

Page suivante



## Question 4

Pas encore  
répondu

Noté sur 2,00

Marquer la  
question

Choisissez l'instruction ou les instructions qui permettent de réaliser en une ligne de code l'architecture d'un multiplexeur 64 vers 1 afin de compléter le code VHDL du circuit ci-dessous. D étant l'entrée à multiplexer, Y la sortie et SEL l'entrée de sélection. Rappel de la librairie NUMERIC\_STD en annexe.

```
entity MUX64V1 is
```

```
  port (D : out STD_LOGIC;
```

```
        SEL : in STD_LOGIC_VECTOR(5 downto 0);
```

```
        Y : in STD_LOGIC_VECTOR(63 downto 0));
```

```
end entity;
```

```
architecture RTL of MUX64V1 is
```

```
begin
```

```
end architecture;
```

Veillez choisir au moins une réponse :

- ☐ a.  $Y(\text{to\_integer}(\text{signed}(\text{SEL}))) \leq D;$
- ☐ b.  $D \leq Y(\text{to\_signed}(\text{SEL}));$
- ☒ c.  $D \leq Y(\text{to\_integer}(\text{unsigned}(\text{SEL})));$
- ☐ d.  $D \leq Y(\text{SEL});$
- ☐ e.  $D \leq Y(\text{to\_integer}(\text{SEL}));$
- ☐ f.  $Y \leq \text{SEL}(D);$
- ☐ g.  $Y(\text{to\_integer}(\text{unsigned}(\text{SEL}))) \leq D;$
- ☒ h.  $D \leq Y(\text{to\_integer}(\text{signed}(\text{SEL})));$
- ☐ i.  $Y(\text{SEL}) \leq D;$

## Navigation du test

1	2	3	4	5	6
10	11	12	13	14	15
19	20	21	22	23	24

Terminer le test...

Temps restant 1:03:48



Question 6  
encore  
non répondu  
sur 2,00

Quelles conditions doit-on respecter pour qu'un process en VHDL mène à la synthèse d'un circuit synchrone ?

Veuillez choisir au moins une réponse :

- ☒ a. Liste de sensibilité doit inclure le clock et le reset (si il existe) et rien d'autre.
- ☒ b. Respectez la structure if reset = '1' then .... elsif rising\_edge(clk) then .....
- ☐ c. La liste de sensibilité doit être complète : tous les signaux lus dans le process doivent apparaître dans la liste de sensibilité.
- ☐ d. Les sorties doivent être assignés dans tout les cas afin d'éviter les bascule D Latch (verrou) et les boucles de retour.
- ☐ e. Les signaux doivent prendre leurs nouvelles valeurs qu'à la fin du process.

Page suivante

Annexe contrôle 2021

Aller à...

Combien de bascule D sont générées par le circuit suivant :

**Signal OUTPUT : std\_logic;**

**COUNTER : process (CLOCK)**

**variable COUNT : UNSIGNED(15 downto 0);**

**begin**

**if RISING\_EDGE(CLOCK) then**

**if RESET = '1' then**

**COUNT := "00000000";**

**else**

**COUNT := COUNT + 1;**

**end if;**

**OUTPUT <= COUNT(7);**

**end if;**

**end process;**

Réponse : 8

9



## Question 9

Pas encore  
répondu

Noté sur 2,00



Choisissez l'instruction ou les instructions qui permettent de réaliser un additionneur entre les entrées A, B et C sur la sortie SUM afin de compléter le code VHDL du circuit suivant :

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;
use IEEE.NUMERIC_STD.all;
entity ADDER is
    port (A : in STD_LOGIC_VECTOR (7 downto 0);
          B : in STD_LOGIC_VECTOR (7 downto 0);
          C : in STD_LOGIC_VECTOR (7 downto 0);
          SUM : out STD_LOGIC_VECTOR(7 downto 0));
end entity;

architecture BEHAVIOUR of ADDER is
begin

end architecture;
```

Veuillez choisir au moins une réponse :

- ☐ a. SUM <= std\_logic\_vector(A + B + C);
- ☐ b. SUM <= signed(A) + signed(B) + signed(C);
- ☒ c. SUM <= std\_logic\_vector(signed(A) + signed(B) + signed(C));
- ☐ d. SUM <= unsigned (A+B +C);
- ☐ e. SUM <= signed(A + B + C);
- ☐ f. SUM <= A+B+C;
- ☒ g. SUM <= std\_logic\_vector(unsigned(A) + unsigned(B) + unsigned(C));
- ☐ h. SUM <= unsigned(A) + unsigned(B) + unsigned(C);

## Navigation du test

1	2	3	4	5	6	7
10	11	12	13	14	15	16
19	20	21	22	23	24	25

[Terminer le test...](#)[Page suivante](#)



Quelles conditions doit-on respecter pour qu'un process en VHDL mène à la synthèse d'un circuit combinatoire?

Veuillez choisir au moins une réponse :

- ☐ a. Les signaux doivent prendre leurs nouvelles valeurs qu'à la fin du process.
- ☐ b. Respectez la structure if reseat = '1' then .... elsif rising\_edge(clk) then .....
- ☒ c. Les sorties doivent être assignés dans tout les cas afin d'éviter les bascule D Latch (verrou) et les boucles de retour.
- ☒ d. La liste de sensibilité doit être complète : tous les signaux lus dans le process doivent apparaître dans la liste de sensibilité.
- ☐ e. Liste de sensibilité doit inclure le clock et le reset (si il existe) et rien d'autre.

Page suivante

Aller à...



Quels sont les langages qui permettent de décrire et synthétiser un circuit logique (langages de description matérielle) ?

Veuillez choisir au moins une réponse :

- ☒ a. System Verilog
- ☐ b. Langage C
- ☒ c. SystemC
- ☐ d. Python
- ☐ e. JAVA
- ☒ f. Verilog
- ☒ g. VHDL

Navigation du test

1	2	3	4
10	11	12	13
19	20	21	22

Terminer le test...

Temps restant **0:46:01**

Page suivante



# Projet VHDL EI-SE

Tableau de bord / Mes cours / EPU-I6-EPV / Controle VHDL / Contrôle des connaissances de VHDL 2021

Question 13

pas encore  
répondu  
noté sur 1,00

Les performances des ASIC (vitesse, low-power) sont meilleures que les FPGA ?

Sélectionnez une réponse :

- ☒ Vrai  
☐ Faux

Page suivante

◀ Annexe contrôle 2021

Aller à...

Navigation du

1	2	3	4
10	11	12	13
19	20	21	22

Terminer le test...



Choisissez les spécifications qui caractérisent le circuit suivant :

entity cell3 is

port( i0, i1, i2 : in std\_logic ;

out0 : out std\_logic) ;

end entity;

architecture circuit1 of cell3 is

begin

process (i1)

begin

if rising'edge(i1) then

if (i0 = '1') then

out0 <= '0';

else

out0 <= i2;

end if;

end if

end process;

end architecture circuit1;

Veuillez choisir au moins une réponse :

- ☐ a. Circuit combinatoire
- ☐ b. Bascule D Latch
- ☐ c. Multiplexeur 2 vers 1
- ☐ d. Circuit asynchrone
- ☐ e. Bascule D Flip-Flop avec un reset asynchrone
- ☐ f. Registre à décalage
- ☒ g. Circuit séquentiel
- ☒ h. Bascule D Flip-Flop avec un reset synchrone
- ☒ i. Circuit synchrone



# Projet VHDL EI-SE

[Tableau de bord](#) / [Mes cours](#) / [EPU-I6-EPV](#) / [Contrôle VHDL](#) / [Contrôle des connaissances de VHDL 2021](#)

Question **15**

Pas encore  
répondu

Noté sur 1,00

🚩 Marquer la  
question

Les ASIC (Full Custom) sont reconfigurables (programmable) ?

Sélectionnez une réponse :

☐ Vrai

☒ Faux



D'après le code du circuit suivant, si A change d'état, combien de temps plus tard F change-t-il d'état ?

architecture V1 of LOGIC is

begin

A <= not D after 1 NS;

F <= C and D after 2 NS;

C <= A xor B after 3 NS;

end architecture V1;

Réponse :

2NS



Combien de bascule D sont générées par le circuit suivant :

Signal INPUT : std\_logic\_vector(7 downto 0)

Signal REG : std\_logic;

AND-REG : process (CLOCK)

variable V : STD\_LOGIC;

begin

if RISING\_EDGE(CLOCK) then

V := '1';

for I in 0 to 7 loop

V := V and INPUT(I);

end loop;

REG <= V;

end if;

end process;

Réponse :



Combien de bascule D sont générées par le circuit suivant :

Signal INPUT : std\_logic\_vector(7 downto 0)

Signal REG : std\_logic;

AND-REG : process (CLOCK)

variable V : STD\_LOGIC;

begin

if RISING\_EDGE(CLOCK) then

V := '1';

for I in 0 to 7 loop

V := V and INPUT(I);

end loop;

REG <= V;

end if;

end process;

Réponse :



# Projet VHDL EI-SE

Tableau de bord / Mes cours / EPU-I6-EPV / Controle VHDL / Contrôle des connaissances de VHDL 2021

Question **18**

Pas encore  
répondu

Noté sur 2,00

🚩 Marquer la  
question

Quels sont les langages qui permettent de décrire et synthétiser un circuit logique (langages de description matérielle) ?

Veillez choisir au moins une réponse :

- ☒ a. SystemC
- ☐ b. Python
- ☒ c. Verilog
- ☐ d. JAVA
- ☒ e. System Verilog
- ☐ f. Langage C
- ☒ g. VHDL

Navigation du test

1	2	3	4	5
10	11	12	13	14
19	20	21	22	23

Terminer le test...

Temps restant **0:27:14**

Page suivante

◀ Annexe contrôle 2021

Aller à...



n 20

ore  
u  
r 1,00  
quer la  
n

Un FPGA peut comporter un ou plusieurs microprocesseur ?

Sélectionnez une réponse :

☒ Vrai

☐ Faux

Page suivante

Annexe contrôle 2021

Aller à...



Dans un process synchrone, une ou plusieurs bascules Dff sont générées lorsque une variable est assignée avant d'être lue ?

Sélectionnez une réponse :

- ☐ Vrai  
☒ Faux

Page suivante

Aller à...

Navigation

1	2
10	11
19	20

Terminer le test

Temps restant



Dans un process synchrone, une ou plusieurs bascules Dff sont générées lorsque on écrit sur un signal ?

Sélectionnez une réponse :

☒ Vrai

☐ Faux



Question 24

Pas encore  
répondu

Noté sur 1,00

Marquer la  
question

D'après la déclaration des signaux ci dessous et des exemples fournis, choisissez l'instruction qui permet de réaliser la conversion

STD\_LOGIC\_VECTOR --> INTEGER **N**

Signal U: UNSIGNED(7 downto 0);

Signal S: SIGNED (7 downto 0);

Signal V: STD\_LOGIC\_VECTOR(7 downto 0);

Signal N: INTEGER;

Exemples :

U <= UNSIGNED(V); -- conversion STD\_LOGIC\_VECTOR à UNSIGNED

N <= TO\_INTEGER(S); -- conversion SIGNED à INTEGER

Veuillez choisir une réponse :

- ☐ a. N <= TO\_INTEGER(V);
- ☐ b. V <= STD\_LOGIC\_VECTOR(TO\_SIGNED(N));
- ☐ c. V <= TO\_SIGNED(N,8);
- ☐ d. S <= TO\_SIGNED(N,8);
- ☐ e. N <= TO\_SIGNED(V);
- ☐ f. N <= SIGNED(TO\_INTEGER(V));
- ☒ g. N <= TO\_INTEGER(SIGNED(V));
- ☐ h. V <= TO\_SIGNED(STD\_LOGIC\_VECTOR(N));
- ☐ i. V <= STD\_LOGIC\_VECTOR(S);
- ☐ j. V <= STD\_LOGIC\_VECTOR(TO\_SIGNED(N,8));

Navigation d

1	2	3
10	11	12
19	20	21

Terminer le test...

Temps restant 0:



Dans un process synchrone, une ou plusieurs bascules Dff sont générées lorsque une variable est lue avant d'être assignée ?

Sélectionnez une réponse :

- ☒ Vrai
- ☐ Faux