

Notice Quartus II

Ce petit guide doit vous permettre de vous familiariser avec l'outil de synthèse Quartus Prime. L'ensemble des outils logiciels utilisés pour le VHDL peuvent être installés gratuitement sur Windows ou Linux. Ce guide ne traite que l'installation sur Windows.

Pour Windows :

Modelsim Altera version 18.1 et QuartusPrime Lite Setup version 18.1:

<https://dropsu.sorbonne-universite.fr/s/i2xep5oFRs2mYti>

Ce lien contient plusieurs fichiers :

- 1 fichier exécutable **ModelSimSetup-18.1.0.625-windows.exe** qui permet d'installer la version gratuite (Altera Startup Edition) de Modelsim 18.1
- 1 fichier exécutable **QuartusLiteSetup-18.1.0.625-windows.exe** qui permet d'installer Quartus 2 version 18.1
- 1 fichier **cyclonev-18.1.0.625.qdz** qui prend en charge les FPGA de la famille Cyclone V (Carte DE1-SoC) qu'il faudra rajouter lors de la phase d'installation de Quartus 2 si vous utilisez la carte DE1-SoC.
- 1 fichier **max10-18.1.0.625.qdz** qui prend en charge les FPGA de la famille Max10 (Carte DE10 Lite) qu'il faudra rajouter lors de la phase d'installation de Quartus 2 si vous utilisez la carte DE10-Lite

Attention, il faudra également installer le driver USB Blaster si vous désirez programmer la carte FPGA depuis votre PC. La procédure est bien expliquée sur les pages 2 à 6 du document **My_First_Fpga.pdf**.

Sources des TPs VHDL :

Pour les sources des TPs, vous avez toujours au moins 3 répertoires :

- 1 dossier **src** qui doit contenir uniquement les sources VHDL de votre projet (pas de banc de test et pas de fichier de simulation),
- 1 dossier **simu** qui doit contenir uniquement les fichiers de simulation (banc de test, script de simulation et fichiers temporaires de simulation)
- 1 dossier **fit** qui doit contenir le projet Quartus et l'ensemble des fichiers générés lors de la synthèse. Il ne faut surtout pas copier les sources depuis **src** dans le dossier **fit** !

2 Création d'un projet avec Quartus Prime

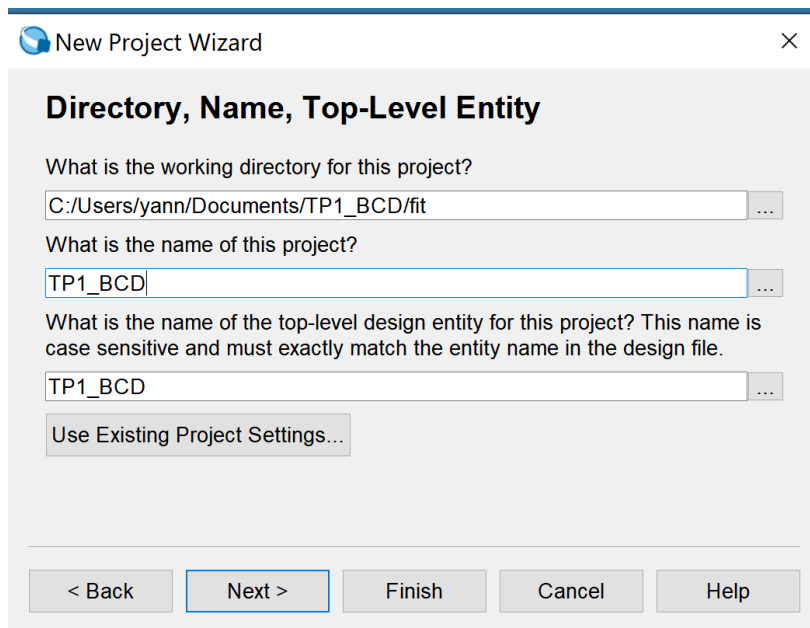
Après avoir lancé Quartus Prime, vous devez commencer par créer un nouveau projet. Pour cela il faut suivre les étapes suivantes :

Cliquez sur **File → New Project Wizard**

Dans la fenêtre qui s'ouvre, cliquez sur **Next**.

Sur la page qui s'ouvre, renseignez le dossier dans lequel doit être créé le projet sur la première ligne et le nom du projet sur la seconde ligne.

Par exemple pour le TP1, vous allez choisir le dossier fit qui se trouve dans les sources de l'archive préalablement dézipper du TP1_BCD.zip comme ceci :



Cliquez sur **Next**

Laisser **Empty Project** et cliquez sur Next si cela est demandé.

Dans la fenêtre **Add Files**, vous pouvez rajouter les sources de votre projet qui se trouvent dans le dossier **src** du dossier **TP1_BCD** et cliquez sur **Next**

Sur la fenêtre **Family & Device Settings**, il faut sélectionner le FPGA de la carte que vous allez utiliser pour les TPs.

Pour la carte DE1-SoC , il s'agit du FPGA 5CSEMA5F31C6N (Famille **Cyclone V SE**)


Pour la carte DE10-Lite, il s'agit du FPGA MAX 10 10M50DAF484C7G (Famille **Max 10**)

Ensuite, cliquez sur **Next** et enfin sur **Finish**.

Synthèse, assignement des Pins et programmation de la carte FPGA :



Une fois que vous avez terminé d'éditer les codes sources de votre TPs ou projet, effectuer les simulations qui permettent de vérifier que votre conception fonctionne correctement. Vous allez devoir faire la synthèse de vos codes et programmer la carte FPGA.

Pour cela il faut suivre les étapes suivantes :

1. **Synthèse du projet Quartus** : Depuis le menu **Processing**, sélectionnez **Start Compilation** ou alors, cliquez directement sur l'icône . Après quelques minutes, la fenêtre **Compilation Report - Flow summary** apparaît et vous donne les résultats de la synthèse et du placement routage. Cette page vous renseigne sur la place occupée par votre design dans le FPGA :
 - Le nombre d'éléments logiques utilisés (Total Logic element)
 - Le nombre de registres (Total Registers)
 - Le nombre de pins (Total Pins)
 - L'espace mémoire utilisés (Total Memory bits)
 - Le nombre de multiplieur utilisés (Embedded multiplier 9-bit)
 - Le nombre de PLL

2. Maintenant il va falloir connecter les entrées/sorties de votre composant Top Level (TP1_BCD.vhd par exemple) avec les entrées/sorties du FPGA.
3. Pour faire le l'assignement des pins (PIN assignement), il faut aller sur le menu **Assignements → Pin Planner** qui vous permet de préciser le numéro de Pin pour chaque signal présent sur l'entité de votre composant Top-Level. Pour connaître le numéro de pin, il faut se reporter au « User Manual » de la carte.

Pour l'assignement des pins, vous pouvez également utiliser un fichier de configuration qui termine par **.qsf**. Dans ce cas là il faut aller sur le menu **Assignements → Import Assignement** et choisir le fichier **.qsf**.

4. Une fois que vous avez terminé l'assignement de tous les Pins, il faut relancer la synthèse . Depuis le menu **Processing**, sélectionnez **Start Compilation** ou alors, cliquez directement sur l'icône .
5. **Ensuite pour programmer la carte**, il faut s'assurer que la carte est bien alimentée. Connectez la carte à votre PC avec le câble USB.
6. Lancez le programmeur depuis le menu **Tools → Programmer** ou l'icône . Une fenêtre apparaît, Le nom du type de câble doit apparaître à côtés de **Hardware Setup...**
7. Si ce n'est pas le cas, cliquez sur Hardware Setup

Si ce n'est pas déjà sélectionné, choisissez l'option **DE1-SoC [USB-1]** sur le menu déroulant **Currently selected hardware** et cliquez sur **Close**.

Cliquez ensuite sur Auto Detect afin de détecter tous les device qui sont présent sur la chaine JTAG.

Vous devriez avoir le FPGA listé sur la chaine JTAG du programmeur. Sélectionnez le **FPGA** et cliquez sur **Change File**.

Sélectionnez le fichier **.sof** de votre projet (par exemple **TP1_BCD.sof**) et sélectionnez **Program/Configure**. Cliquez ensuite sur **Start** pour programmer le FPGA.