

1. 實驗目的

本次實驗是藉由VerilogHDL，設計一表決器並且熟悉 DE2的操作方法

2. 實驗器材

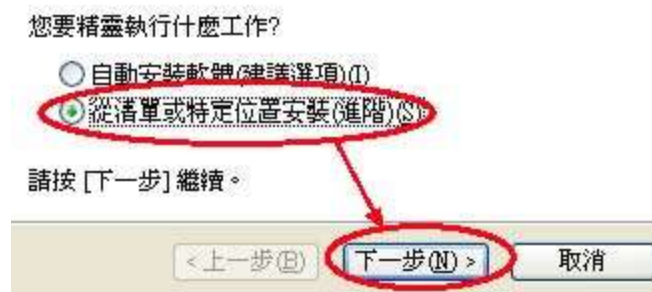
Quartus II (CAD tools)、DE2

3. 實驗內容

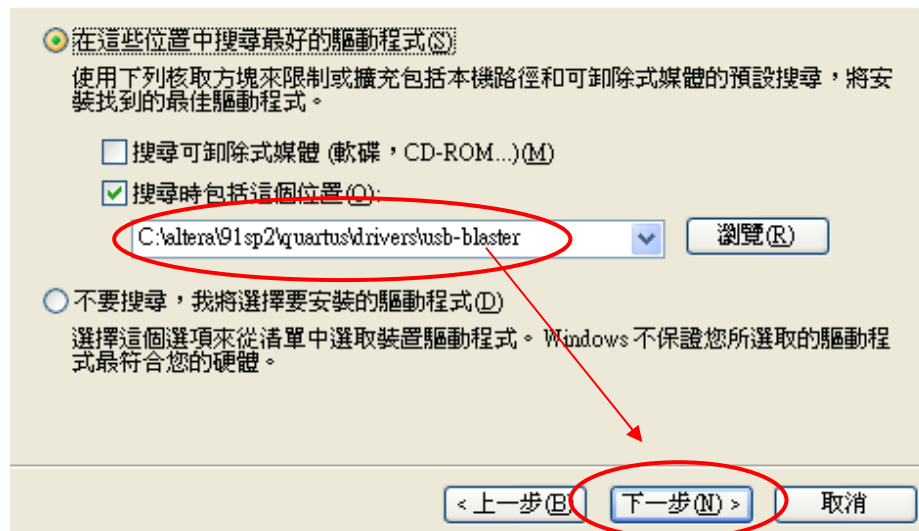
請使用 Verilog HDL描寫出：表決器。並用波型圖驗證後，再利用 DE2 實驗板上的 FPGA晶片 CycloneII 系列 EP2C35F672C6或者使用 CycloneIV系列 EP4CE115F29C7N，將其指撥開關作為輸入，並將結果輸出於七段顯示器上加以驗證結果。(以下圖例皆以 CycloneII 系列為例)

4. DE2設定

將 DE2的 BLASTER與電腦連接，會出現要安裝 DE2的驅動程式 選取從清單或特定位置安裝→點選下一步。

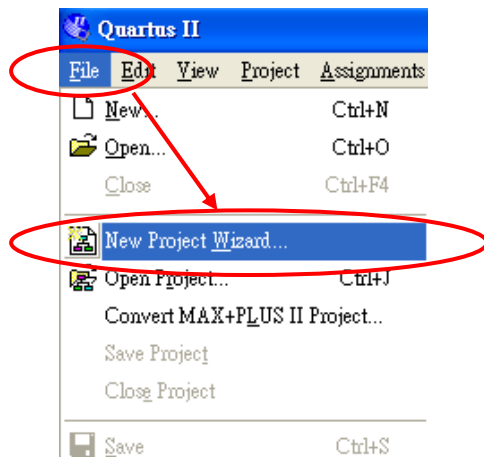


選擇路徑 C:\altera\91sp2\quartus\drivers\usb-blaster → 下一步→繼續安裝。
安裝完後即可使用



5. 軟體設定

首先新建一個 Project，開啟 Quartus II 後點選 **File** → **New Project Wizard** → **Next**。



選擇要儲存 project 的資料夾，並輸入 project 的名稱按 *Next*。

New Project Wizard: Directory, Name, Top-Level Entity [page 1 of 5]

What is the working directory for this project?
c:\altera\91sp2\quartus\test_de2 ...

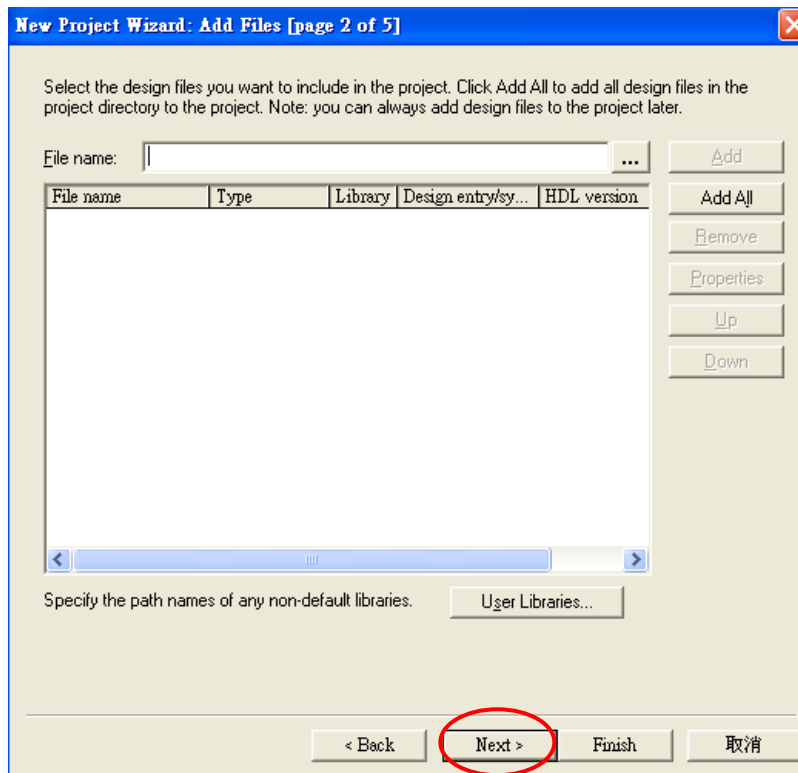
What is the name of this project?
test_de2 ...

What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.
test_de2 ...

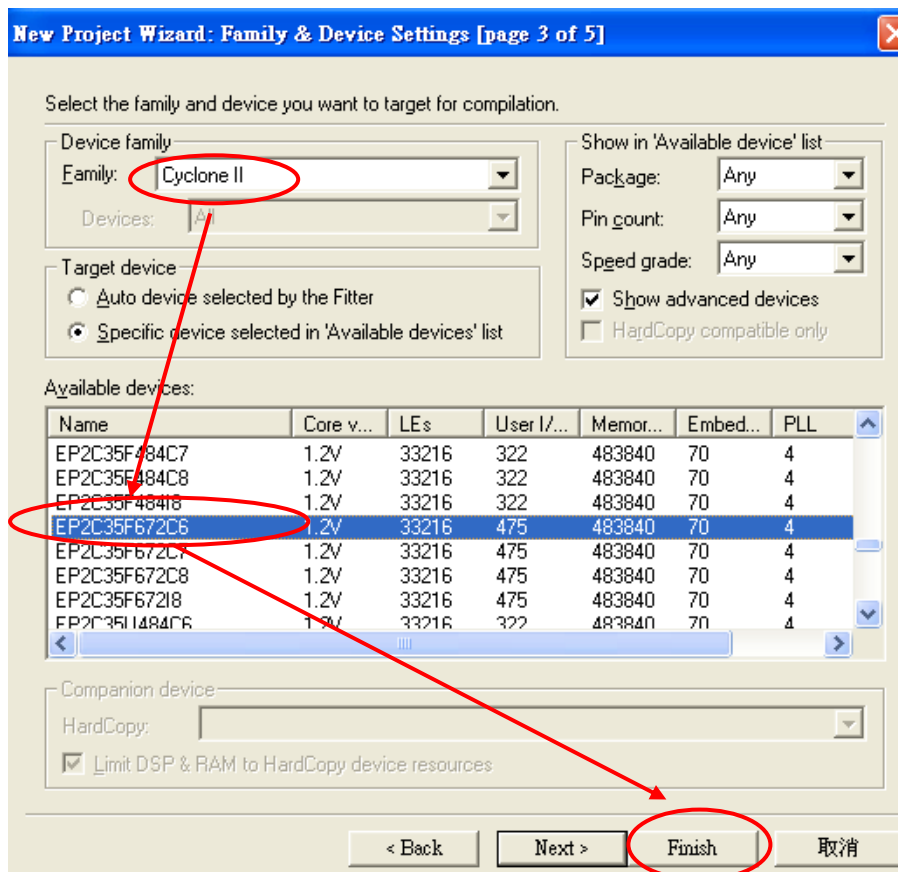
Use Existing Project Settings ...

< Back Next > Finish 取消

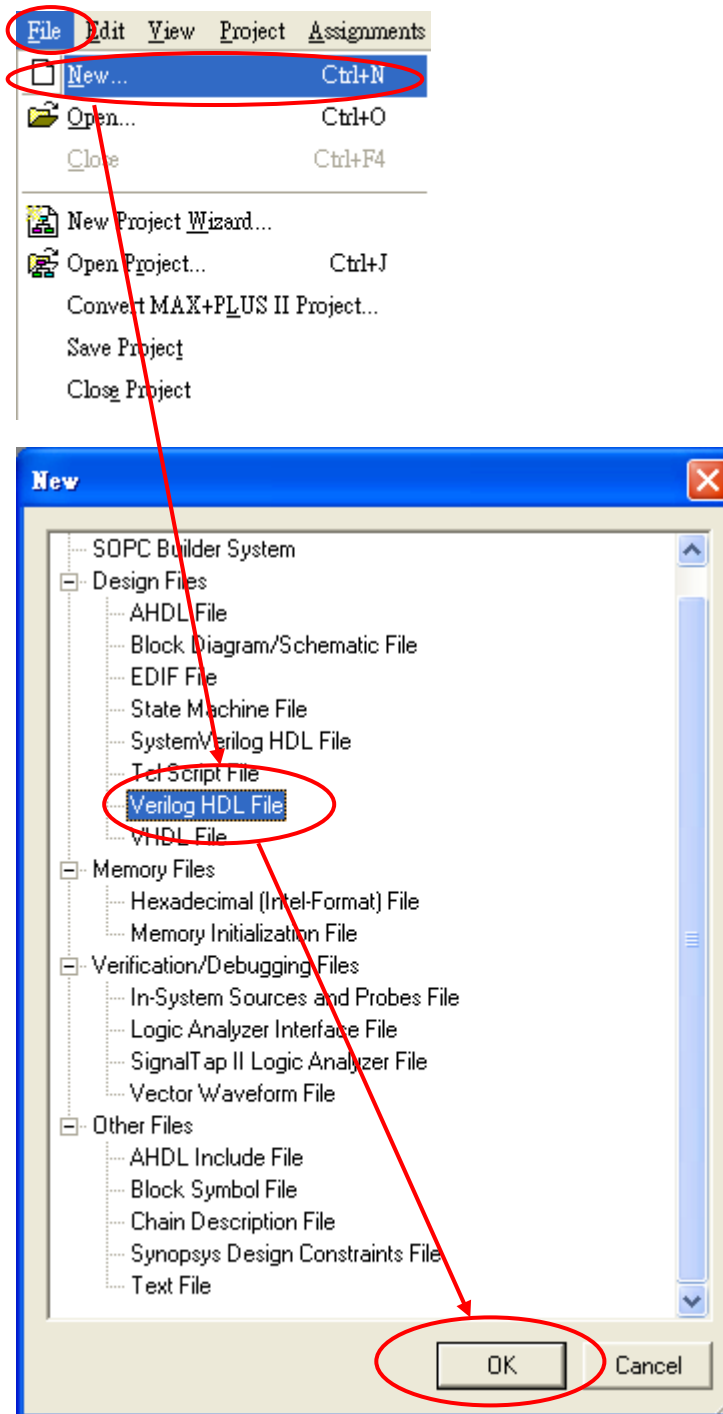
因為不需 include 其他檔案，所以直接點選 *Next*



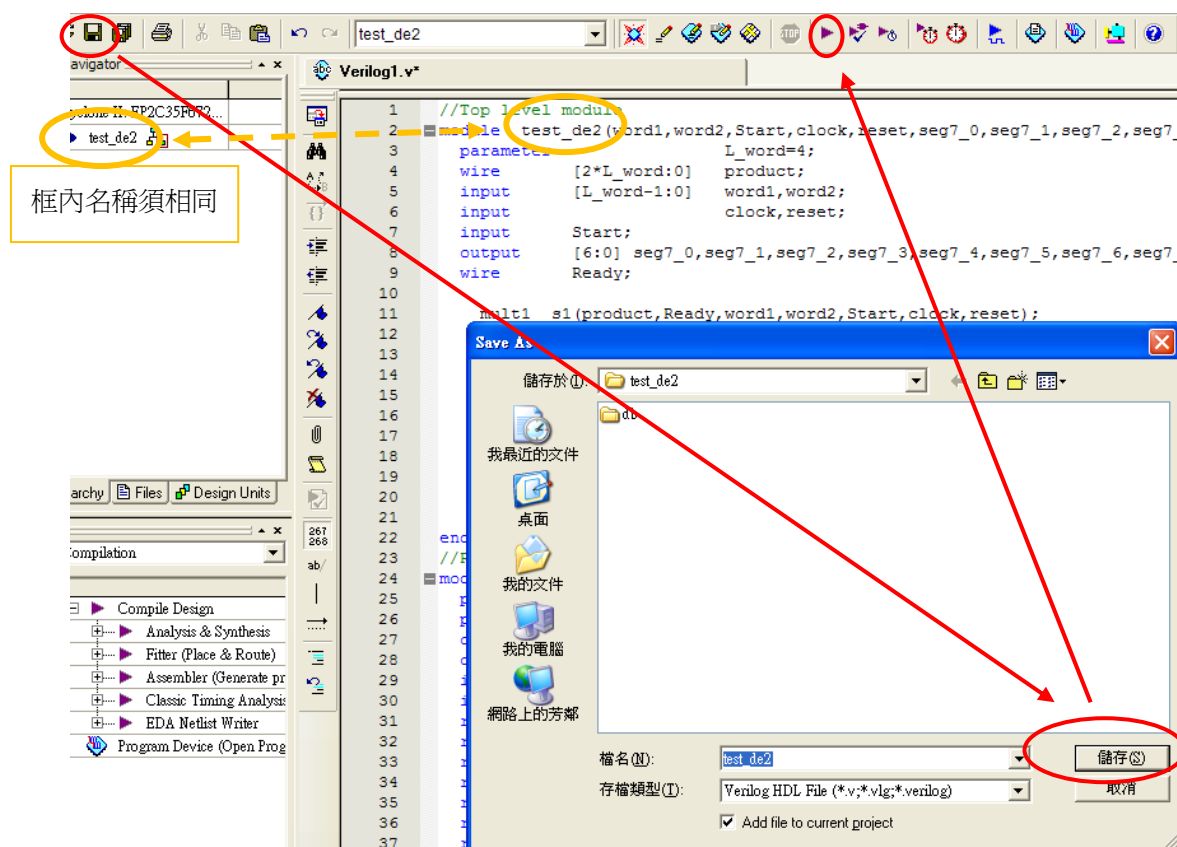
再於 *Family* 處選擇 *Cyclone II* 系列之晶片。接下來在底下的 *Available devices* 處選擇 *EP2C35F672C6* 的晶片後，點擊 *Finish*。



選擇 **File** → **New** → **Verilog HDL File** → **OK**，建立空白的.v 檔

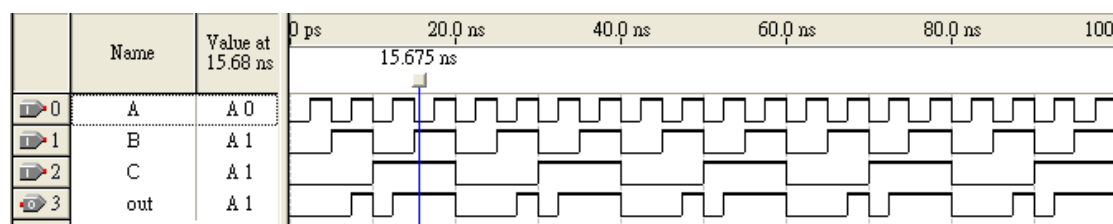


請將講義第七點上的範例程式碼貼上，將主要的 *module name* 與 *project name* 一致，儲存後點 *Start Compilation*

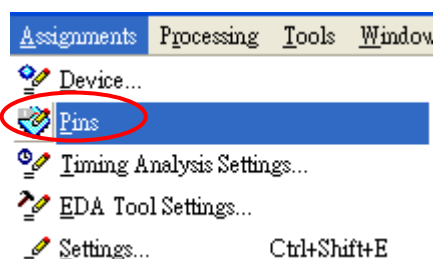


先使用波型圖確定輸出是否正確，
verilog 請使用下面所附程式碼---使用”**模擬波形使用的主程式**”
依照前一次 Lab 模擬波形的方式，進行模擬。

以下是模擬出來的正確波形
















接下來我們開始設定 Pin 腳的位置，選擇 *Assignments* → *Pins*。

















在 **Location** 處點擊兩下便可以選擇所需之 Pin 腳，請參考附表 *Altera DE2 Pin Table*。(以下是範例 pin 腳設定圖)

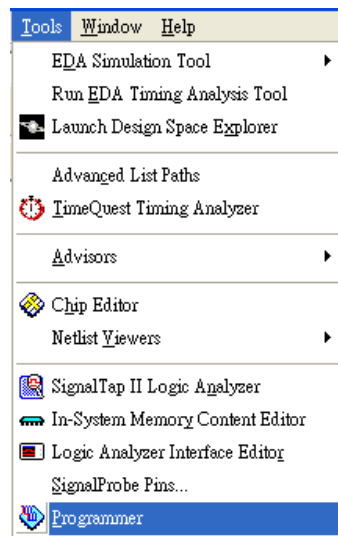
下圖為：*CycloneII* 系列

	A	Input	PIN_A13
	A_out	Output	PIN_Y13
	B	Input	PIN_B13
	B_out	Output	PIN_AA14
	C	Input	PIN_C13
	C_out	Output	PIN_AC21
	seg7_out[6]	Output	PIN_V13
	seg7_out[5]	Output	PIN_V14
	seg7_out[4]	Output	PIN_AE11
	seg7_out[3]	Output	PIN_AD11
	seg7_out[2]	Output	PIN_AC12
	seg7_out[1]	Output	PIN_AB12
	seg7_out[0]	Output	PIN_AF10

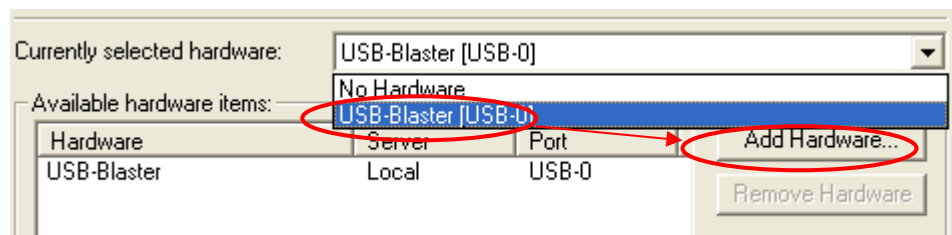
下圖為：*CycloneIV* 系列

Node Name	Direction	Location
 A	Input	PIN_AB25
 A_out	Output	PIN_G17
 B	Input	PIN_AC25
 B_out	Output	PIN_J17
 C	Input	PIN_AB26
 C_out	Output	PIN_H19
 seg7_out[6]	Output	PIN_H22
 seg7_out[5]	Output	PIN_J22
 seg7_out[4]	Output	PIN_L25
 seg7_out[3]	Output	PIN_L26
 seg7_out[2]	Output	PIN_E17
 seg7_out[1]	Output	PIN_F22
 seg7_out[0]	Output	PIN_G18

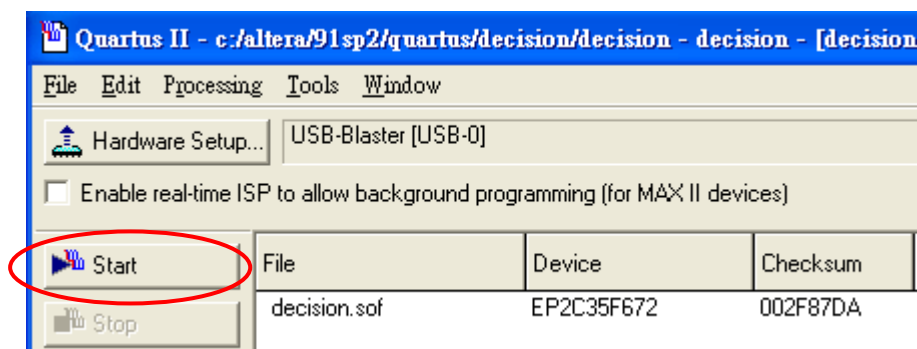
設置完腳位之後，再點擊  圖示，再做一次 compiler，之後在 **Tools** 之處選擇 **Programmer**，準備 download 至 DE2 實驗板。



點選 **Hardware Setup** 後點選 **Add Hardware** → **OK**。



點選 **Start** 之後便 download 至實驗板中。



6. 實驗結果



當 $A \& B \& C = 0$

七段顯示器為 0



當 $A \& B = 0$ $C = 1$

七段顯示器為 0



當 $A \& B = 1$ $C = 0$

七段顯示器為 1



當 $A \& B \& C = 1$

七段顯示器為 1

7. 範例程式碼

-----模擬波型所使用的主程式

```
module decision(out,A,B,C);  
input  A,B,C;  
output out;  
assign out=A&B/A&C/B&C;  
endmodule
```

-----使用 DE2 的主程式

//to de2

```
module test_de2(seg7_out,A,B,C,A_out,B_out,C_out);  
input  A,B,C;  
output A_out,B_out,C_out;  
output [6:0] seg7_out;  
wire   decision_out;  
assign  A_out=A;  
assign  B_out=B;  
assign  C_out=C;  
decision test1(decision_out,A,B,C);  
binary_to_7seg test2(decision_out,seg7_out);  
endmodule
```

//decision

```
module decision(out,A,B,C);  
input  A,B,C;  
output out;  
assign out=A&B/A&C/B&C;  
endmodule
```

//DE2_7seg

```
module binary_to_7seg(binary_in,seg7_out);
```

```

input  [3:0] binary_in;
output [6:0] seg7_out;
reg    [6:0] seg7_out;
always @ (binary_in)
begin
    case(binary_in)
        4'h0: seg7_out = 7'b1000000;
        4'h1: seg7_out = 7'b1111001;
        4'h2: seg7_out = 7'b0100100;
        4'h3: seg7_out = 7'b0110000;
        4'h4: seg7_out = 7'b0011001;
        4'h5: seg7_out = 7'b0010010;
        4'h6: seg7_out = 7'b0000010;
        4'h7: seg7_out = 7'b1111000;
        4'h8: seg7_out = 7'b0000000;
        4'h9: seg7_out = 7'b0011000;
        4'hA: seg7_out = 7'b0001000;
        4'hB: seg7_out = 7'b0000011;
        4'hC: seg7_out = 7'b1000110;
        4'hD: seg7_out = 7'b0100001;
        4'hE: seg7_out = 7'b0000110;
        4'hF: seg7_out = 7'b0001110;
        default: seg7_out = 7'b1111111;
    endcase
end
endmodule

```

8. 問題與討論

- 1 將表決器改為五個輸入，當其中三個或以上為 1，則輸出為 1，否則輸出為 0。