問題與討論

1127

1 將表決器改為五個輸入，當其中三個或以上為 1，則輸出為 1，否則輸出為 0。

Ans:

1205

(1) 在3x8 decoder 範例中，

(a)若在 always 敘述中的sensitive list 漏掉i1，電路有何不同？

Ans:

(b)另外若漏寫else out = 8‘b00000000 ，電路有何不同？

Ans:如果沒有寫else那個的話 在enable切換之後會不動作

(2) 設每個輸入是4位元，請利用五個 4×1 多工器完成一個16×1 的多工器 (只要有模擬結果即可，建議這16個輸入恰好給0000~1111 (0h~Fh)，這樣模擬可清楚看出電路是否正確)。

Ans:

1218

(1) 利用本實驗之4-bit CLA，設計一個4-bit Adder-subtractor，其中負數是用2’s 補數表示。設輸入為A與B，另有一1-bit 之輸入M，當M=1，執行A-B ；當M=0， 執行A+B。(參考邏設課本P.154中的Fig 4.13，將其中ripple-carry adder改成本實驗 之carry look-ahead adder)

Ans:

0108

(1) 使用Verilog 撰寫下列電路，並給於適當的輸入驗證其輸出。

(a) 一個 4-bit之 D latch，其有共同之control線。

Ans:

(b)一個負邊緣觸發 4-bit之 D Flip-flop，且此電路有enable控制，當enanble=1，且clock觸發時，正反器輸出(Q)會受輸入(D)影響，當enable=0 則不受影響。

Ans:

(c) 一個正邊緣觸發之JK Flip-flop 。

Ans: