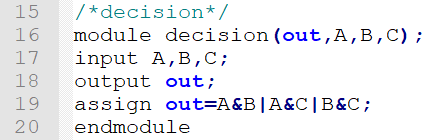
數位邏輯實習 期末報告

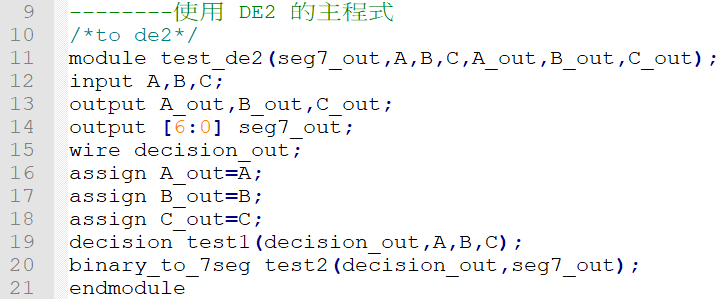
學號：D1094181017、D1094181021、D1094181045

姓名：張育丞、許富承、徐茂霖

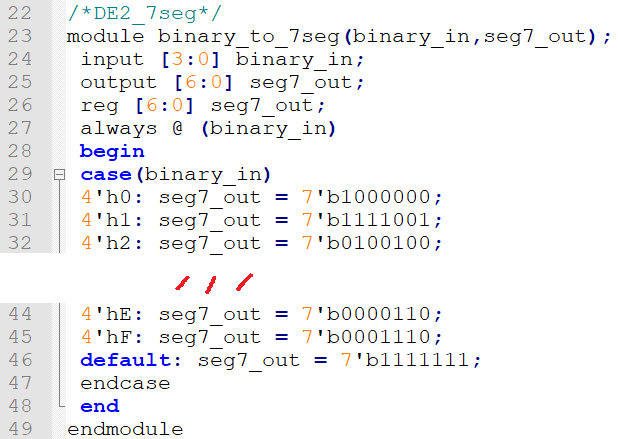
1. Lab-11/26



從Ln.6可得知，當A和B、A和C、還有B和C成立時，會使表決機產生成立的結果。

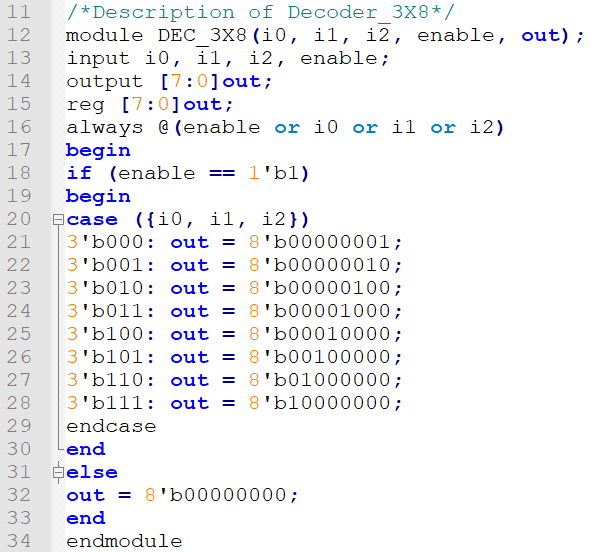


test\_de2是整個程式的進入點，設定了電路的輸出入，還有整個電路的邏輯。

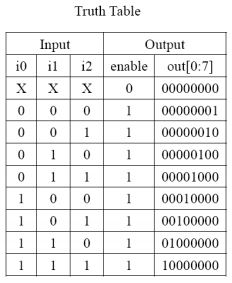


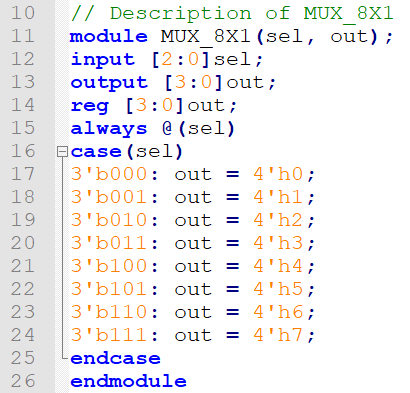
binary\_to\_7seg 的作用是將輸入數值(4 bit)轉爲7段顯示器的輸入資料(a~g)

1. Lab-12/4

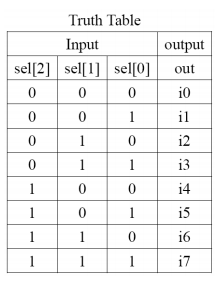


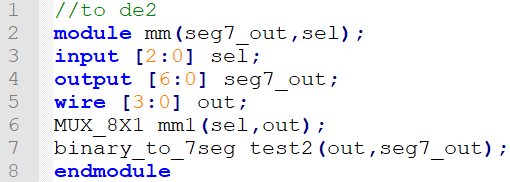
由上圖可得知，當enable(致能訊號)爲0時，忽略所有輸入，輸出爲0。當enable爲1時輸出爲i1 i2 i3對應下列真值表的輸出。





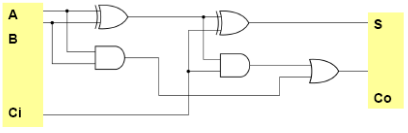
上圖中，透過判斷sel的值，對應到下方真值表的輸出腳位



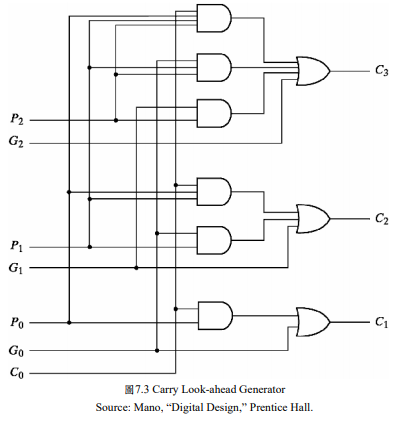


mm是整個程式的進入點，設定了電路的輸出入，還有整個電路的邏輯。

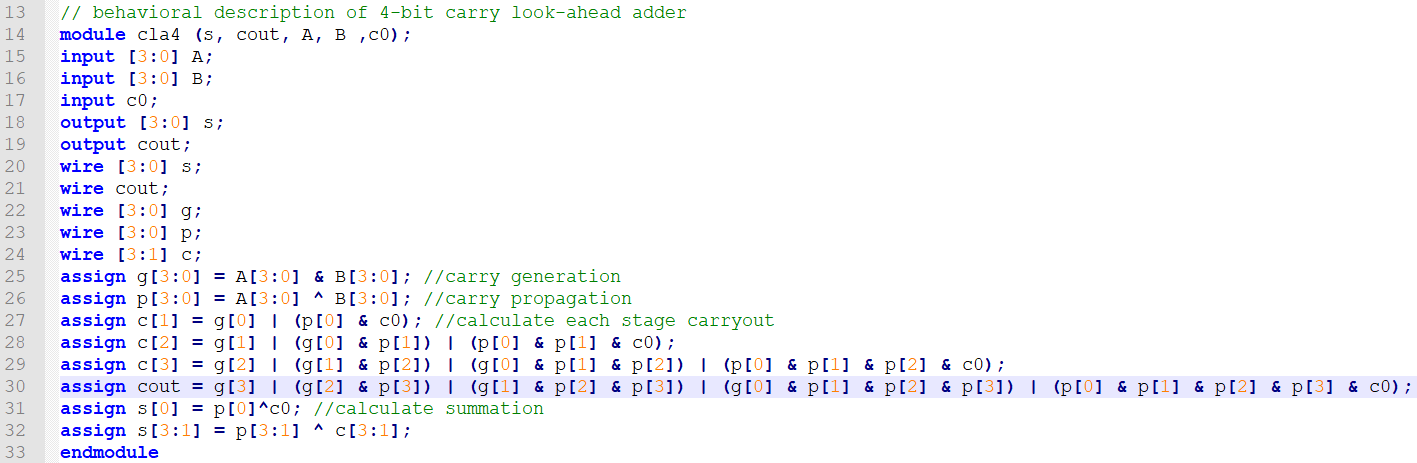
1. Lab7



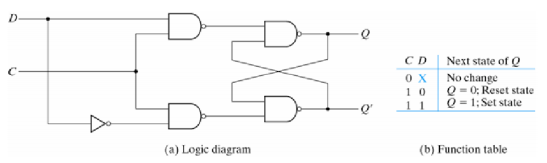
從上圖一般的加法器可知，S = A ⊕ B ⊕ ， = 。



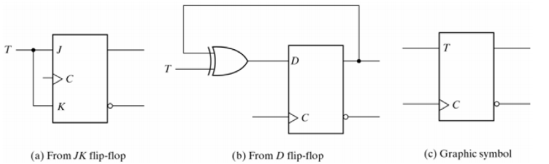
如上圖，CLA是針對改善 delay 而設計出來的架構，其想法是希望將所有的進位一次運算完成。將上圖的電路稍微整理一下，寫成下方的邏輯式

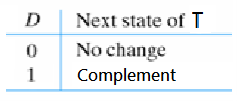


1. Lab8

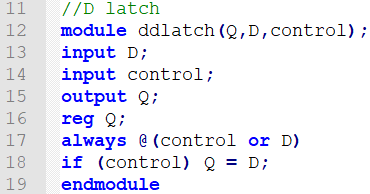


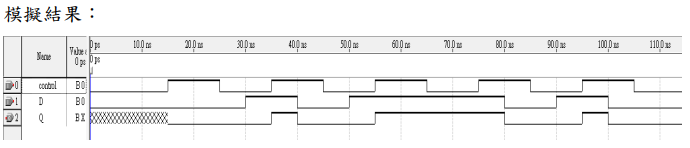
上圖爲D F.F.(Flip Flop)用SR做成的方塊圖和其真值表



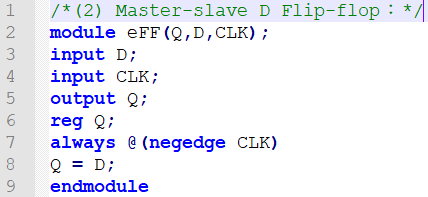


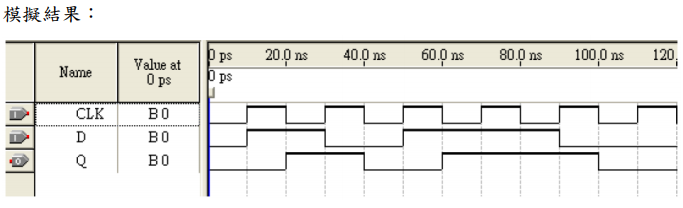
上圖爲 T F.F.用JK F.F. 或D F.F.做成的方塊圖，以及真值表



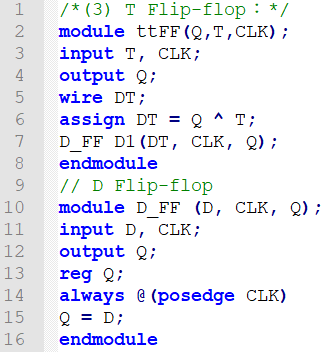


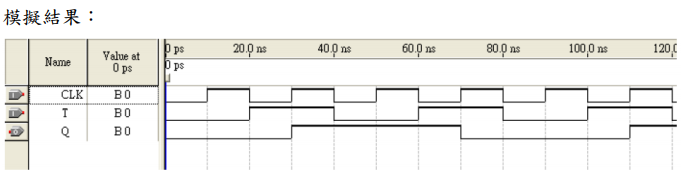
Control所代表的是時序





在Ln.7時，只有CLK是處於負緣狀態才動作





當CLK呈現負緣時動作

1. 實驗心得

D1094181017 張育丞

期中考後的實驗難度隨著基礎也逐漸邁向挑戰難度，有些成功做出來，有些卻沒有，不過都是個經驗，至於幫忙越南同學的部分其實感覺還不賴，從中有得到些許的成就感，但更重要的是檢核自己的能力，從中發現其實還有很多細節尚未釐清，之後會再思考然後好好精進自己。

D1094181021 許富承

雖然我大部分都不太熟不知如何去寫全部的東西，但是我每次都會希望盡我自己所能，不會寫也可以幫忙找看看，有沒有我可以幫到的，慢慢的學習，現在我已經知道如何去找那些腳位，跟如何去做老師給的例題，但是老師後來給出的問題與討論我還是不知該如何去改讓他變成老師想要的答案。11/27號上的我也是最近才搞懂如何讓他動作的，希望老師以後上課可以先把基礎的指令動作先教我們，不然讓我們自己去摸索真的會很慢，對我像我不是本科來讀得真的很難去理解。

D1094181045 徐茂霖

經過了這一連串的數位邏輯程式設計實驗，我在當中有了深刻的體悟，舉凡七段顯示器、指撥開關等的腳位定義及程式的呼叫。經過了這一學期老師的教學感悟，使我在當中慢慢的鼓起勇氣從一片數位邏輯的暗黑海域步步向前邁進，從黑暗到光明的知識海洋，指引了我奮發向上的動力，老師就像港口的燈塔照耀海洋使我找到了前行的道路。