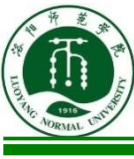


计算机组成原理

重点知识总结



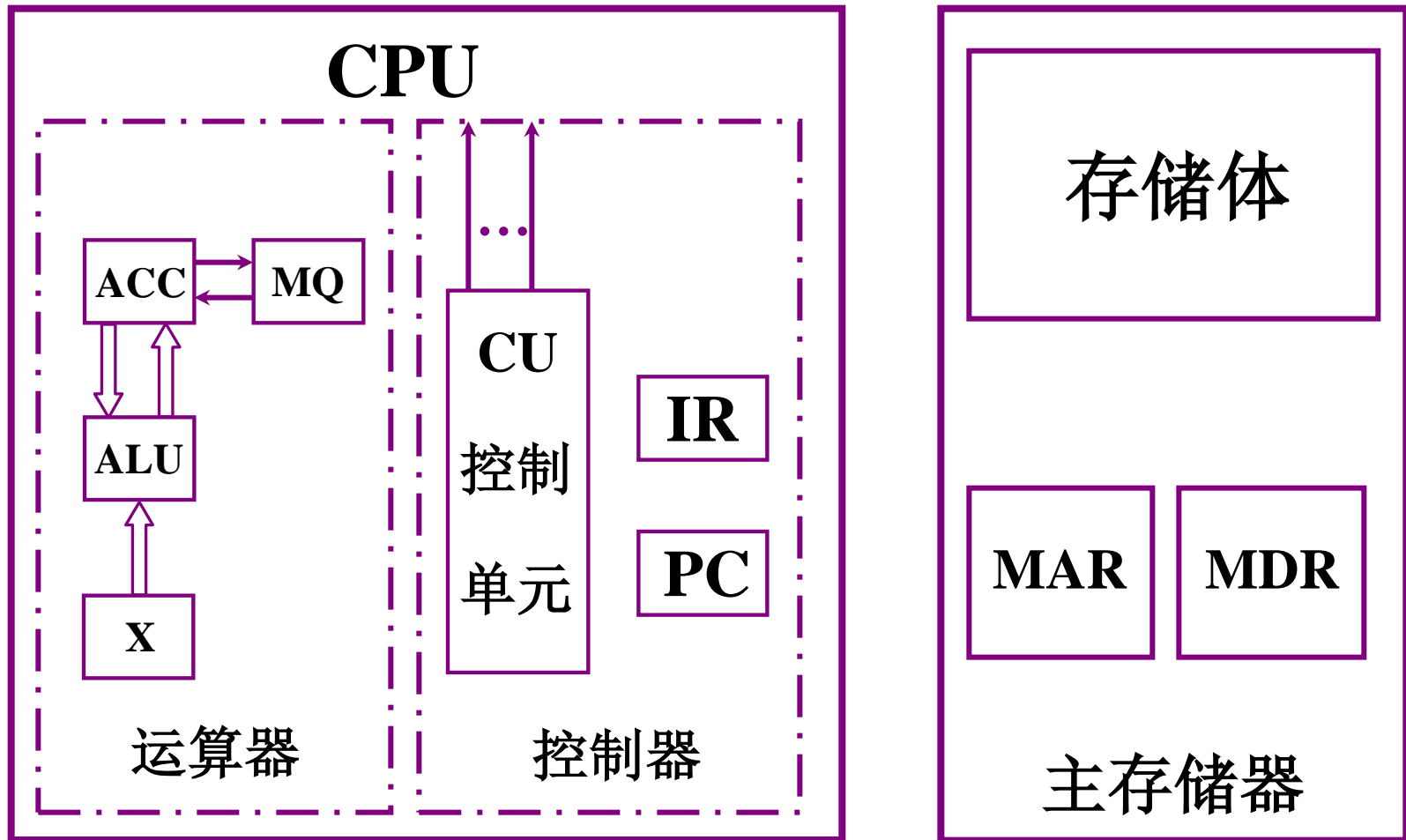
计算机系统概述

- 1.计算机系统的层次结构
- 2.计算机组成和计算机系统结构
- 3.冯诺依曼计算机特点
- 4.计算机工作过程
- 5.计算机的主要技术指标

考核：基本概念，计算机的工作过程

习题：1.9、补充习题

细化的计算机组成框图



1. 根据细化的计算机框图（如上页所示），写出完成下列指令信息流程（包括取指令阶段、分析指令阶段、执行指令阶段）：

取数指令“LDA M”、加法指令“ADD M”、存数指令“STA M”。

设主存容量为256K \subseteq 32位，在指令字长、存储字长、机器字长相等的条件下，指出图中各寄存器的位数。

解：“LDA M”指令的完成信息流程

取指令阶段：

$PC \rightarrow MAR \rightarrow M, \text{Read}, M \rightarrow MDR \rightarrow IR, (PC) + 1 \rightarrow PC$

分析指令阶段：

$OP(IR) \rightarrow CU$

执行指令阶段：

$AD(IR) \rightarrow MAR \rightarrow M, \text{Read}, M \rightarrow MDR \rightarrow ACC$

2. 设计计算机的指令系统如下表所示，写出计算下列表达式的机器语言程序，（指令和数据在内存存放的地址，给出或者自己设定）

$$ax^2+bx+c$$

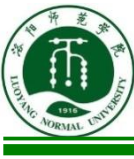
$$x^2+y+z$$

$$a*b+c$$

操作	操作码（6位）	地址码（10位）	功能
取数	000001	α	$[\alpha] \rightarrow \text{ACC}$
存数	000010	β	$[\text{ACC}] \rightarrow [\beta]$
加	000011	γ	$[\text{ACC}] + [\gamma] \rightarrow \text{ACC}$
乘	000100	δ	$[\text{ACC}] \times [\delta] \rightarrow \text{ACC}$
打印	000101	σ	$[\sigma] \rightarrow \text{打印机}$
停机	000110		

计算 $ax^2 + bx + c$ 程序清单

指令和数据存于主存单元的地址	指令		注释
	操作码	地址码	
0	000001	0000001000	取数 x 至ACC
1	000100	0000001001	乘 a 得 ax ,存于ACC中
2	000011	0000001010	加 b 得 $ax+b$,存于ACC中
3	000100	0000001000	乘 x 得 $(ax+b)x$,存于ACC中
4	000011	0000001011	加 c 得 $ax^2 + bx + c$,存于ACC
5	000010	0000001100	将 $ax^2 + bx + c$,存于主存单元
6	000101	0000001100	打印
7	000110		停机
8		x	原始数据 x
9		a	原始数据 a
10		b	原始数据 b
11		c	原始数据 c
12			存放结果



系统总线

1. 总线的概念

2. 总线的分类：片内总线、系统总线

系统总线：地址总线、控制总线、数据总线

3. 总线特性

机械特性、电气特性、功能特性、时间特性

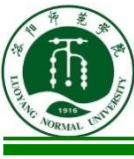
4. 总线性能指标

总线宽度、总线带宽、总线复用

5. 总线控制

总线判优控制：集中式（链式查询、计数器定时查询、独立请求）和分布式。

总线通信控制：同步通信、异步通信



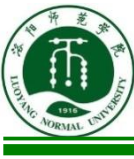
1. 假设总线的时钟频率为100MHz，总线传输周期为4个时钟周期，总线的宽度为32位，试求总线的传输率。若想提高一倍总线传输率，可采取什么措施？

解：

(1) $(100\text{M} \div 4) \times (32 \div 8) = 100\text{MBps}$

(2) 不改变时钟频率的前提下，将数据线的宽度改为64位；不改变数据宽度，将时钟频率增加到200MHz。

习题：3.1、3.2、3.14、3.15



存储器

1. 存储器的分类
2. 存储器的层次结构
3. 主存

主存的基本组成、大端方案、小端方案

主存的技术指标（存取容量和存取速度）

半导体存储芯片：基本结构、译码驱动方式

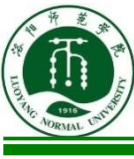
RAM:

SRAM: 六个MOS管组成、Intel 2114 ($1K \times 4$)

DRAM:

三个MOS管或单个MOS组成，Intel 4116 ($16K \times 1$)

刷新：集中、分散、异步



存储器

ROM: MROM、PROM、EPROM、EEPROM

EPROM 芯片: Intel 2716 (2K×8)

4.存储器和CPU的连接

存储容量的扩展（位扩展、字扩展、字位同时扩展）

存储器和**CPU**的连接注意事项

存储器和**CPU**的连接举例

5.存储器的校验

汉明校验码的求法、汉明码的纠错过程

6. 提高访存速度的措施

采用高速元件：**SDRAM**芯片、**RDRAM**芯片等

采用层次结构：增加**Cache**

调整主存的结构：单体多字、多体并行

7. 高速缓冲存储器Cache

增加Cache的目的

Cache的工作原理：命中率、平均访存时间、访问效率

写一致性（写直达、写回法）

替换策略

三种映射方式：直接映射、全相联映射、组相联

考核:

- (1) 基本概念
- (2) **DRAM**的刷新
- (3) **CPU**和存储器的连接
- (4) 汉明码。发送方会求海明码，接收方会纠错
- (5) **Cache**。三种不同映射方式下，设计主存地址格式。在固定的映射方式下，计算**Cache**的命中率、效率和平均访存时间。

习题: 4. 11、4. 15、4. 16、4. 17、4. 18、4. 19、 4. 28、4. 29、4. 30、4. 31、4. 32

例题 4. 1、4. 2、4. 8、4. 9、4. 10、4. 11



1. 课件补充习题. 一个 $16\text{K} \times 1$ 位的DRAM芯片，存储矩阵由4个 64×64 的小矩阵组成，若刷新周期为 8ms ，存取周期为 $0.5\mu\text{s}$ ，（1）采用异步刷新，则相邻两行之间刷新闻隔是多少？死区各是多少？

（2）采取集中刷新、分散刷新，则相邻两行之间刷新闻隔是多少？死区各是多少？

解：① 确定刷新一遍的行数

根据刷新行地址

一次刷新 $64 \times 4 = 256$ 个基本存储单元

共刷新64行就对该芯片刷新一遍

② 异步刷新

计算相邻两行间隔

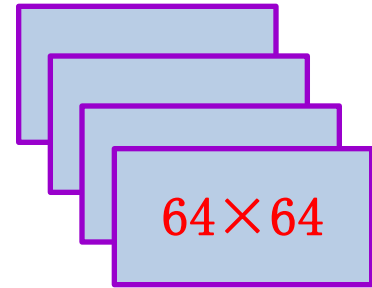
$$8\text{ms} \div 64 = 125\mu\text{s}$$

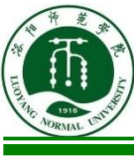
计算“死区”

“死区”为一个存取周期，即 $0.5\mu\text{s}$

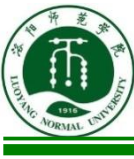
（2）集中刷新：相邻两行间隔： $0.5\mu\text{s}$ ；死区： $64 \times 0.5\mu\text{s} = 32\mu\text{s}$

分散刷新：相邻两行间隔： $0.5\mu\text{s} + 0.5\mu\text{s} = 1\mu\text{s}$ ；无死区





习题4.11. 一个 $8K \times 8$ 位的动态RAM芯片，其内部结构排列成 256×256 形式，若刷新周期为 $2ms$ ，存取周期为 $0.1\mu s$ 。试问采用集中刷新、分散刷新及异步刷新三种方式的刷新间隔各为多少？死区各是多少？

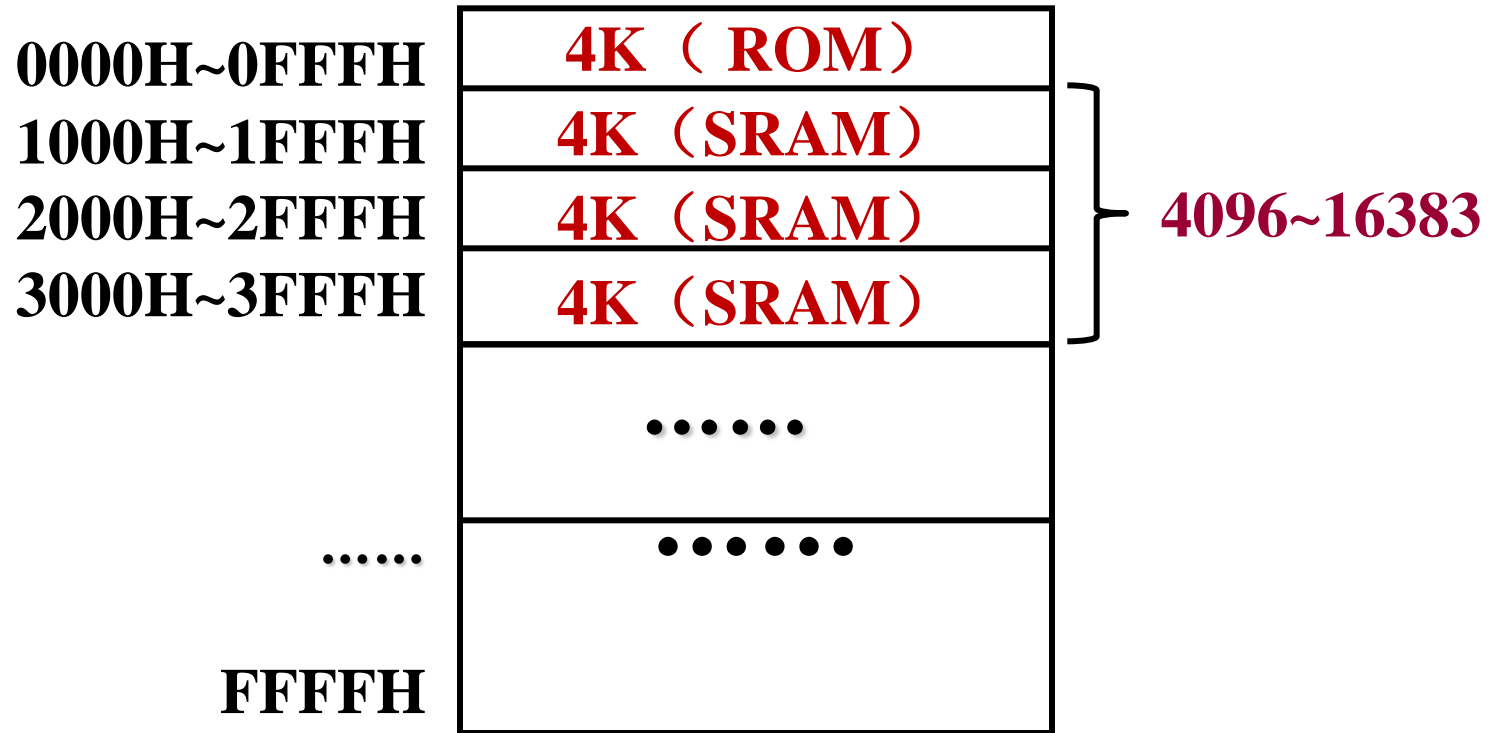


2. 习题4.15. 设CPU共有16根地址线，8根数据线，并用 $\overline{\text{MREQ}}$ （低电平有效）作访存控制信号， $\text{R}/\overline{\text{W}}$ 作读写命令信号（高电平为读，低电平为写）。现有这些存储芯片：ROM（ $2\text{K} \times 8$ 位， $4\text{K} \times 4$ 位， $8\text{K} \times 8$ 位），RAM（ $1\text{K} \times 4$ 位， $2\text{K} \times 8$ 位， $4\text{K} \times 8$ 位），及74138译码器和其他门电路（门电路自定）。

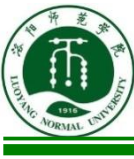
试从上述规格中选用合适的芯片，画出CPU和存储芯片的连接图。要求如下：

- （1）最小4K地址为系统程序区，4096~16383地址范围为用户程序区；**
- （2）指出选用的存储芯片类型及数量；**
- （3）详细画出片选逻辑。**

解：（1）地址空间分配图如下：



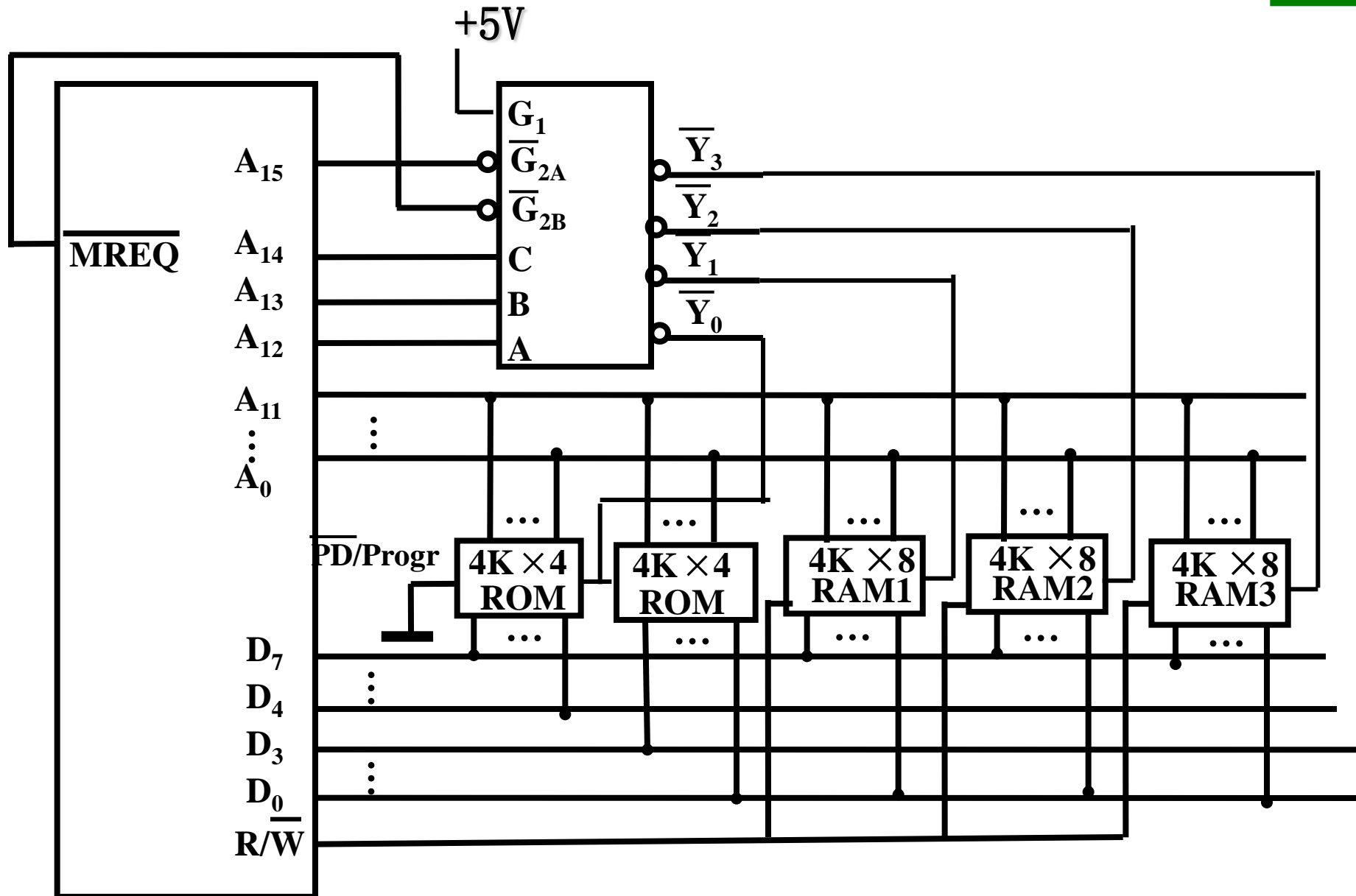
（2）选片：ROM：4K × 4位：2片；
RAM：4K × 8位：3片；

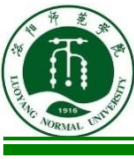


(3)
二进制地址分配

A15	A14	A13	A12	A11	A10	A9	...	A0	
0	0	0	0	0	0	0	...	0	4K × 8 ROM
⋮								⋮	
0	0	0	0	1	1	1	...	1	
0	0	0	1	0	0	0	...	0	4K × 8 RAM1
⋮								⋮	
0	0	0	1	1	1	1	...	1	
0	0	1	0	0	0	0	...	0	4K × 8 RAM2
⋮								⋮	
0	0	1	0	1	1	1	...	1	
0	0	1	1	0	0	0	...	0	4K × 8 RAM3
⋮								⋮	
0	0	1	1	1	1	1	...	1	
\overline{G}_{2A}	C	B	A						

(3) CPU 与存储器的连接图





3. 习题4.16. CPU假设同上题，现有**8片8K×8位**的RAM芯片与CPU相连。

(1) 用**74138**译码器画出CPU与存储芯片的**连接图**；

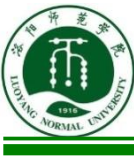
(2) 写出每片RAM的**地址范围**；

(3) 如果运行时发现不论往哪片RAM写入数据，以**A000H**为起始地址的存储芯片都有与其**相同**的数据，分析**故障原因**。

(4) 根据(1)的连接图，若出现地址线**A13**与CPU**断线**，并**搭接到高电平**上，将出现什么**后果**？

解： （1） 每片RAM地址空间范围：

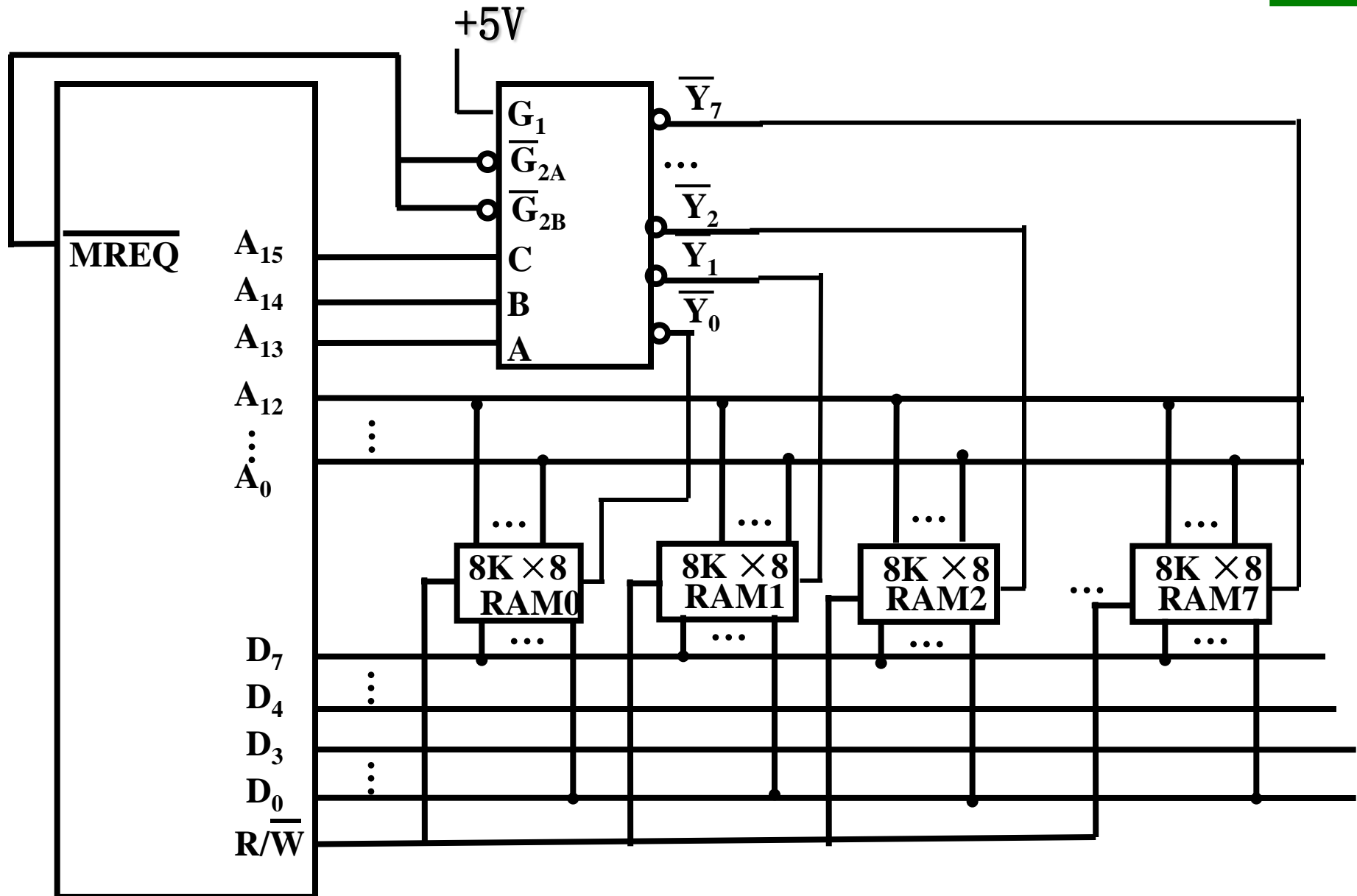
8K×8 RAM0	0000H~1FFFFH
8K×8 RAM1	2000H~3FFFFH
8K×8 RAM2	4000H~5FFFFH
8K×8 RAM3	6000H~7FFFFH
8K×8 RAM4	8000H~9FFFFH
8K×8 RAM5	A000H~BFFFFH
8K×8 RAM6	C000H~DFFFFH
8K×8 RAM7	E000H~FFFFFFH

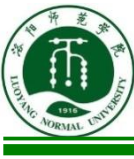


(2)
二进制地址分配

A15	A14	A13	A12	A11	A10	A9	...	A0	
0	0	0	0	0	0	0	...	0	8K×8 RAM0
⋮								⋮	
0	0	0	1	1	1	1	...	1	
0	0	1	0	0	0	0	...	0	8K × 8 RAM1
⋮								⋮	
0	0	1	1	1	1	1	...	1	
0	1	0	0	0	0	0	...	0	8K × 8 RAM2
⋮								⋮	
0	1	0	0	1	1	1	...	1	
...			...						
1	1	1	1	0	0	0	...	0	8K × 8 RAM7
⋮								⋮	
1	1	1	1	1	1	1	...	1	
C	B	A							

(2) CPU 与存储器的连接图



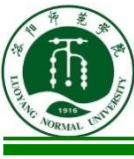


(3) 如果运行时发现不论往哪片**RAM**写入数据后，以**A000H**为起始地址的存储芯片都有与其相同的数据，则根本的故障原因为：该存储芯片的片选输入端很可能总是处于低电平。可能的情况有：

- ①该片的**-CS**端与**-WE**端错连或短路；
- ②该片的**-CS**端与CPU的**-MREQ**端错连或短路；
- ③该片的**-CS**端与地线错连或短路；

在此，假设芯片与译码器本身都是好的。

(4) 如果地址线**A13**与CPU断线，并搭接到高电平上，将会出现**A13**恒为“1”的情况。此时存储器只能寻址**A13=1**的地址空间，**A13=0**的另一半地址空间将永远访问不到。若对**A13=0**的地址空间进行访问，只能错误地访问到**A13=1**的对应空间中去。



4. 求 0101 按 “偶校验” 配置的汉明码

解： $\because n = 4$ 根据 $2^k \geq n + k + 1$ 得 $k = 3$

校验位分别为 C_1 、 C_2 、 C_4 ，则汉明码共 $4+3=7$ 位

汉明码排序如下：

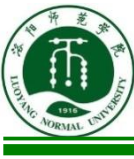
二进制序号	1	2	3	4	5	6	7
名称	C_1	C_2	0	C_4	1	0	1

$$C_1 = 3 \oplus 5 \oplus 7 = 0 \oplus 1 \oplus 1 = 0$$

$$C_2 = 3 \oplus 6 \oplus 7 = 0 \oplus 0 \oplus 1 = 1$$

$$C_4 = 5 \oplus 6 \oplus 7 = 1 \oplus 0 \oplus 1 = 0$$

\therefore 0101 的汉明码为 **0100101**



5. 已知接收到的汉明码为 0100111（按配偶原则配置），检查代码是否出错？第几位出错？

解：当进行汉明码检错时，汉明码各位排列如下：

二进制序号	1	2	3	4	5	6	7
名称	0	1	0	0	1	1	1

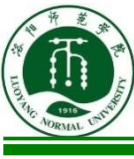
则新的检测位：P₄P₂P₁为：

$$P_4 = C_4 \oplus 5 \oplus 6 \oplus 7 = 0 \oplus 1 \oplus 1 \oplus 1 = 1$$

$$P_2 = C_2 \oplus 3 \oplus 6 \oplus 7 = 1 \oplus 0 \oplus 1 \oplus 1 = 1$$

$$P_1 = C_1 \oplus 3 \oplus 5 \oplus 7 = 0 \oplus 0 \oplus 1 \oplus 1 = 0$$

第六位出错，
取反，变为0，
传送信息为：
0101



4.1 求 0101 按 “奇校验” 配置的汉明码

解： $\because n = 4$ 根据 $2^k \geq n + k + 1$ 得 $k = 3$

校验位分别为 C_1 、 C_2 、 C_4 ，则汉明码共 $4+3=7$ 位

汉明码排序如下：

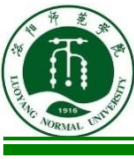
二进制序号	1	2	3	4	5	6	7
名称	C_1	C_2	0	C_4	1	0	1

$$C_1 = \overline{3 \oplus 5 \oplus 7} = \overline{0 \oplus 1 \oplus 1} = 1$$

$$C_2 = \overline{3 \oplus 6 \oplus 7} = \overline{0 \oplus 0 \oplus 1} = 0$$

$$C_4 = \overline{5 \oplus 6 \oplus 7} = \overline{1 \oplus 0 \oplus 1} = 1$$

\therefore 0101 的汉明码为 **1001101**



5.1 已知接收到的汉明码为 0100111（按配奇原则配置），检查代码是否出错？第几位出错？

解：当进行汉明码检错时，汉明码各位排列如下：

二进制序号	1	2	3	4	5	6	7
名称	0	1	0	0	1	1	1

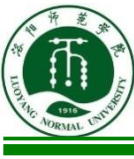
则新的检测位： $P_4P_2P_1$ 为：

$$P_4 = \overline{C_4 \oplus 5 \oplus 6 \oplus 7} = \overline{0 \oplus 1 \oplus 1 \oplus 1} = 0$$

$$P_2 = \overline{C_2 \oplus 3 \oplus 6 \oplus 7} = \overline{1 \oplus 0 \oplus 1 \oplus 1} = 0$$

$$P_1 = \overline{C_1 \oplus 3 \oplus 5 \oplus 7} = \overline{0 \oplus 0 \oplus 1 \oplus 1} = 1$$

第一位出错，
可不纠，是校
验位可不纠



6. 主存容量为512KB，Cache容量为4KB，每个字块为16个字，每个字32位。

(1) 在直接映射下设计主存地址格式，并说明主存的第几块映射到Cache的第6块。

(2) 在全相联映射下设计主存地址格式。

(3) 在2路组相联映射下，设计主存地址格式。

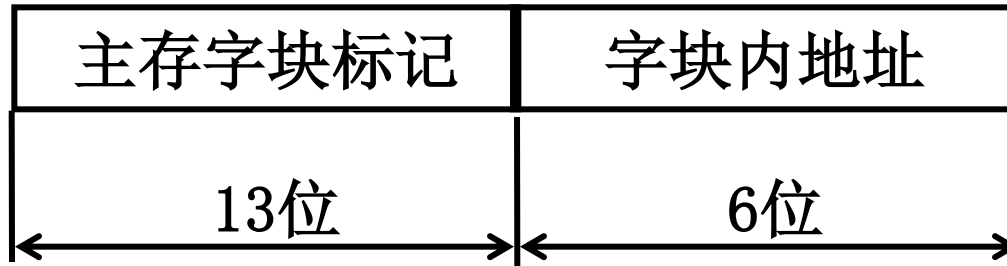
解：以字节为寻址单位

(1) 在直接映像方式下，主存的地址格式为：

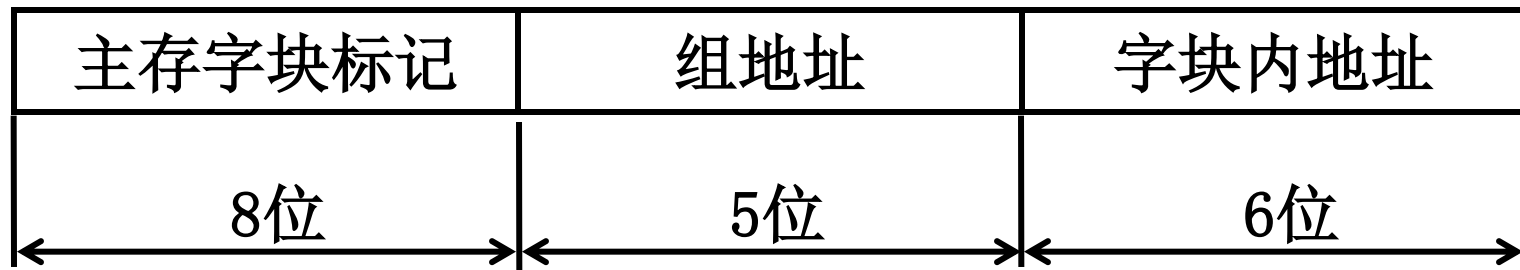
主存字块标记	缓存块地址	字块内地址
7位	6位	6位

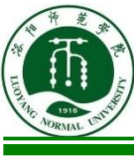
映射的块号为：6、 $1*64+6$ 、 $2*64+6$ 、 \dots 、 $127*64+6$

(2) 在全相联方式下，主存地址格式为：



(3) 二路组相联映射方式下，主存的地址格式为：





7. 设主存容量为**1MB**，采用直接映射方式，**Cache**容量为**16KB**，块长为**4字**，每字**32位**。试问主存地址为**ABCDEH**的存储单元在**Cache**中的什么位置？

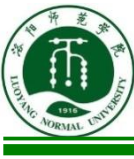
解：以字节为寻址单位

(1) 直接映射方式下主存的地址格式为：

因块长4个字，每字32位4个字节，所以块内地址为4位，**Cache**的块数为： $16KB/16B=1K=2^{10}$ （块），故，缓存块地址位数为10。

因主存容量为**1MB**，则，主存以字节为寻址单位的地址为数为**20位**，由此可知，主存字块标记的位数为： $20-4-10=6$ （位）

主存字块标记	缓存块地址	字块内地址
6位	10位	4位



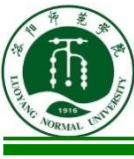
(2) 地址ABCDEH，按直接映射方式把地址ABCDEH转换为20位二进制的主存地址格式为：

1010 1011 1100 1101 1110

因主存地址格式为3个字段，所以把上面的地址按（1）中的地址格式也分为3个字段，则为：

101010	11 1100 1101	1110
标记	Cache块号	块内地址

所以，地址ABCDEH地址单元在Cache的1111001101B（或3CDH，973）块的第1110B（14）个字节。

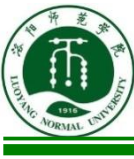


8. 设某机主存容量为4MB，Cache容量为16KB，每字块有8个字，每字32位，设计一个四路组相联映射（即Cache每组内共有4个字块）的Cache组织。

（1）画出主存地址字段中各段的位数；

（2）设Cache的初态为空，CPU依次从主存第0、1、2.....89号单元读出90个字（主存一次读出一个字），并重复按此次序读8次，问命中率是多少？

（3）若Cache的速度是主存的6倍，试问有Cache和无Cache相比，速度约提高多少倍？



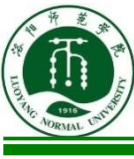
解：（1）根据每字块有8个字，每字32位（4字节），得出主存地址字段中字块内地址为 $3+2=5$ 位。

根据 Cache 容量为 $16\text{KB}=2^{14}\text{B}$ ，字块大小为 $8*32/8=32=2^5\text{B}$ ，得 Cache 地址共14位，Cache 共有 $2^{14-5}=2^9$ 块。

根据四路组相联映射，Cache 共分为 $2^9/2^2=2^7$ 组。

根据主存容量为 $4\text{MB}=2^{22}\text{B}$ ，得主存地址共22位，主存字块标记为 $22-7-5=10$ 位，故主存地址格式为：

主存字块标记 (10位)	组地址 (7位)	字块内地址 (5位)
-----------------	-------------	---------------

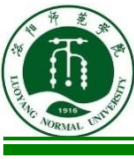


(2) 由于每个字块中有8个字，而且初态为空，因此CPU读第0号单元时，未命中，必须访问主存，同时将该字所在的主存块调入Cache第0组中的任一块内，接着CPU读第1~7号单元时均命中。同理，CPU读第8, 16, ..., 88号时均未命中。可见，CPU在连续读90个字中共有12次未命中，而后8次循环读90个字全部命中，命中率为：

$$\frac{90 \times 8 - 12}{90 \times 8} \approx 0.983$$

(3) 设Cache的周期为 t ，则主存周期为 $6t$ ，没有Cache的访问时间为 $6t \times 90 \times 8$ ，有Cache的访问时间为 $t(90 \times 8 - 12) + 6t \times 12$ ，则有Cache和无Cache相比，速度提高的倍数为：

$$\frac{6t \times 90 \times 8}{(90 \times 8 - 12)t + 6t \times 12} - 1 \approx 4.54$$

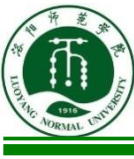


9. 设某机字长32位，主存容量为4MB，Cache容量为16KB，Cache共512块，设计一个二路组相联映射（即Cache每组内共有2个字块）的Cache组织。

（1）画出主存地址字段中各段的位数；

（2）设Cache的初态为空，CPU依次从主存第0、1、2.....99号单元读出100个字（主存一次读出一个字），并重复按此次序读10次，问命中率是多少？

（3）若Cache的速度是主存的6倍，系统的效率是多少？



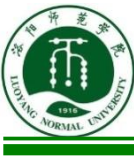
解：（1）Cache容量为16KB，共512块，则Cache每块包含的字节数为： $16\text{KB} / 512 = 32\text{B} = 2^5\text{B}$

可知Cache块内地址为5位。

二路组相联映射下，Cache的组数为： $512/2=256(\text{组}) = 2^8(\text{组})$ ，cache组地址位数为8位。

根据主存容量为 $4\text{MB} = 2^{22}\text{B}$ ，得主存地址共22位，主存字块标记为 $22-9-5=9$ 位，故主存地址格式为：

主存字块标记 (9位)	组地址 (8位)	字块内地址 (5位)
----------------	-------------	---------------



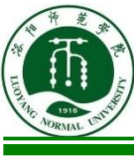
(2) 由(1)知, Cache每块包含32个字节, 因为一个字为32位, 所以, cache一块包含的字数为: $32/4=8$ (字)。那么访问0~99号单元共100个字, 所占的块数为: $100/8 \approx 13$ (块)。

因为cache初态为空, 可知, 第一遍访问0-99号字, 不命中13个字, 此后第2遍到第10遍全部命中, 命中率为:

$$\frac{100 \times 10 - 13}{100 \times 10} \approx 0.987$$

(3) 设Cache的周期为 t , 则主存周期为 $6t$, 则:

$$\begin{aligned} e &= t_c / t_a \\ &= t_c / [ht_c + (1-h)t_m] \\ &= t_c / [ht_c + (1-h)6t_c] \\ &= 1 / (6-5h) \approx 93.9 \% \end{aligned}$$



计算机的运算方法

1. 计算机中有符号数据的表示

机器码：原码、补码、反码、移码

2. 定点数

原码、补码、反码三种机器码的取值范围

考核：

(1) 真值→原码、补码、反码、移码

原码、补码、反码 → 真值

(2) 定点数取值范围、包括定点小数或者定点整数的任意字长的原码、补码、反码的取值范围

习题：6.16

附：题型

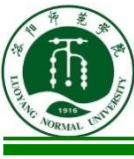


一、单项选择题（每道**1**分，共**20**分）

二、填空题（每空**1**分，共**10**分）

三、分析计算题（每小题**10**分，共**40**分）

四、设计题（每小题**15**分，共**30**分）



不负韶华！
天道酬勤！

刘雅琴

2020-2021-2