

# Arithmétique binaire

M. Combacau  
combacau@laas.fr

Université Paul Sabatier  
LAAS-CNRS

November 10, 2024

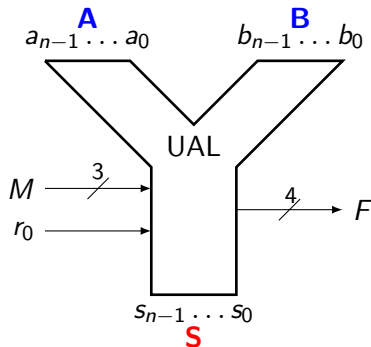


東北大學  
NORTHEASTERN UNIVERSITY

## Objectif

Construire une unité arithmétique et logique minimale

## Vue systémique d'une UAL (entrées/sorties)



# Mode de fonctionnement de l'UAL

$m_2$	$m_1$	$m_0$	opération sélectionnée
0	0	0	logique NON (A)
0	0	1	logique A ET B
0	1	0	logique A OU B
0	1	1	logique A XOR B
1	0	0	logique décalage à gauche
1	0	1	logique décalage à droite
1	1	0	arithmétique A+B
1	1	1	arithmétique A-B

# Flags de l'UAL

- $Z$  (Zero) vaut 1 quand le résultat  $S = 0$  (tous les bits sont nuls)
- $N$  (Negative) vaut 1 quand le résultat  $S$  est un nombre négatif
- $C$  (Carry) vaut 1 quand un débordement a lieu sur  $S$
- $V$  (oVerflow) vaut 1 si dépassement de capacité pour  $S$

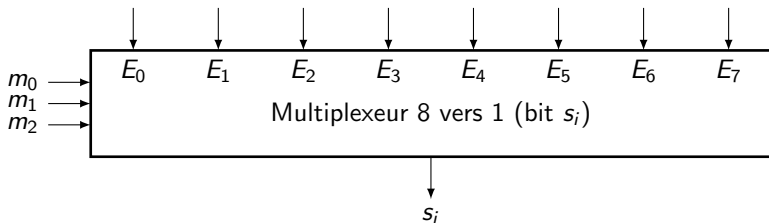
$Z$  et  $N$  permettent des instructions conditionnelles comme :

`if (x==0) en c`

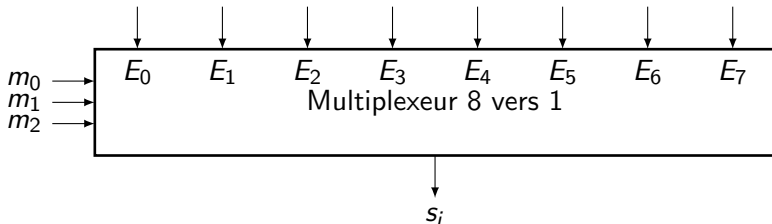
$C$  et  $V$  protègent contre les erreurs de calcul

# Constitution générale de l'UAL

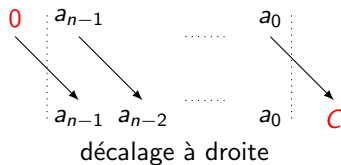
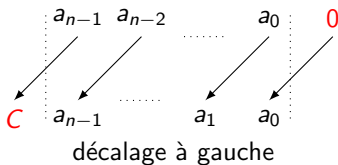
Basée sur un multiplexeur 8 vers 1 à  $n$  bits



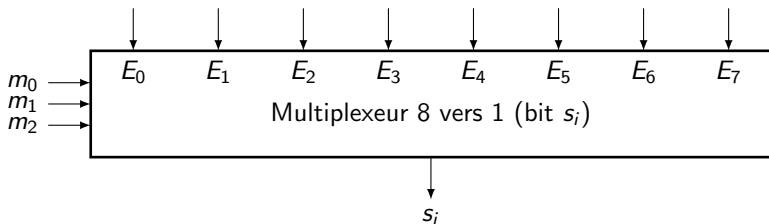
## Constitution de la partie logique de l'UAL



## Partie décalage de l'UAL



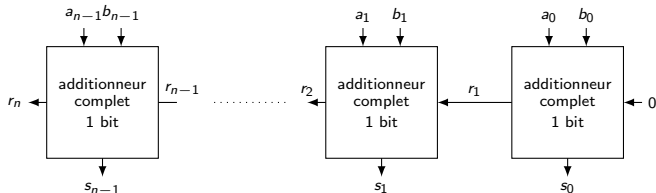
## Constitution de la partie logique (complète)





# Addition binaire de $n$ bits

Elle repose sur la mise en parallèle de  $n$  additionneurs complets 1 bit



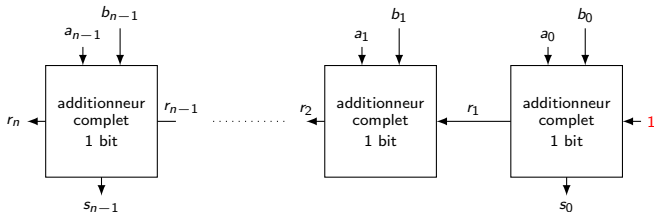
Additionneur conçu pour les entiers positifs

On a vu (Video du cours) que :

- 1  $B = |B|$  codé par  $|B| \Rightarrow -B$  est codé par  $2^n - |B|$
- 2  $B = -|B|$  codé par  $2^n - |B| \Rightarrow -B$  est codé par  $2^n - (2^n - |B|) = |B|$
- 3 Ainsi, prendre le Ca2 de  $(x)$  c'est coder  $-x$
- 4 Permet de transformer  $A - B$  en  $A + \text{Ca2}(B)$

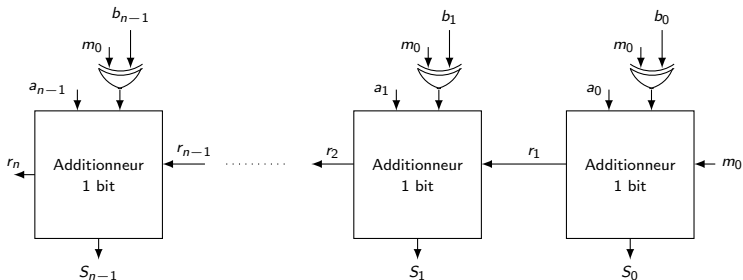
# Calcul du complément à deux avec l'additionneur complet

Rappel :  $Ca2(x) = \overline{Cb(x)} + 1$

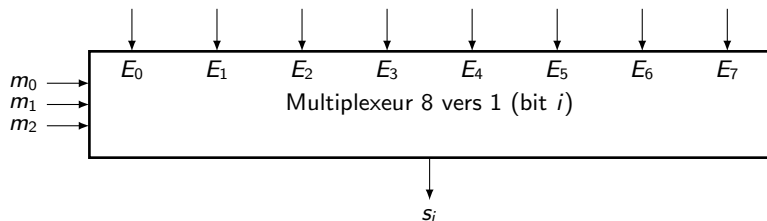


# Calcul du complément à deux avec l'additionneur complet

Rappel :  $Ca2(x) = \overline{Cb(x)} + 1$



## UAL 1 bit complète (sans Flags)



## Questions de mise en œuvre

- Nous avons fait l'étude de chaque sous fonction de cette UAL
  - 1 additionneur complet  $n$  bits
  - 2 multiplexeur 8 vers 1 (Pr Sainrat)
  - 3 opérateurs logiques : NON, ET, OU, XOR (Pr Sainrat)
  - 4 décalage droite et gauche
- Il est donc possible de faire simplifier les différentes expressions à un outil de conception (pas à la main !)
- Rien ne s'oppose à câbler cette UAL dans un circuit logique programmable (FPGA)
- Utilisation du langage VHDL (hors programme ici !)

Manque la définition des flags Z, N, V, C

## Synthèse des indicateurs (Flags) : Z(ero)

- $Z = 1$  quand  $S = 0$  (tous les bits à 0)

## Synthèse des indicateurs (Flags) : N(egative)

- $N = 1$  quand  $s_{n-1} = 1$

## Synthèse des indicateurs (Flags) : C(arry)

$C = 1$  quand le résultat d'une opération déborde des  $n$  bis de  $S$



## Synthèse des indicateurs (Flags) : (o)V(erflow)

$V = 1$  quand un résultat est faux (opérations  $+$  et  $-$ )