

# 數位積體電路架構設計

## Lab3: Fast Fourier Transform, FFT

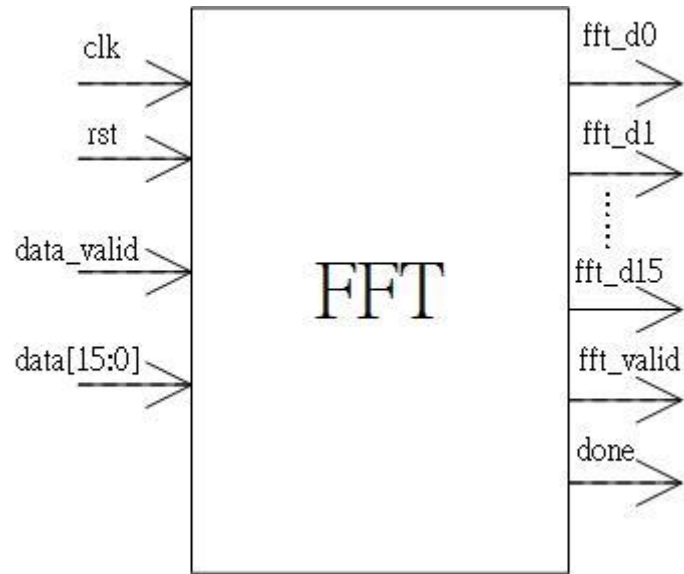
### 1. Introduction

**快速傅立葉變換**，是快速計算序列的離散傅立葉變換（DFT）或其逆變換的方法。傅立葉分析將訊號從原始域（通常是時間或空間）轉換到頻域的表示或者逆過來轉換。FFT 會通過把 DFT 矩陣分解為稀疏（大多為零）因子之積來快速計算此類變換。因此，它能夠將計算 DFT 的複雜度從只用 DFT 定義計算需要的  $O(n^2)$ ，降低到  $O(n \cdot \log n)$ ，其中  $n$  為資料大小。

快速傅立葉變換廣泛的應用於工程、科學和數學領域。這裡的基本思想在 1965 年才得到普及，但早在 1805 年就已推導出來。<sup>[3]</sup> 1994 年美國數學家吉爾伯特 斯特朗把 FFT 描述為「我們一生中最重要數值演算法」，它還被 IEEE 科學與工程計算期刊列入 20 世紀十大演算法。

## 2. Design Specifications

### 2.1 Block Overview



圖一、FFT系統方塊圖

### 2.2 I/O Interface

Signal	I/O	Bits width	
clk	input	1	時脈信號。
rst	input	1	高位準非同步重置信號。
data_valid	input	1	資料有效訊號。
data	input	16	主控端時域訊號輸入。
fft_d0~fft_d15	output	32	32位元FFT之資料輸出訊號。
fft_valid	output	1	FFT輸出資料有效訊號。
done	output	1	完成運算輸出信號。

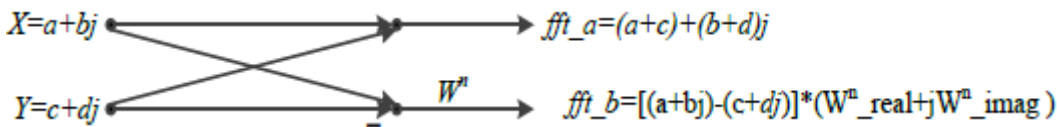
### 2.3 Function Description

本題目中所使用的快速傅利葉轉換(FFT：Fast Fourier transform)，本系統規格須完成16點的快速傅利葉轉換，硬體架構如圖四所示。此快速傅利葉轉換電路，是為將時域訊號轉換為頻域訊號，以利後續之訊號分析及處理，其原始數學表示式如下公式所示。

$$Y(k)=\sum_{m=0}^{N-1}w^{mk}y(m) \quad k=0, 1, \dots N-1$$
$$w=e^{-2j/N}$$
$$j=\sqrt{-1}$$

而在進行硬體數值運算過程，可參考圖二FFT運算說明；其中B路徑下方有一負號(-)，代表作X資料減Y資料的運算， $W^n$ 為FFT之係數，須注意此係數有實部( $W^n_{real}$ )與虛部( $W^n_{imaginary}$ )資料，在B結果須進行複數運算，運算過程中需要個別紀錄、運算實部與虛部資料，其FFT輸出(fft\_d0~fft\_d15)資料格式如圖三所示。

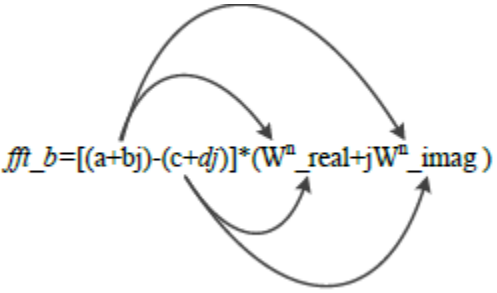
關於複數的乘法運算，運算中實部與虛部需交互做運算。若有兩複數相乘為 $(a+bj)*(c+dj)$ ，則相乘之後的結果如下圖二所示。



圖二、FFT運算

$$\text{fft\_a} = (a+c) + (b+d)j$$

$$\text{fft\_b} = [(a+bj) - (c+dj)] * (W^n_{real} + jW^n_{imag})$$



fft\_b運算，進行交叉相乘，其運算式如下

$$\text{fft\_b} = (a-c) * W^n_{real} + (a-c) * W^n_{imag}j + (b-d) * W^n_{real}j - (b-d) * W^n_{imag}$$

可整理為

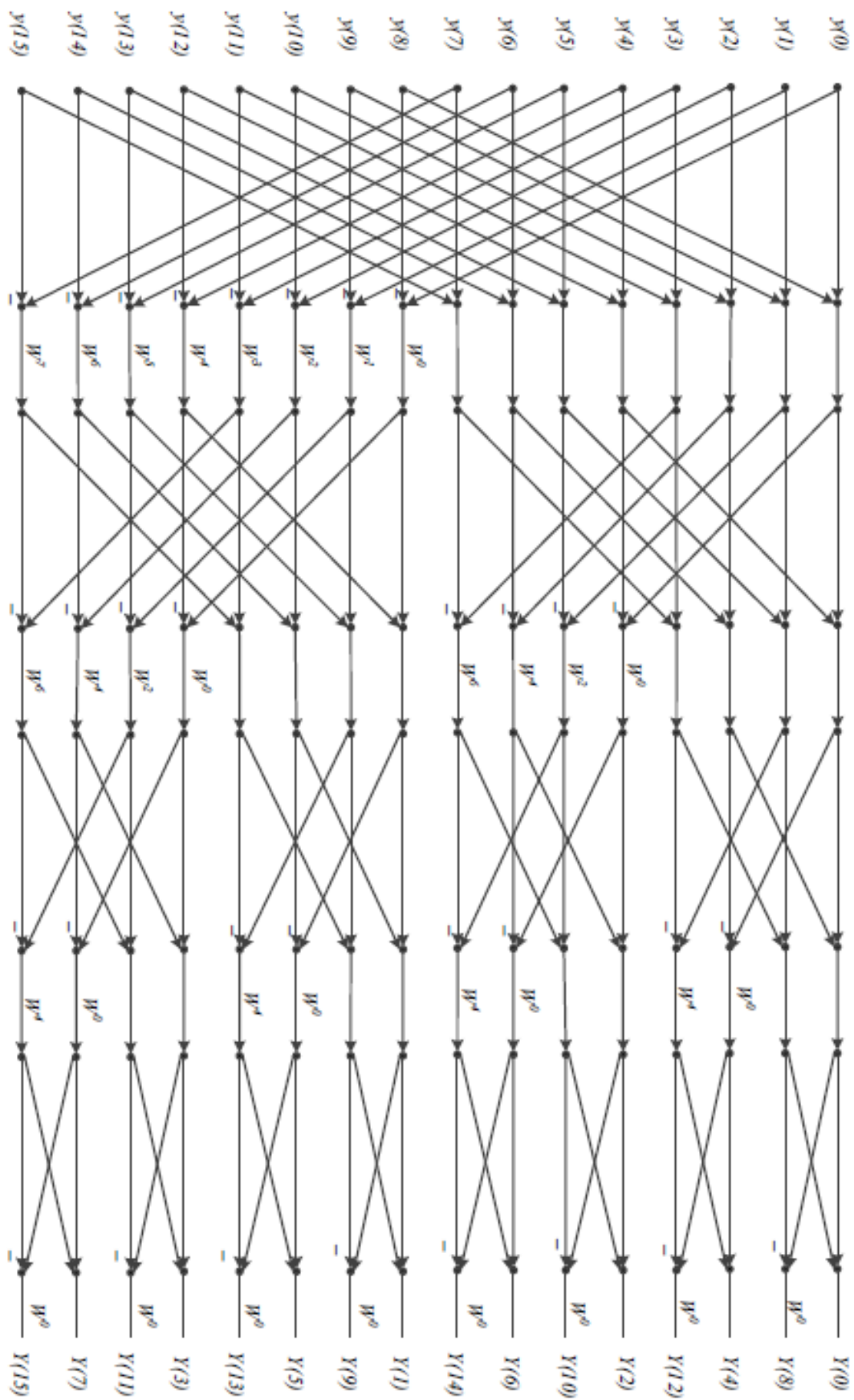
$$\text{fft\_b} = (a-c) * W^n_{real} + (d-b) * W^n_{imag} + [(a-c) * W^n_{imag} + (b-d) * W^n_{real}]j$$

最後可整理為

實部資料	$(a-c) * W^n_{real} + (d-b) * W^n_{imag}$
虛部資料	$(a-c) * W^n_{imag} + (b-d) * W^n_{real}$

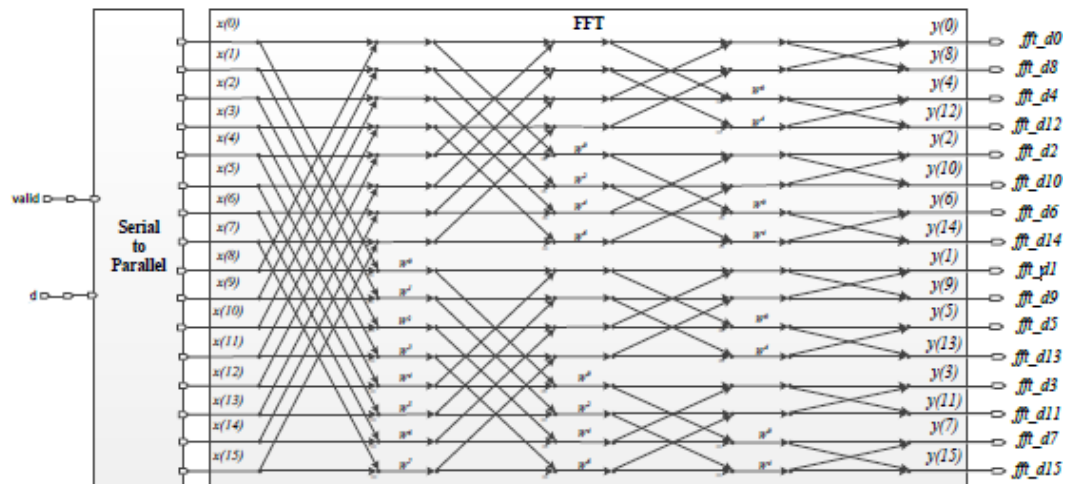
正/負	實數整數	實數小數	正/負	虛部整數	虛部小數
1bit	7	8 bit	1 bit	7 bit	8 bit

圖三、FFT資料格式



圖四、十六點FFT硬體架構

而在進行FFT運算之前，需自行設計一個串列轉並列電路(Serial to Parallel)，使得資料依主控端輸出有效資料比對時序規格（圖七）輸入至FFT進行運算前，先將串列格式資料能夠轉成並列訊號16點處理一次，如圖五範例所示，使得輸出資料能符合FFT輸出有效資料比對時序規格（圖八）。



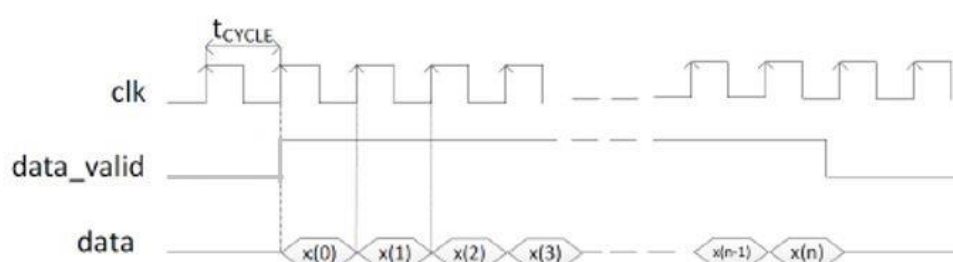
圖五、16點快速傅利葉轉換（FFT）硬體架構含Serial to Parallel示意圖

## 2.4 Timing Specification

主控端資料傳輸時序規格以及FFT輸出有效資料比對時序規格。

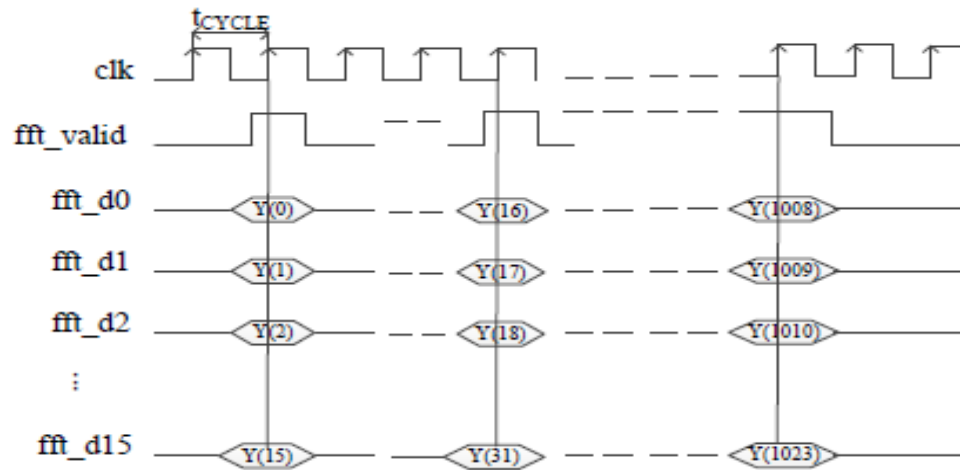
### (1) 主控端資料傳輸時序規格

當主控端將data\_valid訊號設定為high 時，主控端data埠，將會在每一個時脈送出一筆時域資料，其時序規格如下圖所示。主控端data訊號之資料格式為16bits，含1bit 的sign bit、7 bits 的整數資料及8bits 的小數資料。



## (2) FFT輸出有效資料比對時序規格

當資料經過FFT 處理後，在資料傳輸的過程中，若fft\_valid 信號設為high，則表示fft\_d0~fft\_d15 開始傳送資料至頻譜分析電路，測試程式將同時進行資料比對，其資料比對時序如下圖所示。



## 2.5 Bit width design

本次題目testbench允許電路運算出之解答與golden檔有正負三的誤差。  
（只要於每次FFT乘法運算後，小數點後的bit數留下16 bits以上，即可讓最終結果落在容許誤差範圍內。）

$W^n_{real}$ 和 $W^n_{imag}$ 資料格式為32bits。其中MSB為前16 bits表示整數位；LSB為後16 bits表示小數位。

## 2.6 File description

檔名	說明
test_fft.v	測試樣本檔。此測試樣本檔定義了時脈週期與測試樣本之輸入信號
FFT.v	所使用的設計檔，已包含系統輸/出入埠之宣告(以及 $W^n$ Coefficient)
Golden1_FFT_real.dat	測試樣本的Golden Pattern。提供FFT運算後的實部golden pattern。
Golden1_FFT_imag.dat	測試樣本的Golden Pattern。提供FFT運算後的虛部golden pattern。
fft_in_log.dat	測試樣本的Pattern。
FFT.sdc	Design Compiler電路合成規範檔

### 3. Scoring

A等級為完成測試樣本之所有RTL與gate-level simulation；

B等級為完成測試樣本之所有RTL simulation；

C等級為完成測試樣本50%以上(含)之RTL simulation；

D等級為完成測試樣本50%以下之RTL simulation。

### 附錄 A 作業內容以及期限

評分所需檔案可分為三部份：(1) RTL design，即各同學對該次作業設計的RTL code，若設計採模組化而有多個設計檔，請務必將合成所要用到的各module檔放進來；(2) gate-level design，即由合成軟體所產生的gate-level netlist，以及對應的SDF檔；(3) report file，同學必須依照自己的設計內容，撰寫report檔，以方便進行評分，檔案格式為：學號\_LABX.pdf

RTL category		
Design Stage	File	Description
N/A	report.xxx	design report
RTL Simulation	*.v or *.vhd	Verilog (or VHDL) synthesizable RTL code
Gate-Level category		
Design Stage	File	Description
Pre-layout Gate-level Simulation	*_syn.v	Verilog gate-level netlist generated by Synopsys Design Compiler
	*_syn.sdf	SDF timing information generated by Synopsys Design Compiler
	*_syn.ddc	design database generated by Synopsys Design Compiler

繳交期限：公布題目的兩週後午夜十二點

## 附錄 B 測試指令

測試指令：

RTL Simulation時使用指令如下：

➤ 使用ncverilog 模擬指令範例如下：

```
ncverilog test_fft.v FFT.v +access+r
```

Gate-Level Simulation時使用指令如下：

➤ 使用ncverilog 模擬指令範例如下：

```
ncverilog test_fft.v FFT_syn.v tsmc13_neg.v +define+SDF  
+access+r
```