

修士論文

HL-LHC ATLAS 実験に向けたシリコンピクセル検出器の粒子
線に対する応答評価試験

鷲津 優維

お茶の水女子大学 人間文化創成科学研究科 理学専攻

January 11, 2020

概要

Large Hadron Collider(LHC) は欧州原子核研究機構(CERN) に設置された陽子陽子衝突型の粒子加速器である。LHC の 4 つの衝突点のうちの 1 つの設置された ATLAS 検出器を用いて、素粒子標準模型の精密測定および、それを超えた物理の探索を行なっている実験が ATLAS 実験である。2026 年の開始を目指して、LHC の高輝度計画・High Luminosity LHC(HL-LHC) 計画が進められている。LHC のルミノシティを向上させることで、陽子中の大きなエネルギーを持つバートンの衝突を可能にし、重い粒子の探索を目的として計画である。また、統計量が増えるために、超対称性などの様々な模型が予想する新粒子への感度の向上も期待されている。この HL-LHC 計画に伴い、ATLAS 検出器の内部飛跡検出器は、受ける放射線量の増加、検出器のヒット占有率の増加などに対応するために、Inner Tracker(ITk) と呼ばれるシリコン検出器への総入れ替えが予定されている。総入れ替えのために、内部に用いるピクセルセンサモジュールの量産が必要である。量産されたモジュールが品質性能基準を達成するために様々な試験にかけられる。

本論文では、この試験項目の 1 つである、粒子線に対する応答評価試験を取り扱った。この試験は 2 つの手法があり、モジュールに粒子が入射した時の信号のタイミングでデータ取得を行うセルフトリガと呼ばれる手法と、シンチレータを用いて、シンチレータに粒子が入射した時の信号のタイミングでデータ取得を行う外部トリガと呼ばれる手法がある。本論文では、応答評価試験方法の確立のために必要なファームウェア、ソフトウェアの開発と、2 つの手法それぞれによるデータ取得を行い、実際に応答評価試験を行うことができるかどうかの確認・考察を行なった。

概要

Large Hadron Collider (LHC) is a proton-proton collision type particle accelerator installed at the European Nuclear Research Organization (CERN). The ATLAS experiment is an experiment that uses the ATLAS detector installed at one of the four collision points of the LHC to accurately measure the standard model of elementary particles and search for physics beyond that. Aiming to start in 2026, the LHC High Luminosity LHC (HL-LHC) plan is underway. By improving the luminosity of the LHC, it is possible to collide with protons having large energies in protons, and this project is aimed at searching for heavy particles. In addition, due to the increase in statistics, it is expected that the sensitivity to new particles predicted by various models such as supersymmetry will increase. Along with the HL-LHC project, the internal track detector of the ATLAS detector has been replaced with a silicon detector called Inner Tracker (ITk) in order to cope with an increase in the amount of radiation received and an increase in the hit occupancy of the detector. The total replacement is planned. For the total replacement, mass production of the pixel sensor module used inside is necessary. Mass-produced modules are subjected to various tests to achieve quality performance standards.

This paper deals with one of the test items, the response evaluation test for particle beams. This test has two methods: a method called self-trigger, which acquires data at the timing of the signal when a particle enters the module, and a method that uses a scintillator to generate data at the signal timing when the particle enters the scintillator. There is a method called an external trigger that performs acquisition. In this paper, we develop firmware and software necessary for establishing a response evaluation test method, acquire data using each of the two methods, and confirm and consider whether the response evaluation test can be actually performed.

目次

1 LHC ATLAS 実験	1
1.1 LHC 加速器	1
1.2 ATLAS 実験	1
1.3 ATLAS 検出器	2
1.3.1 現行の内部飛跡検出器	2
1.4 HL-LHC 計画	4
1.4.1 概要	4
1.4.2 HL-LHC に伴う ATLAS 検出器のアップグレード	4
1.4.3 内部飛跡検出器のアップグレード	5
2 アップグレードに向けたモジュール量産	7
2.1 モジュール量産とモジュールの構成	7
2.2 シリコンピクセルセンサ	8
2.2.1 シリコンピクセルセンサの原理	8
2.2.2 バイアス構造	10
2.2.3 今回使用したシリコンピクセルセンサ構造	11
2.3 HL-LHC ATLAS 実験用新型 ASIC・RD53A	11
2.3.1 レジスタ	12
2.3.2 RD53A フロントエンドデザイン	12
2.3.3 RD53A のデータ収集の仕組み	13
2.3.4 HitOR 信号	14
2.4 モジュール量産に向けた品質性能試験	15
2.4.1 粒子線に対する応答評価試験の意義	15
2.4.2 応答評価試験の手法	15
2.4.3 本研究の目的	16
3 粒子線に対する応答評価試験のための読み出しシステムの動作確認	17
3.1 読み出しセットアップ概要	17
3.2 伝達確認	19
3.2.1 デジタルスキャン	19
3.2.2 アナログスキャン	20
3.2.3 閾値のチューニング	21

3.2.4 ノイズスキャン	21
3.2.5 HitOR 信号の伝達確認	22
4 セルフトリガを用いた応答評価試験	25
4.1 Latency チューニング機能の追加	25
4.1.1 YARR におけるトリガ DAQ と Latency の意義	25
4.1.2 Latency チューニング機能	27
4.2 セルフトリガを用いた応答試験セットアップ	28
4.3 応答試験手順	28
4.4 応答試験結果	28
4.5 考察	29
5 外部トリガを用いた応答評価試験	33
5.1 外部トリガを用いた応答評価試験概要	33
5.2 外部トリガを用いた応答評価試験セットアップ	34
5.2.1 トリガシンチ	34
5.2.2 トリガシンチの信号読み出しシステム	36
5.2.3 ソースホルダ	38
5.3 応答評価試験手順	38
5.4 応答評価試験結果	39
5.5 考察	39
6 結論	41

第 1 章

LHC ATLAS 実験

本章では、1.1 節で LHC 加速器について述べ、1.2 節で ATLAS 実験について、また、1.3 節で ATLAS 検出器について述べる。そのうち、1.4 節で High Luminosity LHC 計画について説明し、それに伴う ATLAS 検出器アップグレードについて説明する。

1.1 LHC 加速器

Large Hadron Collider (LHC) はスイス、ジュネーブにある欧州原子核研究機構 (CERN) の地下 100m、周長 26.7km のリングで構成される円形加速器である。最大で 14TeV の重心系エネルギーで陽子・陽子衝突させることができ、世界最大の陽子・陽子衝突型加速器である。新粒子の探索や、ヒッグス粒子やトップクォーク等の質量が大きい粒子を多く生成できるので、結合定数などの精密測定も行うことができる。LHC には、陽子・陽子衝突点を 4 点設けていて、各衝突点に、衝突に伴う生成粒子の観測を目的として、大型の検出器 (ATLAS, ALICE, CMS, LHCb) が配置されている。2017 年に陽子ビームのエネルギーが 6.5 TeV、重心系衝突エネルギーでは 13TeV、瞬間ルミノシティは $2 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ で物理実験が行われている。図 1.1 に LHC 加速器の全体図を示す。LHC では、陽子はバンチという塊で連なりビームを形成し、25 ns に 1 回、すなわち 40 MHz でバンチ同士の衝突が行われている。

1.2 ATLAS 実験

ATLAS 実験は LHC の 4 つの衝突点の 1 つに設置された ATLAS 検出器を用いて陽子・陽子衝突から TeV スケールまでの高エネルギー物理事象を探査する実験である。2012 年には、LHC 実験の 1 つである CMS 実験と共にヒッグス粒子を発見し、標準理論の完成お大きな役割を担った。世界最高エネルギーの LHC を使ったヒッグス粒子やトップクォークといった重い粒子の精密測定は ATLAS 実験の重要な目的の 1 つである。他にも超対称性粒子などの新粒子を発見することが特に大きな目的となっている。

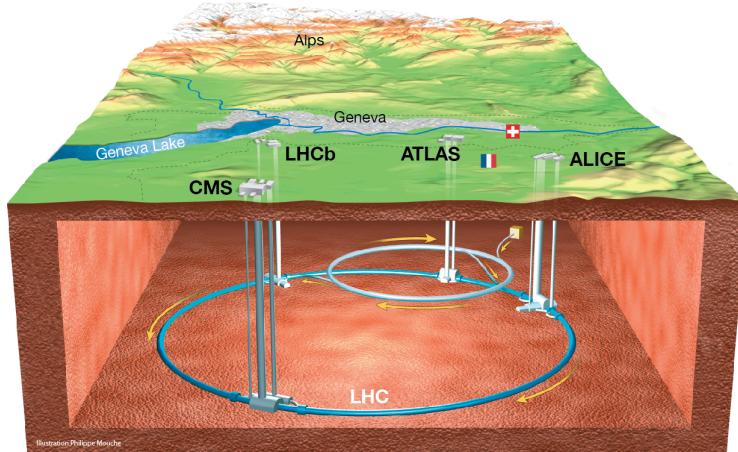


図 1.1: LHC 加速器全体図器 [1]

1.3 ATLAS 検出器

ATLAS 検出器の全体図を図 1.2 に示す。ATLAS 検出器は直径 25 m、長さ 44 m の円筒形で、陽子同士の衝突点から生じる粒子を検出できる構造になっている。また、多数の検出器の複合体である、内側から層状に、内部飛跡検出器、電磁カロリメータ、ハドロンカロリメータ、ミューオン検出器の順に配置されている。これらの複数の検出器を組み合わせることにより、粒子の追跡と識別をすることが可能になる。

ATLAS 検出器を構成する検出器の概要は以下のようになっている。

- 内部飛跡検出器
衝突点に一番近い最内層に位置する検出器、荷電粒子の飛跡を再構成して、運動量や粒子の崩壊店を測定。内側からピクセル検出器・ストリップ検出器・遷移輻射検出器で構成される。
- 電磁カロリメータ
入射した電子や γ 線のエネルギーおよび位置を測定。
- ハドロンカロリメータ
陽子や π 中間子などのハドロンのエネルギーを測定。
- ミューオン検出器
最外層に位置する検出器。ミューオンは透過率が高いため、最外層まで到達可能である。飛跡精密測定用の Monitored Drift Tube(MDT), Cathode Strip Chamber(CSC), トリガ用の Resistive Plate Chamber(RPC), Thin Gap Chamber(TGC) の 4 種から構成される。

以降、本論文に関係する内部飛跡検出器について述べる。

1.3.1 現行の内部飛跡検出器

現行の内部飛跡検出器は、半径 1.15 m、長さ 7 m の円筒形で、荷電粒子の飛跡を検出する。内側から Insertable B-Layer(IBL), Pixel 検出器, Semiconductor Tracker(SCT) と Transition Radiation Tracker(TRT) からなり、荷電粒子の飛跡を検出する、内部飛跡検出器の構造を図 1.3a に示す。

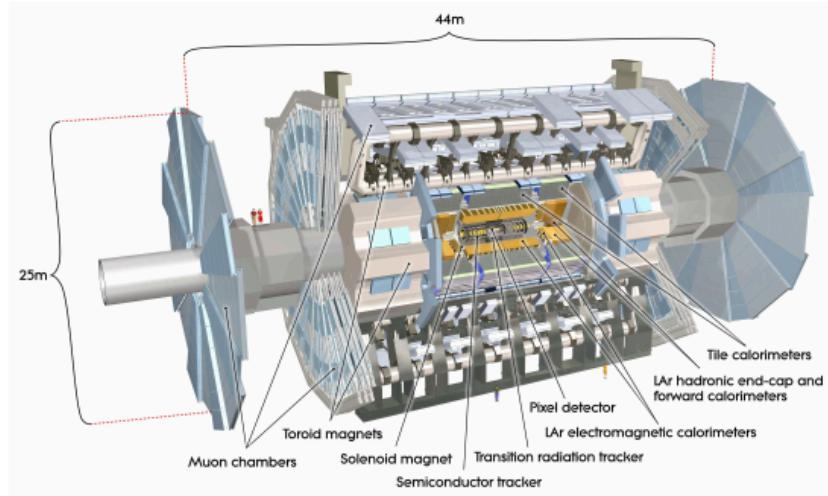


図 1.2: ATLAS 検出器全体図 [1]

内部飛跡検出器は、衝突点で発生した荷電粒子の飛跡を検出する。それぞれの検出器からの情報を元に飛跡を再構成することによって、陽子陽子の衝突点や二次生成粒子の崩壊点の位置を測定することができる。また、外部にはソレノイド磁石があり、磁場で荷電粒子の飛跡が曲がることから粒子の運動量を測定できる。

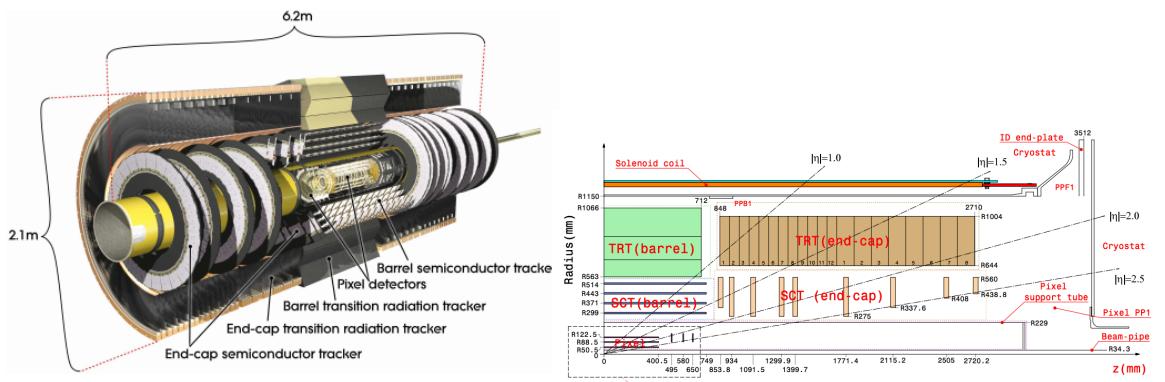


図 1.3: 内部飛跡検出器 [1]

Pixel 検出器

ピクセル検出器は内部飛跡検出器の最内層に位置し、バレル部 3 層、エンドキャップ部は片側 3 枚のディスクからなり、それぞれに合計約 1500 個、約 700 個の検出器モジュールが配置されている。微小な読み出しチャンネルを 2 次元格子状に多数並べた作りをしているため、ピクセル検出器と呼ばれている。読み出しチャンネル毎のセンササイズが小さいため、位置分解能が高く、粒子密度の高い最内層でも粒子の飛跡の再構成の性能を維持する。2014 年にバレル部最内層でとなる、Insertable B-Layer(IBL) が導入された。

IBL以外のピクセル検出器はピクセルサイズが $50 \times 400 \mu\text{m}^2$ の読み出し ASIC・FE-I3 を使用しており、IBLは、ピクセルサイズが $50 \times 250 \mu\text{m}^2$ で、FE-I3と比較して放射線耐性とデータ処理速度に優れている、FE-I4と呼ばれる読み出し ASIC が使用されている。

Strip 検出器

SCTは、細長い短冊状の読み出しチャンネルを1次元方向に多数並べたストリップタイプのシリコン検出器である、ストリップ間隔は $80 \mu\text{m}$ 、長さは 128 mm である。2枚のシリコンセンサを互いに 40 mrad の角度をつけて重ねて配置し、二次元位置情報を得る。SCTの読み出しチャンネルの総数は、約630万である。

TRT

半径 4 mm のストローチューブを並べて構成される。ストローチューブ内で遷移輻射が引き起こされることにより、粒子識別が可能となっている。

1.4 HL-LHC 計画

本節では、HL-LHC 計画の概要とそれに伴う ATLAS 検出器のアップグレード項目について述べる。

1.4.1 概要

High Luminosity-LHC(HL-LHC) 計画とは、LHC のルミノシティを向上させる計画である。これによって、統計量が増えるため、超対称性などの様々な模型が予想する新粒子の感度を高める、重い粒子の探索が可能になる。

HL-LHC 計画に向けて、図 1.4 のようにエネルギー・ルミノシティの段階的なアップグレードが行われてきた、LHC は 2010 年に重心系エネルギー 7 TeV にて稼働を開始。2010 年から 2013 年までのデータ取得期間を Run1 と呼ぶ。Run1 が終わってから Run2 が始まるまでの期間を LS1 と呼び、Run2 に受けた Phase0 アップグレードが行われた。Run2 は 2015 年に重心系エネルギー 13 TeV で開始され、2018 年に終了した。その後 Phase1 アップグレードを LS2 期間に行い、2021 年から 2023 年まで重心系エネルギー 14 TeV での Run3 が行われる予定となっている。そして、2024 年から始まる LS3 期間にさらなるアップグレードが行われ、2026 年から HL-LHC として稼働を開始する計画となっている。

1.4.2 HL-LHC に伴う ATLAS 検出器のアップグレード

HL-LHC 計画に伴い、ATLAS 検出器もアップグレードが行われる。HL-LHC を達成するために、陽子の衝突点近傍に設置する超伝導磁石や荷電粒子の飛跡を測定する内部飛跡検出器、ミューオントリガ用の電子回路の開発・製造が行われる。ATLAS 検出器のアップグレードは 3 段階に分けて行われる。

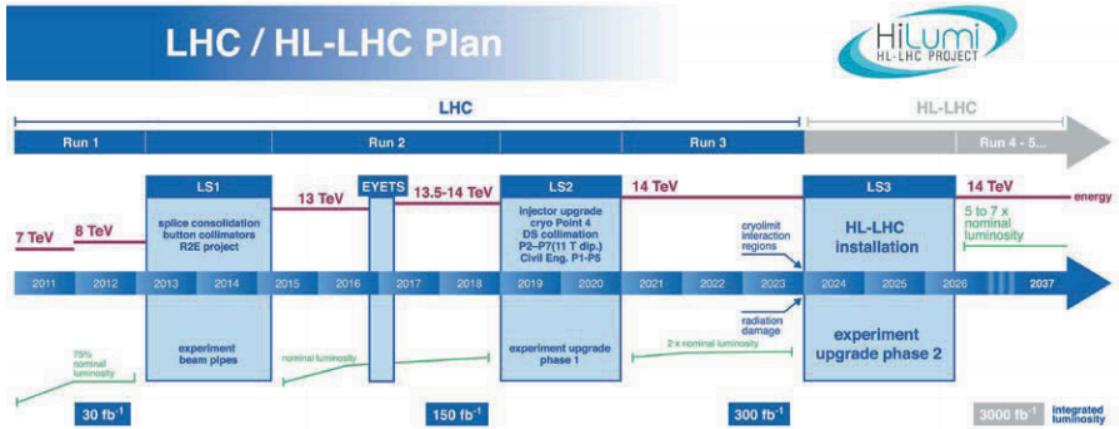


図 1.4: HL-LHC 計画 [2]

- Phase0 アップグレード

2014-2017 年の LS1 期間中に行われたアップグレード内部飛跡検出器の最内層のピクセル検出器である Insertable B-Layer(IBL) を導入

- Phase1 アップグレード

2019-2021 年の LS2 期間に行われるアップグレード Fast Track Trigger(FTK) が導入され, TGC の最内層が取り替えられる

- Phase2 アップグレード

2023-2026 年の LS3 期間に行われるアップグレード内部飛跡検出器の総入れ替え。

1.4.3 内部飛跡検出器のアップグレード

以降, 本論文に関わる内部飛跡検出器のアップグレードについて述べる. HL-LHCに向けて, 内部飛跡検出器は Inner Tracker(ITk) と呼ばれるシリコン検出器に置き換えられる. 粒子密度の増加に対応できないために TRT 層は廃止され, 内側にピクセル, それを覆うようにストリップ検出器が配置される. ピクセル検出器はバレル部とエンドキャップ部に 5 層, ストリップ検出器はバレル部に 4 層, エンドキャップ部に 6 層配置される予定である. 図 1.5 に ITk のレイアウトを示す

現行の ATLAS 内部飛跡検出器は, 重心系衝突エネルギー 14 TeV , 瞬間ルミノシティ $1 \times 10^{34} \text{ cm}^{-2} \text{s}^{-1}$ (現在の 3 倍) を想定した設計になっているが, HL-LHC ではビーム衝突あたりの非弾性陽子・陽子衝突の数が現在の約 7.5 倍に増加する.

この際の問題が 2 点存在する. 1 点目は, 衝突あたりの生成粒子增加による放射線損傷である. 検出器が放射線損傷を受けると検出効率が低下するため, より高い放射線耐性をもつ検出器が要求される. 2 点目は, 検出器のヒット占有率の増加である. ヒット占有率とは, 衝突イベントごとに 1 検出器あたり, 全チャンネルのうちヒット判定されたチャンネル数である, HL-LHC では, 衝突ごとに発生する粒子数が約 7.5 倍程度増加するため, 現状の検出器のままでは, ヒットチャンネルで埋まり, パターン認識を用いた飛跡再構成の性能が低下する. HL-LHC の環境下で飛跡再構成の性能を維持したまま運転を続けるためには, より微細に位置検出が可能な検出器が必要となる. 以降, これらの問題対策のためにピクセル検出器に求められるアップグレードを説明する.

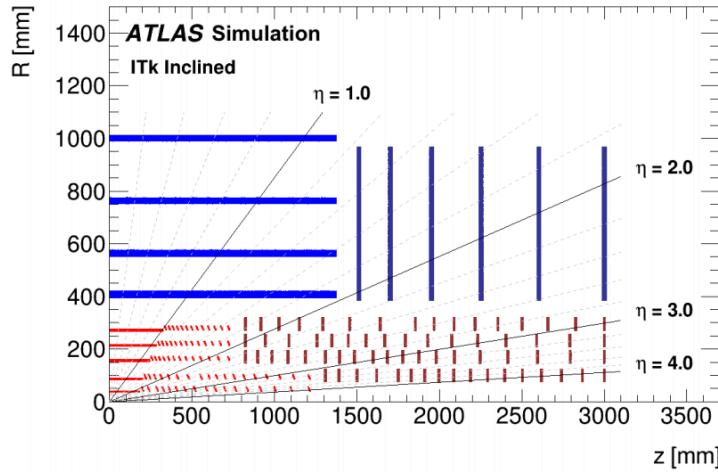


図 1.5: Inner Tracker レイアウト [3]

Pixel 検出器のアップグレード

HL-LHC における高い放射線環境とヒット占有率の増加に対応するため, Pixel はより放射線耐性の高いもの, よりピクセルサイズが小さいものへの変更が要求される. 飛跡再構成の性能を維持するために, 衝突ごとに発生する粒子の密度が 5 倍程度増加することに合わせ, ピクセルのサイズを現行の Pixel の 1/5 まで小さくし, チャンネル数を 5 倍に増やしたセンサを配置する. それにあわせて, ピクセル検出器からの信号を読み出すための特定用途向け集積回路についても現行と比べてより性能が高いものが要求される. 現在はその要求を満たす新型 ASIC のプロトタイプ版が完成している.

第 2 章

アップグレードに向けたモジュール量産

前章で述べたように、HL-LHC 計画に伴い、内部飛跡検出器のアップグレードが計画されている。本章では、それに伴う、モジュールの量産について 2.1 節で説明し、ピクセルモジュールを構成する要素であるシリコンセンサの原理を 2.2 節、フロントエンド ASIC についてを 2.3 節で述べ、最後に 2.4 節でモジュールの量産について必要な試験項目について説明する。

2.1 モジュール量産とモジュールの構成

HL-LHC 計画にあたって、内部飛跡検出器の総入れ替えを予定しているため、内部に用いるピクセルモジュールの量産が必要である。ここでは、Flex 基板、フロントエンド ASIC、シリコンピクセルセンサの 3 要素で構成された検出器をモジュールと呼ぶ。世界で約 10000 個のモジュールの量産が計画されており、日本グループはそのうちの約 2000 個を担当する予定になっている。

現在は、実機で用いるモジュールを量産するための準備として、プロトタイプ版の ASIC が 4Chip 搭載されたモジュールで量産体制の確認が計画されている。プロトタイプ版の Quad Chip モジュールは 2020 年 2 月ごろに完成が予定されている。

図 2.1 にピクセル検出器の概念図を示す。センサと ASIC はバンプボンディングと呼ばれる手法で接合され、センサからのアナログ信号が ASIC によって処理される。また、ASIC と Flex 基板はワイヤボンディングと呼ばれる手法で接続されており、ASIC で読み出された信号が Flex 基板を通して伝達される仕組みになっている。

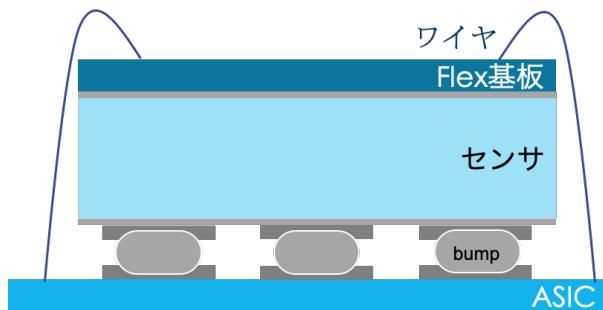


図 2.1: ピクセル検出器の概念図

2.2 シリコンピクセルセンサ

この節では、ピクセル検出器を構成する要素の1つであるシリコンピクセルセンサについて説明する。

2.2.1 シリコンピクセルセンサの原理

シリコンセンサの動作原理は半導体に従う。この節では、半導体の基本原理と性質について述べる。

物質は導体、絶縁体、半導体の3種に分類することができる。これは、電気抵抗値によって決まっており、半導体は導体と絶縁体の中間の値をもつ。一般に室温で、 10^{-2} から $10^9 \Omega\text{cm}$ の範囲に分類される。典型的な半導体物質にはシリコン、ゲルマニウム、ガリウムヒ素などがあげられる。

ドナーとアクセプタ

半導体に不純物をドープすると、不純物準位が生じる。図2.2aはSi原子が5個の価電子を有するAsに置換された状況を模式的に示した図である。As原子は隣接する4個のSi原子と共に結合を形成し、残った電子はAs原子と弱く結合することで、適度な温度でイオン化されて伝導電子になる。この時のAs原子をドナーと呼ぶ。Siは負電荷を持ったキャリアの負荷によりn型の半導体となる。同様に図2.2bは3個の価電子をもつBがSiに置換した場合を示す。4個の共有結合がBの周囲にできるため、電子が1個取り込まれ、価電子帯に正に帯電した正孔が生じる。これがp型の半導体であり、Bはアクセプタと呼ばれる。

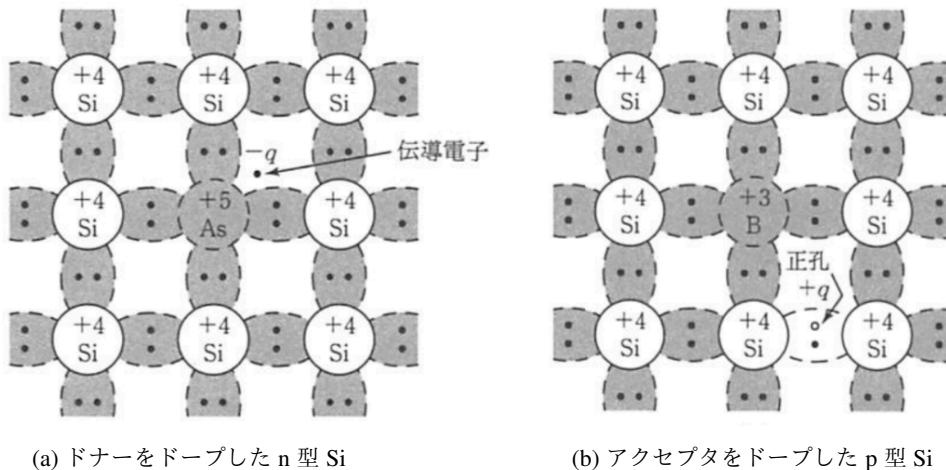


図2.2: ドープした半導体 [4]

pn接合と空乏化

p型とn型の半導体が結合されると、接合部における大きなキャリア密度の勾配によってキャリアの拡散が起こる。p側からn側に向けて正孔が、n側からp側に向けて電子が拡散する。正孔がp側から拡散すると、結晶格子に固定されている負のアクセプタイオンが中和されずに接合近傍に残る。同様に、電子がn側から移動すると正のドナーアイオンが接合近傍に残る。その結果、接合のp側

には負の空間電荷が、n 側には正の空間電荷が形成される。この空間電荷によって、電解が発生し、その向きは図 2.3 のように正電荷側から負電荷側に向いている。

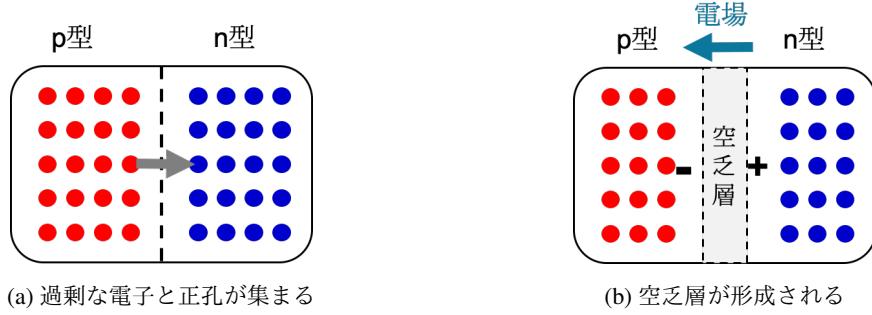


図 2.3: pn 接合半導体の空乏層概念図

中世領域から接合部に近づくと、狭い遷移領域を経た上で、キャリアが存在しない領域が存在する。この領域を空乏層と呼ぶ。この空乏層の両端に生じる電位差は内臓電位 V_{bi} と呼ばれ、アクセプタ濃度 N_A 、ドナー濃度 N_D 、不純物を含まない真性キャリア濃度 n_i を用いて、式 2.1 のように表される。

$$V_{bi} = \frac{kT}{q} \ln \left(\frac{N_A N_D}{n_i^2} \right) \quad (2.1)$$

空乏層幅は、静電ポテンシャルを示した一次ポアソン方程式 2.2 を解くことで、式 2.3 のような内部電位の関数にて表される。 ϵ_s はシリコンの誘電率である。

$$\frac{d^2\Psi}{dx^2} \equiv -\frac{dE}{dx} = -\frac{q}{\epsilon_s} (N_D - N_A + p - n) \quad (2.2)$$

$$W = \sqrt{\frac{2\epsilon_s}{q} \left(\frac{N_A + N_D}{N_A N_D} \right) V_{bi}} \quad (2.3)$$

シリコンセンサはドープ量の少ない半導体にドープ量の多い半導体をインプランツしている ($N_A \gg N_D$) ので、p 側の空乏層幅は n 側と比較して十分小さくなる。よって、式 2.4 のように簡単に表すことができる。

$$W \sim \sqrt{\frac{2\epsilon_s V_{bi}}{q N_D}} \quad (2.4)$$

荷電粒子の検出

荷電粒子が物質中の電子との衝突によって失うエネルギーは、Bethe-Bloch の式 2.5 で表される。

$$-\frac{dE}{dx} = K z^2 \rho \frac{Z}{A} \frac{1}{\beta^2} \left[\ln \left(\frac{2m_e c^2 \beta^2 \gamma^2 W}{I^2} \right) - \beta^2 - \frac{\delta(\gamma)}{2} \right] \quad (2.5)$$

ここで、

$$K = 4\pi N_A r_e^2 m_e c^2$$

$$\beta = v/c$$

$$\gamma = 1/\sqrt{1 - \beta^2}$$

表 2.1: Bethe-Bloch の式の変数

N_A	アボガドロ定数 ($6.022 \times 10^{23} / \text{mol}$)
r_e	古典電子半径 ($2.817 \times 10^{-13} \text{cm}$)
$m_e c - 2$	電子の静止エネルギー (0.511MeV)
z	入射粒子の電荷
Z	物質の原子番号
A	物質の原子量
ρ	物質の密度
W_{max}	入射粒子が 1 回の衝突で物質に与えられる最大のエネルギー
I	物質の平均イオン化ポテンシャル
v	入射粒子の速さ
γ	誘電遮蔽に関する補正項

入射した荷電粒子は物質中を通過する際に、物質の電子と相互作用することで、イオン化・励起し、電荷を生成する。この電荷をセンサが収集することで、通過した荷電粒子のエネルギーを知ることができる仕組みになっている。式 2.5 より、 $\beta\gamma \sim 3$ 付近で $-dE/dx$ は最小となる。このような粒子を Minimum Ionization Particle(MIP) と呼ぶ。ここで、1MIP が $300 \mu\text{m}$ 厚のシリコンセンサを通過した場合を考える。MIP はシリコン中で多数の電子と相互作用し、その時に失うエネルギーの分布は式 2.6 のようなランダウ分布になる。

$$f(\lambda) = \frac{1}{\pi} \int_0^{\infty} \exp[-t(\ln t + \lambda)] \sin(\pi t) dt \quad (2.6)$$

今回の場合の最頻値は、平均値の約 0.7 倍、シリコン中の MIP のエネルギー損失の平均は、 $1.664 \text{ MeVcm}^2/\text{g}$ 、シリコンの密度は 2.329 g/cm^3 である。したがって、1MIP が損失するエネルギーは式 2.7 のように表せる。

$$\begin{aligned} E &= 1.664 \times 3 \times 10^{-2} \times 2.329 \times 0.7 \\ &= 8.14 \times 10^4 \text{ eV} \end{aligned} \quad (2.7)$$

また、電子-正孔対生成に必要なエネルギーは 3.62 eV であるから、生成され電子-正孔対の数は式 2.8 のようになる。

$$E/3.62 = 22500 \quad (2.8)$$

2.2.2 バイアス構造

シリコンピクセルセンサには、製造時に良品不良品を選別するための高電圧用のバイアス構造が備わっている。

バンプボンディングの前にセンサのみの試験を行い、動作不良センサを取り除く品質評価の工程がある。このピクセルセンサ評価方法として、IV 測定がある。IV 測定には全てのピクセルが GND に落とされている必要があり、また、各ピクセルは分離されている必要がある。そのための構造がバイアスレールと PolySi 抵抗である。ピクセル間にバイアスレールをおき、そこから各 PolySi 抵抗を引くことで、各ピクセルは GND と同電位とすることができます、各ピクセルは抵抗によって分離され

る。また、このバイアスレールが存在すると、図 2.4 のように、センサのノイズが増加することが知られている。

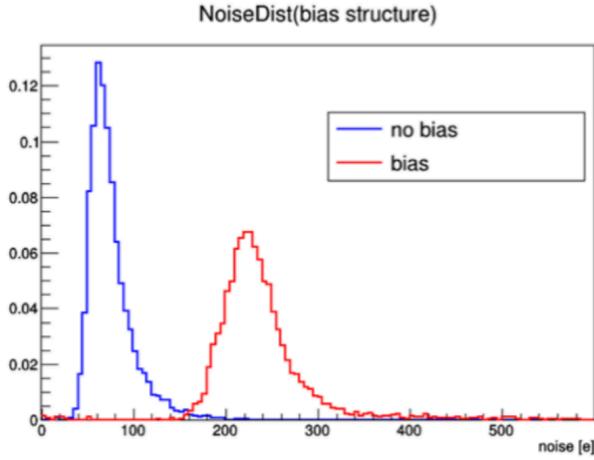


図 2.4: バイアスレールの有無によるノイズ量比較 [5]

2.2.3 今回使用したシリコンピクセルセンサ構造

本論文で扱うピクセルセンサの表面構造について述べる。図 2.5 は、上から見たセンサの様子である。ピクセルセンサは 2 次元的に電極が配列されており、センサのみのテストのためにバイアスレールが敷かれている。本論文で用いたピクセルセンサは図 2.5 で示すように、row 番号 0-96 はバイアスレールが存在せず、row 番号 96-192 はバイアスレールが存在する構造になっている。



図 2.5: センサの構造。バイアスレールの有無

2.3 HL-LHC ATLAS 実験用新型 ASIC · RD53A

この節では、モジュールを構成する要素の 1 つである ASIC について述べる。ピクセル検出器からの信号は、検出器に直接接続された電気回路で最初に処理される。この電気回路をフロントエンドエレクトロニクスと呼ぶ。この回路は、全て専用の信号読み出し用 ASIC 内に実装されている。そのため、フロントエンド ASIC と呼ぶこともあるが、以降では ASIC と呼ぶ。この回路を用いて検出器からの微弱な電気信号を受け取り、計測用のシステムに最適化した応答をするように信号をアン

プリ回路や波形整形回路などで調整する。さらに、コンピュータでの解析処理や、データの保存のためにアナログ信号をデジタル信号に変換する。

本論文で用いた ASIC · RD53A は HL-LHC ATLAS 実験用に開発されたプロトタイプ版の新型 ASIC であり、前章で述べたような、高い放射線耐性と、高い位置分解能を達成する。以下に現行の ATLAS 検出器で用いられている ASIC · FEI4 と FEI3、プロトタイプ版新型 ASIC · RD53A の比較を示す。

表 2.2: 現行の ASIC2 種と新型プロトタイプ版 ASIC の比較

ASIC 名	FEI3	FEI4	RD53A
ピクセルサイズ	$50 \times 400 \mu\text{m}^2$	$50 \times 250 \mu\text{m}^2$	$50 \times 50 \mu\text{m}^2$
ピクセルのチャンネル数	18×160	80×336	400×192
チップサイズ	$7.6 \times 10.8 \text{ mm}^2$	$20.2 \times 19.0 \text{ mm}^2$	$20 \times 11.8 \text{ mm}^2$

2.3.1 レジスタ

ASIC には、アナログ回路とデジタル回路の振る舞いを調節するために、回路の動作を制御する設定値を保持するレジスタが存在する。RD53A のレジスタは 2 種類存在し、全てのピクセルに共通の設定を保存するグローバルレジスタ (GR) と各ピクセルの設定値を保持するピクセルレジスタ (PR) がある。

- グローバルレジスタ

RD53A には 137 個の GR があり、ピクセルに共通が閾値 (threshold)，回路のオンオフなどを設定することができる。

- ピクセルレジスタ

Synchronous Frontend には 3 bit、その他の 2 つのフロントエンドには 8 bit のレジスタがある。ピクセルのデジタル回路のオンオフや閾値 (threshold) を設定することができる。

2.3.2 RD53A フロントエンドデザイン

RD53A はプロトタイプ版のため、Synchronous Frontend, Linear Frontend, Differential Frontend と、3 つの異なるフロントエンドデザインが存在する。

今回は実機で利用されることが予定されている Differential Frontend(以下 : Diff FE) のみを用いて研究を行なったため、それについて詳しく説明する。

Diff FE の仕組み

3 つのフロントエンドで大きく異なるのは、アナログ回路部分の構造である。Diff FE のアナログ回路構造を図 2.7 に示す。

図 2.7 に示したように、Diff FE では、RD53A の GR 値である”DiffVthin1” と ”DiffVthin2” で閾値を設定可能である。これらの GR 値は、入力された信号(図 2.7 の赤い信号)と、それに対して反転增幅を行なった後の信号(図 2.7 の青い信号)それぞれに作用するオフセット電圧である。Diff FE はこれらの信号の差動によって、出力信号を定義しているため、オフセットを変化させることで、閾

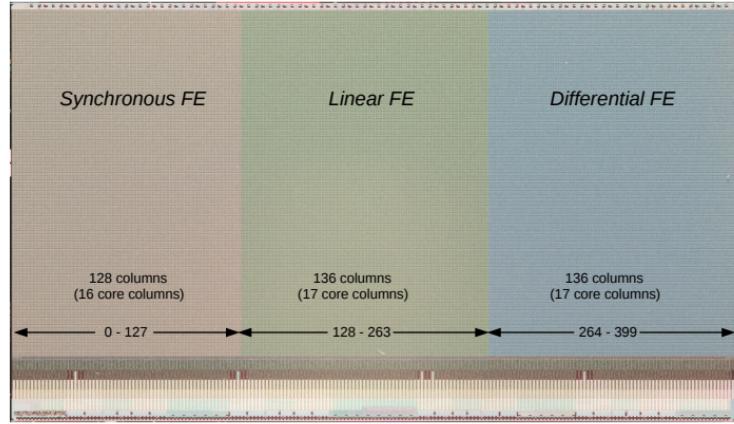


図 2.6: RD53A のフロントエンドデザイン [6]

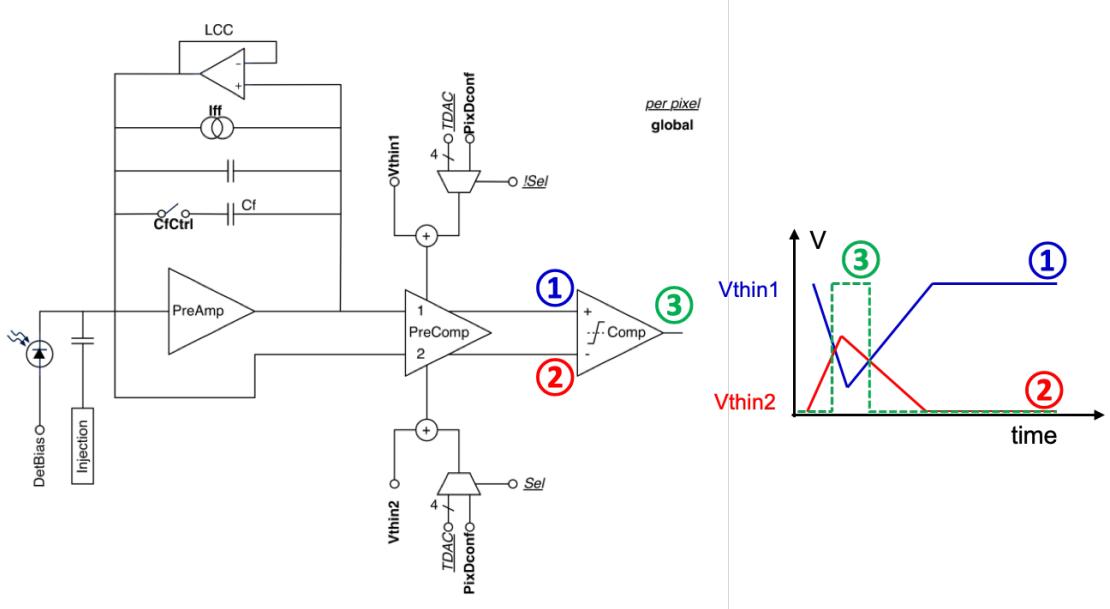


図 2.7: Diff FE のアナログ回路構造 [6]

値を調整することができる。また、GR 値である”DiffLccEn”で図中の CfCtrl のスイッチのオンオフを、”DiffLcc”で LCC 回路に印加する電圧を設定することができる。

2.3.3 RD53A のデータ収集の仕組み

図 2.8 に RD53A のデータ収集の仕組みを示す。まず、Hit とされる信号(センサからの信号)は Binary in from FE から、擬似パルスによる信号は CAL_edge から入射する。各ピクセルごとに設定されている”Enable”がオンの場合、そのピクセルのデータは図中の Hit Disc. & Counter に入る。ここで、Hit を検出したピクセルの位置 (Region Hit) と、40MHz の BX Clock に合わせて数え上げられる ToT 値と Latency 値が記録されていく。

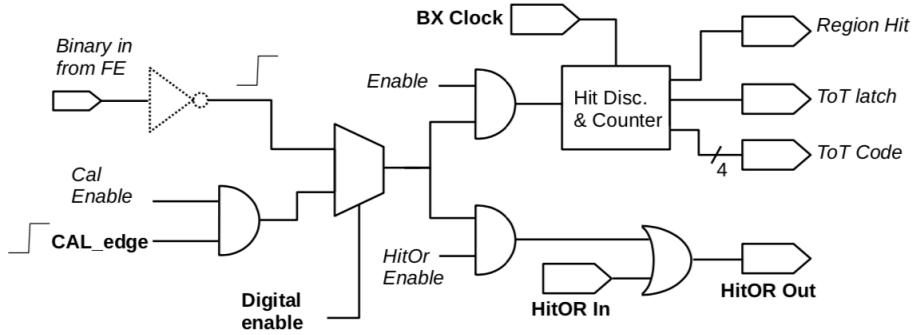


図 2.8: RD53A のデータ収集の仕組み. 全ピクセルに共通する信号が太字, ピクセルごとに記録されている信号が斜体文字になっている. [6]

Time over Threshold(ToT)

ToT とは, 図 2.9 で示すように, 信号 (Signal) が閾値 (Threshold) を超えている間の時間を指す.

Latency

Latency とは, 図 2.9 で示すように, トリガが入力されてからどれだけ時間を遡ってデータ読み出しを行うかを指定する値をさす.

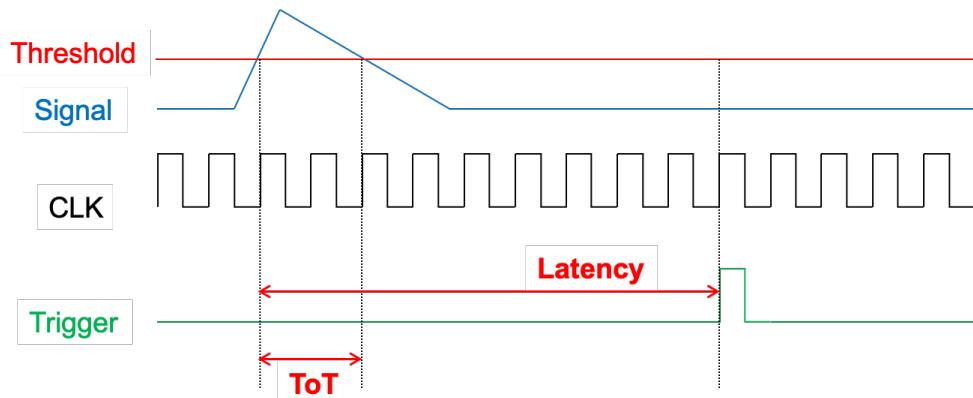


図 2.9: 信号が入力された時の ToT と Latency

2.3.4 HitOR 信号

RD53A には, 現行の FEI4 に実装されているセルフトリガ機能がない代わりに, HitOR というセンサに荷電粒子が入射したタイミングで, 出力される信号が存在する. HitOR 信号出力する仕組みについて説明する. 図 2.8 において, 各ピクセルで設定されているレジスタ”HitOr Enable”がオンの場合, Hit 信号または擬似パルス信号が入射すると, Hit Disc. & Counter に入るのと同時に図中右下の HitOR Out から信号が出力される. これが HitOR 信号である.

HitOR 信号は 4 つのネットワークによって出力される. 図 2.10 は RD53A の一部である 8×8 pixel を示している. HitOR 信号は, 図 2.10 の各ピクセルに割り当てられている番号 1-4 ごとにまとめて

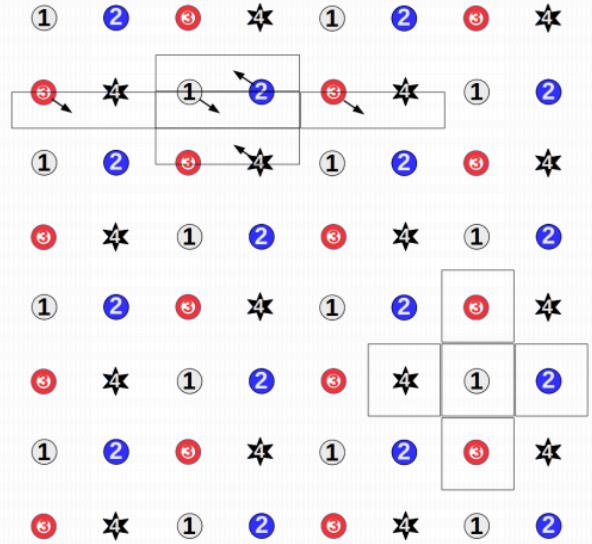


図 2.10: HitOR 信号のネットワーク図 [6]

読み出される。これを番号ごとにネットワークと呼ぶ。このネットワークは任意のネットワークに含まれるピクセルの上下に 1 つのネットワーク、左右に異なる 2 つのネットワークが存在するよう配配置されている。例えば、1 番のネットワークのあるピクセルには、3 番のネットワークが上下に存在し、左右には 2 番と 4 番のネットワークが存在するようになっている。このように配置されたネットワークごとに、HitOR は読み出される仕組みになっている。

2.4 モジュール量産に向けた品質性能試験

量産されたモジュールは品質性能基準を達成するために、試験にかけられる。その試験項目の 1 つとして、本論文に関わる、粒子線に対する応答評価試験が存在する。

2.4.1 粒子線に対する応答評価試験の意義

HL-LHC ATLAS 実験に向けたピクセル検出器量産に際して、全ての検出器モジュールに対して、品質管理のための試験を行う。この試験項目の 1 つとして、粒子線に対する応答評価試験が設けられている。前章でも述べたように、ピクセル検出器の各チャンネルと ASIC はバンプボンディングという手法で接続されている。このバンプボンディングに異常がないかどうかを確認するための試験が、ソーススキャンである。

2.4.2 応答評価試験の手法

応答評価試験には、主に 2 種類の手法がある。1 つは、センサに荷電粒子が入射した時の信号を取得したタイミングでデータ取得を行う、セルフトリガと呼ばれる手法。もう 1 つは、センサの上にシンチレータ、その上に粒子線源を設置し、シンチレータに粒子線が入射した時の信号を取得したタイミングでデータ取得を行う手法である。今回はこれら 2 種類の手法を用いて応答評価試験を行い、どのような試験結果の振る舞いがなされるかの検証を行なった。

YARR ソフトウェアには、外部トリガスキャンという機能が実装されているため、今回はこの外部トリガに HitOR 信号を用いた手法をセルフトリガ、シンチレータに粒子線が入射した時の信号を用いた手法を外部トリガと呼ぶ。

2.4.3 本研究の目的

本研究では、シリコンピクセルセンサが接続された HL-LHC ATLAS 実験用新型 ASIC 搭載モジュールを用いて、2種類の手法で行なったの粒子線に対する応答評価試験結果について報告する。

第 3 章

粒子線に対する応答評価試験のための読み出しシステムの動作確認

本研究では、粒子線に対する応答評価試験のため、ファームウェアに外部トリガを処理する機能の追加を行なった。この章では、3.1 節で読み出し試験のセットアップ概要、3.2 節で機能を追加したファームウェアが正しく動作しているかの確認について述べる。

3.1 読み出しセットアップ概要

以下に読み出しシステムの概要を示す。主に RD53A 搭載の Single Chip Card(SCC) と FPGA ボード、PC を用いて読み出しシステムを構成している。今回は読み出し ASIC と FPGA ボードは、FMC-mDP 変換ボードを用いてケーブルにて接続を行い、FPGA 内部で ASIC からのデータ信号の処理を行なった。また、高速通信用インターフェースで PC と FPGA ボードを接続し、データ転送を行なった。

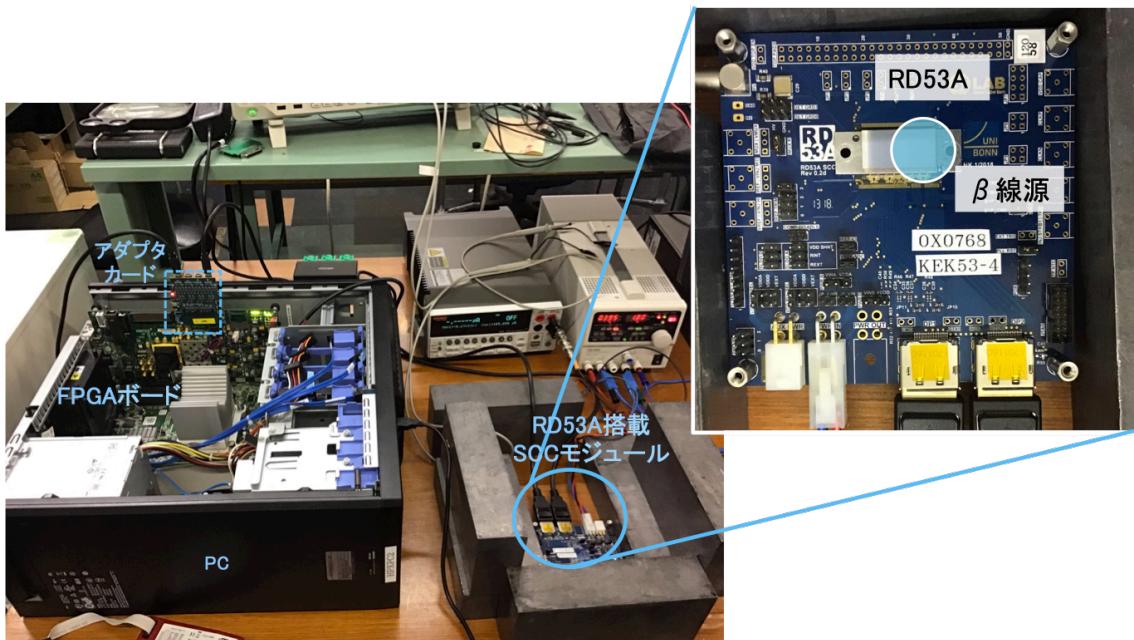


図 3.1: セットアップ

PC

PC から PCIe によって接続された FPGA ボードに制御コマンドを送る。また、FPGA ボードからきたデータを整理する。DAQ の基本的なソフトウェアとファームウェアは YARR の DAQ システムを用いた。YARR とは読み出しシステムの構築と性能向上を目指すオープンソースプロジェクトである。

FPGA ボード

Xilinx, Inc. の Kintex-7 FPGA 搭載 KC705 評価ボードを使用した。この FPGA ボードは、研究室規模の実験で使うことを想定していることから、一般的に流通していて入手性がよいため、この FPGA ボードを使用している。また、KC705 は PCIe 通信に対応し、PC と PCIe 間では 5.12 Gbps の通信速度に対応している。今回は YARR のシステムに外部トリガを受信、処理を行う機能を追加し、RD53A の出力する HitOR 信号を用いて、外部トリガを受信できているかを確認した。

アダプタカード

ASIC は DP-mDP ケーブルから FMC-mDP アダプタカードを通して FPGA ボードの LPC に接続される。

RD53A 搭載 Single Chip Card モジュール

ASIC を 1 チップ搭載した試験用モジュールが Single Chip Card モジュールである。今回試験したのはアップグレード用のプロトタイプ版 ASIC である RD53A 搭載のモジュールである。センサ付きの RD53A が搭載されたモジュールの写真を以下に示す。RD53A は細い金属ワイヤにより基板上の回路パターンと電気的に接続されている。基板に RD53A が外部と通信するための DP コネクタ(図中 : DP1), 電源供給のための molex コネクタ(図中 : PWR IN), センサに電圧を印加するための LEMO コネクタ(図中 : HV), センサが検出した信号を外部に出力するための DP コネクタ(DP2)が実装されている。

今回電源とセンサに印加した電圧は表 3.1 に示す。

表 3.1: 今回 RD53A とセンサに供給した電圧

	RD53A アナログ回路	RD53A デジタル回路	ピクセル センサ
印加電圧 [V]	1.80	1.80	-50

β 線源

今回は粒子線として β 線源であるストロンチウム 90 を使用した。ストロンチウム 90 は中性子過剰であるため、 β 崩壊によってイットリウム 90 を生成し、その後さらなる β 崩壊によってジルコニウム 90 となる。半減期は 28.79 年であるが、2 段階の β 崩壊が起こるため、 β 線のエネルギーは高いものになっている。式 4.1 にベータ崩壊の機構を、式 3.2 にストロンチウムの崩壊過程を示す。

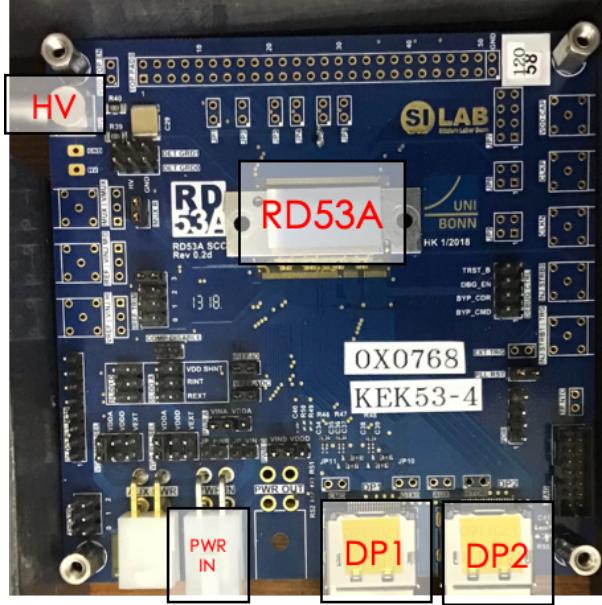


図 3.2: センサ付き RD53A 搭載 Single Chip Card モジュール

$$n \rightarrow p^+ + e^- + \bar{\nu}_e \quad (3.1)$$



β 線の今回用いた β 線源は 2017/02/13 時点で $5.00 \times 10^3 \text{Bq}$ のものであった。すなわち現在の放射能 A は式 3.3 で求められる。

$$A = -\lambda N_1 = A_0 \exp\left(-\frac{\ln 2}{T} t\right) \quad (3.3)$$

ここで、

A_0	2017/02/13 時点での放射能 ($5.00 \times 10^3 \text{Bq}$)
T	^{90}Sr の半減期 (28.79 year)
t	2017/02/13 から現在までの時間 (25/12 year)

式 3.3 より、現在の放射能 A は、 $4.76 \times 10^3 \text{Bq}$ と求まる。

3.2 伝達確認

ソーススキャンを行うために、既存の KC705 用 YARR フームウェアに外部トリガを処理する機能を追加した。本節では、機能を追加したフームが外部トリガの受信確認について述べる。

3.2.1 デジタルスキャン

全ピクセルのデジタル回路に複数回擬似パルスを注入して、注入した回数のうち何回応答が返ってくるのかを確認する。この作業をデジタルスキャンと呼ぶ。全ピクセルごとの回路の応答を確認

し、データの転送線、FPGA 内部の処理、PC への通信の各経路でデータの損失がないことを確認するのに有効である。図 3.3 に 100 回擬似パルスを注入した時の応答数の分布を示す。

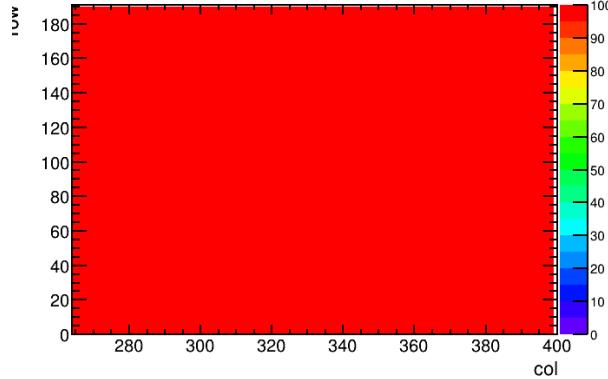


図 3.3: デジタルスキャン

3.2.2 アナログスキャン

アナログ回路に複数回擬似パルスを注入して、注入した回路のうち何回応答が返ってくるのかを確認した。この作業をアナログスキャンと呼ぶ。今回は Diff FE のみを使用するので、その他のフロントエンドは、グローバルレジスタの”EnCoreColSync1/2”，”EnCoreColEnLin1/2”を全て 0 にすることで非使用に設定した。この時、図 3.4a のように応答のない領域が存在した。これは、バイアスレールにより ASIC のプリアンプの Virtual GND による電位差でセンサのポリシリコン抵抗を介して電流が流れている影響だと考えられられており、Diff FE アナログ回路の LCC 回路をオンにすることで改善することが知られている。本論文では、グローバルレジスタ値の”DiffLccEn”を 0 から 1 に変更し、”DiffLcc”を 255 にすることで LCC 回路をオンにし、電圧をかけた。LCC 回路をオンにした場合のアナログスキャンの様子を図 3.4b に示す。オフの場合と比較すると、応答のない領域が改善されているのがわかる。

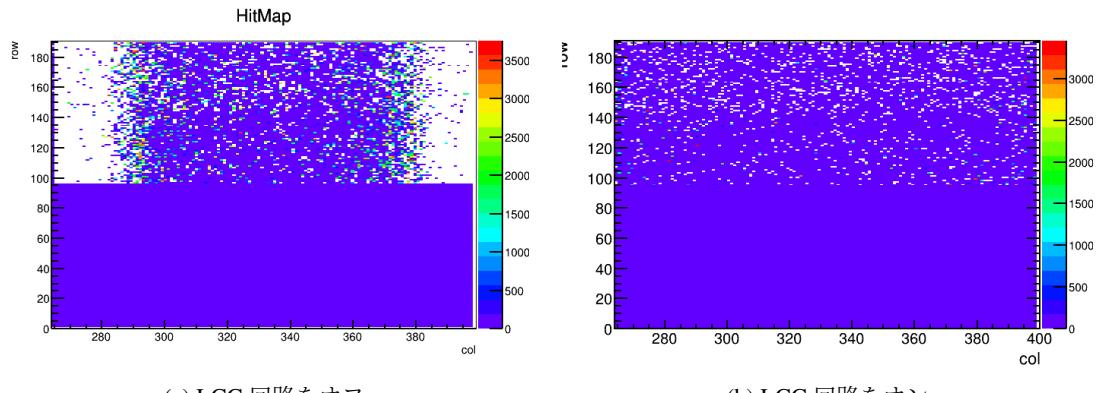


図 3.4: アナログスキャン

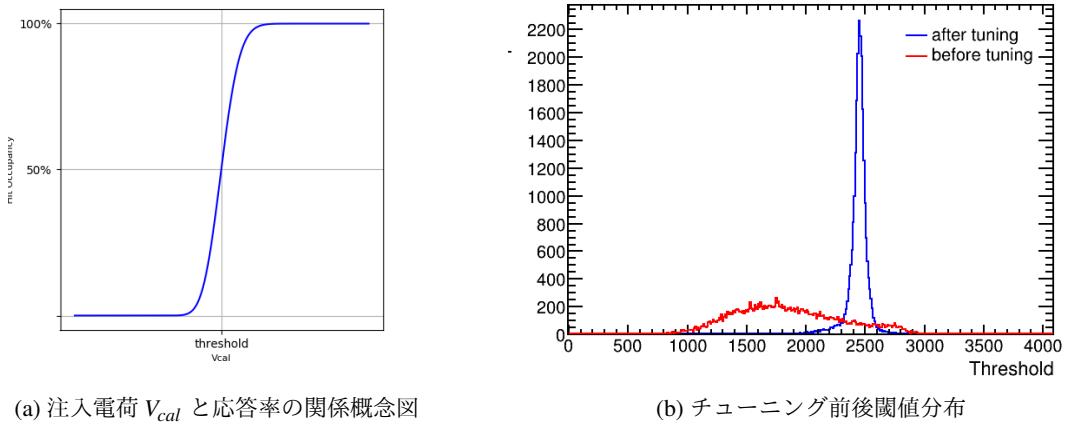


図 3.5: 閾値チューニング

3.2.3 閾値のチューニング

閾値とはピクセルの応答率が 50% となる電荷量で定義され、閾値が目標値になるように各ピクセルの DAC 値を調節する作業を閾値のチューニングという。信号が閾値を超えたかあどうかでヒットと認識するかどうかの判定を行なっているが、信号には正規分布に従うノイズが載るため、信号がヒットとして認識される閾値には幅がある。そのため、注入電荷を変化させながら、各ピクセルに試験電荷を複数回入射したときの応答数の関係は、図 3.5a のような曲線になる。この曲線を S カーブと呼び、これを誤差関数でフィッティングすることで、応答率が 50 % となる閾値を求める。

$$f(Q_{inj}) = \frac{1}{2} \left(1 + \operatorname{erf} \left(\frac{Q_{inj} - Q_{thr}}{\sqrt{2}\sigma} \right) \right) \quad (3.4)$$

$$\operatorname{erf}(x) = 1 - \frac{2}{\sqrt{\pi}} \int_0^x e^{-t^2} dt \quad (3.5)$$

閾値チューニング前後の各ピクセルの閾値のヒストグラムを図 3.5b に示す。目標値は 2400e と設定した。2400e という閾値は、センサの厚みとノイズ信号の大きさを考慮した値である。今回使用したセンサの厚みは、150 μm であり、式 2.8 の厚み 300 μm の場合のおよそ 1/2 であるため、全て空乏化した場合に発生する信号は 10000 e である。まず、この信号を ASIC が読み出す際に、4 分割されてしまったとしても、検出してほしいために閾値は 2400 e 以下であることが望ましい。また、ノイズ σ の大きさに対して 6-7 σ 離れている必要があるため、バイアスレール有りの場合、 $\sigma = 200\text{e}$ と知られているため、1200 e 以上にすることが望ましい。今回は、今回は分布が 1200 e 以上に収まるような、2500 e を目標値としてチューニングを行なった。

3.2.4 ノイズスキャン

任意の周波数でトリガを発行し、その全トリガ数に対するのアナログ回路から何回応答が返ってくるのかを確認する。この作業をノイズスキャンと呼ぶ。ピクセルセンサが粒子線以外の信号に対して反応していないことを確認するために有効である。

この作業によって、粒子線以外の信号に対して反応している部分は非使用に設定される。引き続き Diff FE のみを使用した。今回は 5000 Hz で 5 分間ノイズスキャンを 3 回行ない、トリガ数に対して 10^{-6} の確率で応答があったものを非使用にした。以下にノイズスキャンを行う前と行なった後の

Occupancy Map と Enable Pixel Map を示す。図 3.6 より、ノイズスキャン前よりも後の方が、ヒットがあったと認識されたピクセルが少なく、ヒットレートも減少していることがわかる。また、図 3.7 は赤い部分が今回使用したピクセルであり、非使用になっているピクセルが上半分に集中しているのが見て取れる。これは、センサ単体の試験で必要となるバイアスレールの影響であり、バイアスレールが存在すると、図 2.4 のように、ノイズが増えることが知られている。今回非使用と判断されたピクセル数は 2245 であり、Diff FE の全ピクセル数の 8.6% にあたる。

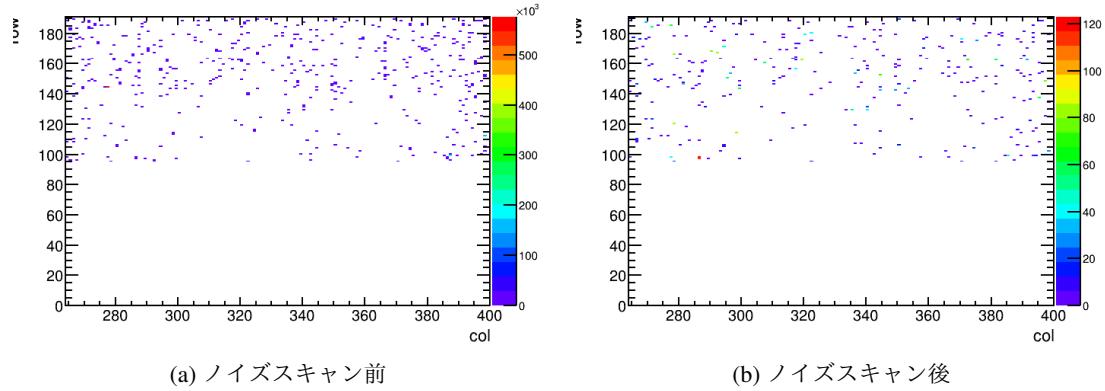


図 3.6: Occupancy Map

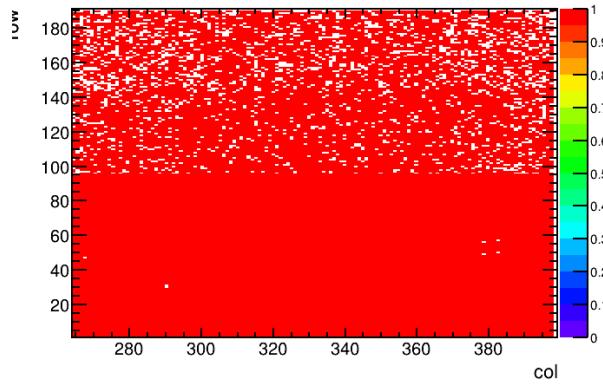


図 3.7: 今回使用したピクセルの分布

3.2.5 HitOR 信号の伝達確認

モジュールの上に β 線源を配置し、外部トリガを受け取ってデータ取得を行うソフトウェアを動作させた。今回は外部トリガを SCC からの HitOR 信号とし、FPGA まで HitOR 信号が伝わっているかどうか、正常に処理され、そのタイミングでトリガが出力されているかどうかを Vivado の Logic Analyzer を用いて確認した。それが図??である。図中の黄色の点線で囲まれた部分の、”ext_trig_i”的信号が 0 から 1 へ変化している様子や、”int_trig” が 0 から 1 に変化していることから、HitOR 信号を受信し、処理する機能の追加されたファームウェアを実装することができていることが確認できた。

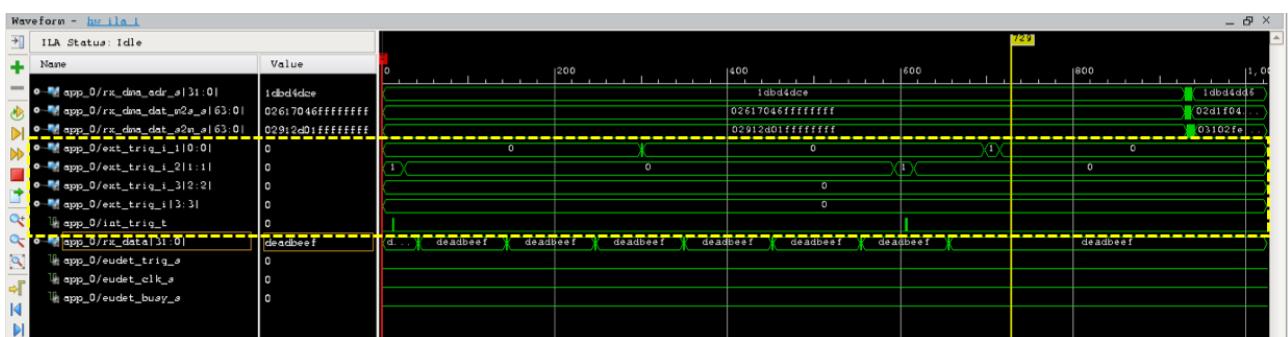


図 3.8: Vivado の Logic Analyzer で HitOR 信号を確認した様子

第 4 章

セルフトリガを用いた応答評価試験

この章では、セルフトリガを用いた粒子線に対する応答評価試験について述べる。4.1 節で粒子線を用いた応答評価試験のために必要だった Latency チューニング機能について述べ、その後に、4.2 節で評価試験セットアップ、4.3 節で手順、4.4 節で取得データの結果を示し、4.5 節で考察を行なっている。

4.1 Latency チューニング機能の追加

この節では、粒子線に対する応答評価のために必要だった Latency チューニング機能について述べる。

4.1.1 YARR におけるトリガ DAQ と Latency の意義

YARR ソフトウェアを用いたデータ取得におけるトリガ DAQ について説明する図を図 4.2 に示す。

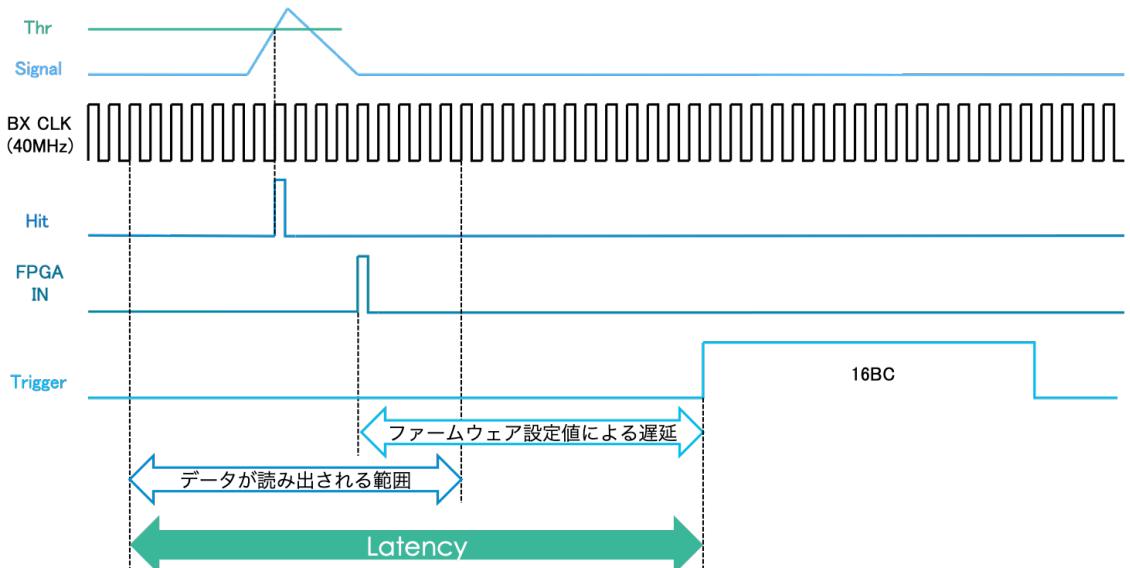


図 4.1: YARR トリガ DAQ

Latency とは、図の trigger 入力時にどれだけの時間遡ってメモリから情報を読み出すかを定める

値である。このLatency がずれていると、データを正しく読み出すことができない。YARR では、指定された Latency 分遅った Clock の前 7 Clock, 後 8 Clock, 計 16 Clock 分のデータを読み出す。16 Clock の内で何 Clock 目のデータであるかを示す値として、L1ID というものが記録される。アナログスキャンにおける L1ID の分布を以下に示す。

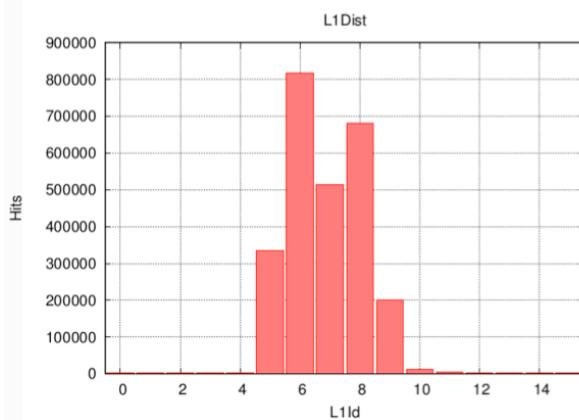


図 4.2: YARR トリガ DAQ

理想的には L1ID が 7 のところにトリガの中心を合わせたい。そのために、YARR で指定できる Latency に関する 3 種類のパラメータを以下に示す。

ソフトウェアで設定されている”delay”

擬似パルスを送られてからどれくらい遅れてトリガを出力するかを決める値。前章で述べたデジタルスキャンやアナログスキャンの際に関係し、擬似パルスではなく外部からのトリガを使用してデータ取得するセルフトリガや外部トリガを用いたデータ取得の時には無関係。

ファームウェアの設定値”delay”

FPGA からトリガをどれだけ遅れて出力するかを決める値。本論文では、外部からトリガを受け取ってからどれくらい遅延させて FPGA から RD53A にトリガを出力するかを決める値。

グローバルレジスタ”LatencyConfig”

RD53A の全てのピクセルに共通する設定値であるグローバルレジスタの内の 1 つに LatencyConfig という Latency に関する設定値が存在する。LatencyConfig がどのような値であるか説明する図を以下に示す。

ASIC のあるピクセルが信号を検知すると、そのピクセルが 40 MHz の Clock に合わせてカウントを始める。そして、FPGA から送られてくるトリガを受け取った時に、そのカウントが設定した”LatencyConfig” の値と等しいピクセルの情報を読み出すようになっている。”LatencyConfig” は、9bit の値であり、0-511 まで変化させることができる。

4.1.2 Latency チューニング機能

前節で述べたように、Latency が合っていないと、データを正しく読み出すことができないので、Latency を正しい値にすることが、データを正しく読み出す上で大変重要となる。そこで、今回はグローバルレジスタ”LatencyConfig” 値を変化させることで、Latency を合わせられるような機能をYARR に追加した。

今回、センサからの信号を ASIC が HitOR 信号として出力した Trigger に対する Latency を合わせたかった。前章で述べたように、HitOR 信号が FPGA に伝わっていることを確認した上で、以下を行なった。

1. セルフトリガによって 100 イベントを取得する
2. 取得したデータの L1ID の分布を得る
3. $L1ID == 7$ であるイベント数を記録

以上を 0-511 の各”LatencyConfig” 値に対して行い、”LatencyConfig” 値と $L1ID == 7$ だったイベント数の関係を図 4.3 のように得る。この時にもっともイベント数が多かった”LatencyConfig” 値の時に Latency が合っていると定義した、

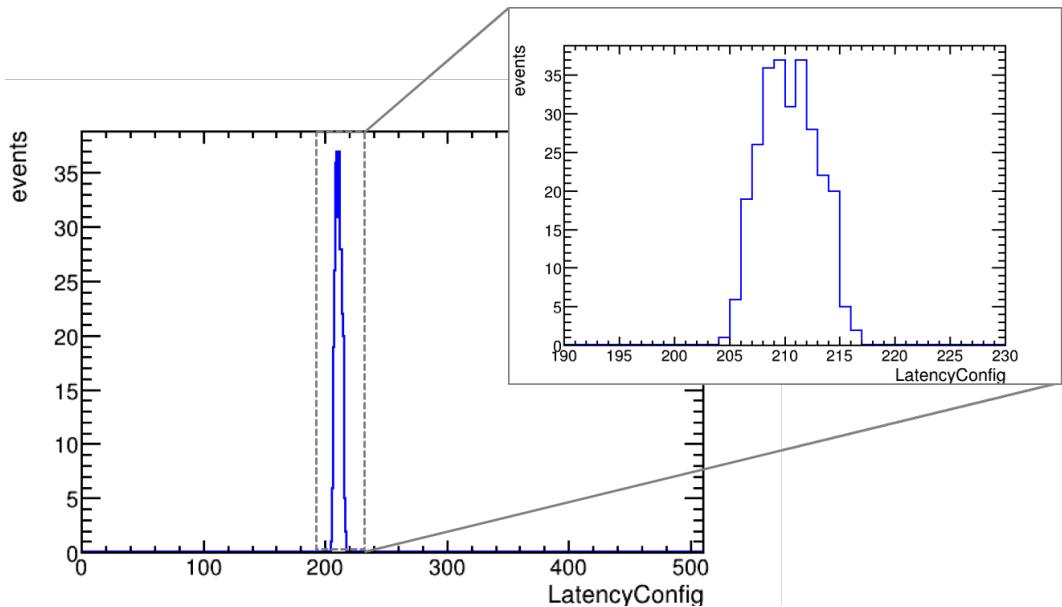


図 4.3: ”LatencyConfig” 値と $L1ID == 7$ だったイベント数の関係

4.1.2.1 Latency チューニングが幅を持つ理由

理想的には、Latency チューニングを行なった時の分布は、正しい Latency 値にのみピークが立つはずであるが、今回の結果はそうはない。理由は 2 つある。

- YARR の仕組みとして、32bit に 1 回トリガを発行するかどうかを決めているので、前後 8 Clock 分の幅が生じる
- アナログアウトプットのキャパシタンスにズレがあるために前後 2 Clock 分の幅が生じる。これは、アナログスキャンを行なった時の L1ID の分布を見ると、 $L1ID == 7$ のところにのみピークが立つのではなく、前後に 2 Clock 分の幅を持っていることから確認できる。

4.2 セルフトリガを用いた応答試験セットアップ

主なセットアップは読み出しシステムの動作確認時の図 3.1 と変わらず、RD53A 搭載の Single Chip Card(SCC) と FPGA ボード、PC を用いて読み出しシステムを構成し、SCC と FPGA ボードはアダプタカードを用いてディスプレイポートケーブルによって接続した。センサからの信号を外部に出力するためのコネクタをアダプタカードの port D、FPGA が RD53A からのデータを受け取るためにコネクタをアダプタカードの port A に繋ぐようにしている。

4.3 応答試験手順

前章で述べた HitOR 信号の伝達確認を行なったのち、前節で述べた Latency チューニングをセンサの上に線源を配置してから行った。“LatencyConfig” の分布が図 4.3 のように得られたため、今回は“LatencyConfig” の値を 211 に設定することで、Latency を合わせた。Latency を合わせた上で、センサの上に線源を設置した場合としない場合について、30 分間のセルフトリガによるデータ取得を行なった。

4.4 応答試験結果

図 4.4 と表 4.1 に線源をセンサ上に設置した場合としない場合それぞれの、30 分間セルフトリガによるデータ取得結果を示す。

表 4.1: 線源の有無それぞれのヒットレート

	# Hit	時間 [s]	Hit レート [hits/sec]
線源なし	3.528×10^6	1800	1960
線源あり	3.599×10^6	1800	2000

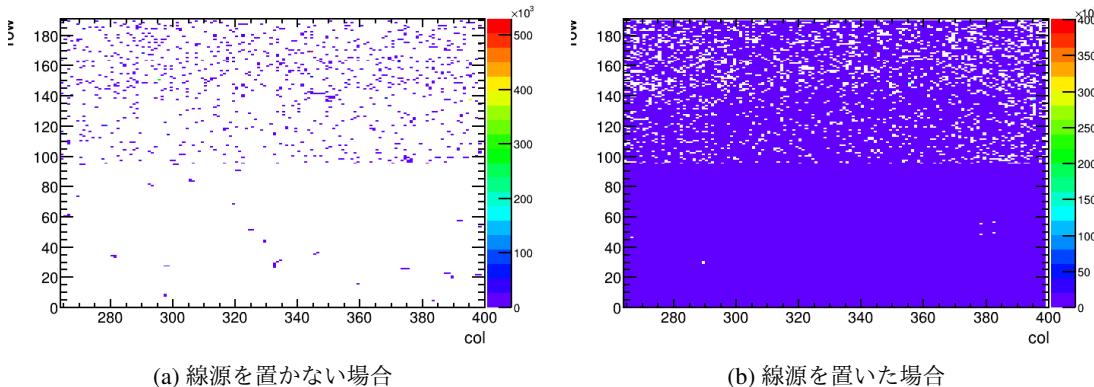


図 4.4: ヒットの分布

線源あり、なしの場合で、Occupancy Map の分布に差があることが見て取れるが、数値としては、ヒットレートに大きく変化は無かった。応答評価試験として、センサ-ASIC 間の接続確認行うため

には、センサからの信号でトリガをかけたデータ取得が行われているか確認する必要がある。各ピクセルで線源なし・ありのそれぞれの場合の 1 ピクセルあたりの Hit 数分布を図 4.5 に示す。

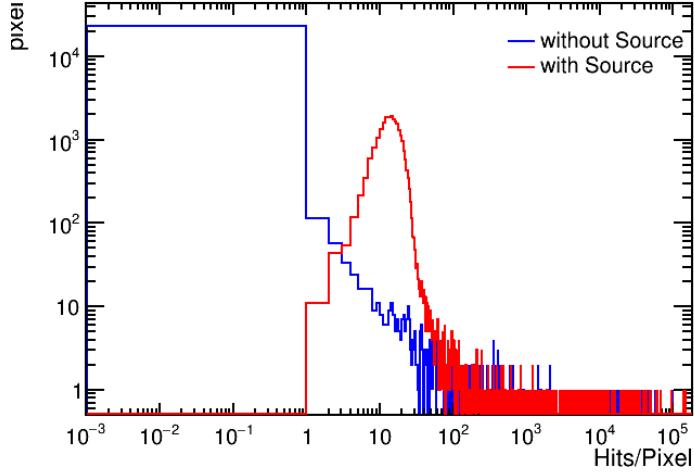


図 4.5: 1 ピクセルあたりの Hit 数分布

このように、線源なしの場合と比較して優位な分布が線源ありの場合に見られる。より詳しく確認するために、以下、線源なしの場合の Hit 数が 0 だった場合と、0 より大きかった場合に分けて、結果の考察を行なった。

4.5 考察

線源なしの時の Hit 数が 0 だった場合

線源を点線源とみなし、そこから等方的に β 線が放射されていると仮定した場合、今回のセットアップで放射された β 線のうち ASIC に入射するものの割合を式 4.1 を用いて求めた。

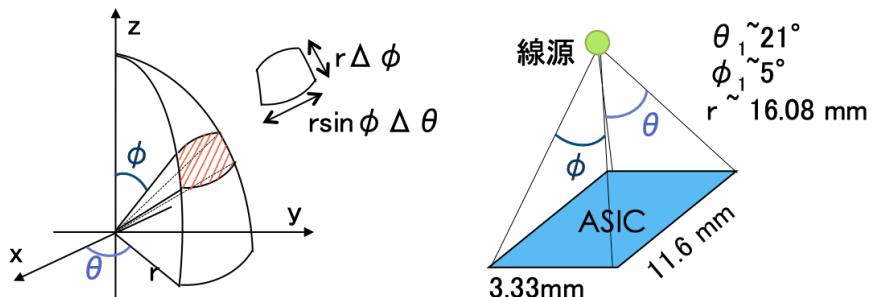


図 4.6: 点線源からの立体角

$$\frac{\int_0^{\phi_1} \int_0^{\theta_1} r^2 \sin \phi d\theta d\phi}{4\pi r^2} \simeq 0.28 \quad (4.1)$$

Diff FE のピクセル数が 26112、線源の放射能が 4.8kBq であったことから、30 分間で 1 ピクセル

が取得できるであろうヒット数を式 4.2 のように見積もった.

$$\frac{4.8\text{kBq} \times 0.28}{26112\text{pixels}} \times 1800\text{sec} = 9.18\text{Hits} \quad (4.2)$$

今回線源からのヒットのデータを取得できていると判断するピクセルの条件を, 3 ヒットより多くヒットがあったものとした. 3 ヒットとは, 式 4.2 より 2σ の範囲である, $9.18 \times 2\sqrt{9.18} \simeq 3$ から得た値である. 線源を置いてデータ取得した場合の 1 ピクセルあたりのヒット数分布である図 4.7 からも, この条件が妥当であることがわかる. この条件を満たし, 線源からのヒットがあったと判断したピクセル数を表 4.2 に示す. () 内の割合は, 今回使用したピクセル数 23867 に対する割合を示す.

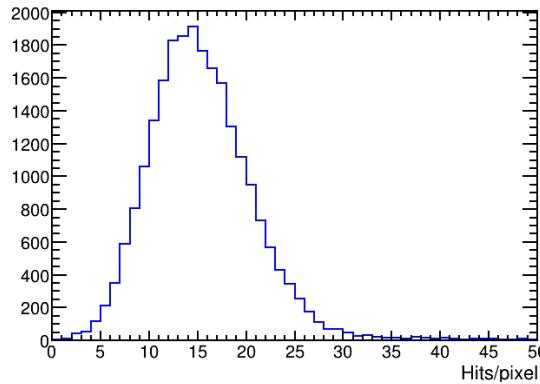


図 4.7: 線源を置いてデータ取得をした場合の 1 ピクセルあたりのヒット数

表 4.2: 線源からの Hit が存在するピクセル数 (線源を置いていない時に Hit 数が 0 だったピクセルについて)

(i) 条件を満たすピクセル数	22854	(95.8 %)
(ii) 条件を満たさないピクセル	56	(0.2 %)

表 4.2 より, 30 分間のセルフトリガによるデータ取得では, 22854 個のピクセルが線源からの信号を検出できていると判断できるため, 品質保証が可能であることがわかった. 一方で, 判断できなかった 56 個のピクセルについては統計量の少なさが原因と考えられるため, 今回使用した線源よりも 10 倍以上強い放射能の線源を用いることで, 品質保証が可能になるのではないかと考えた.

線源なしの時の Hit 数が 0 より大きかった場合

線源有り・無しの場合で取得したデータの ToT 分布を図 4.8 に示す. この分布から, 線源からの信号は $\text{ToT} > 5$ に存在すると仮定し, 以降 $\text{ToT} > 5$ となるデータだけを使用した. バックグラウンドの多いピクセルは, 線源からの信号を以下のように見積もり, バックグラウンドの分布と比較した.

表 4.3: 線源からの信号の分布の見積もり

$n \pm \sqrt{n}$	実測値 (線源ありの時の $\text{ToT} > 5$ だったピクセルのヒット数)
$n_{bg} \pm \sqrt{n_{bg}}$	バックグラウンド (線源なしの時の $\text{ToT} > 5$ だったピクセルのヒット数)
$n_{sig} = n - n_{bg}$	見積もった真の線源からのヒット数

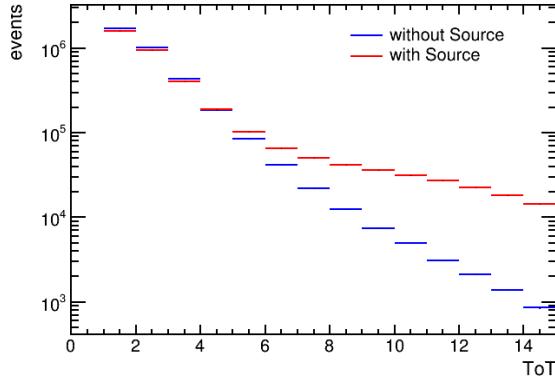


図 4.8: 線源の有り(赤)・無し(青)の ToT 分布

表 4.3 のように、真の線源からのヒット数を見積もった上で、線源からのヒットがあったとみなすピクセルの条件を式 4.3 のように定義した。この条件を満たし、線源からの Hit があったと判断したピクセルの分布を表 4.4 に示す。() 内の割合は、今回使用したピクセル数 23867 に対する割合を示す。

$$\frac{n_{sig}}{\sqrt{n_{bg}}} > 5 \quad (4.3)$$

表 4.4: 線源からの Hit が存在するピクセル数(線源を置いていない時に Hit が存在したピクセルについて)

(i) 条件を満たすピクセル数	880 (3.7 %)
(ii) 条件を満たさないピクセル	77 (0.3 %)

表 4.4 より、30 分間のセルフトリガによるデータ取得では、880 個のピクセルが線源からの信号を検出できていると判断できるため、品質保証が可能であることがわかった。一方で、判断できなかった 77 個のピクセルはバックグラウンドに対して優位な信号を測定することができなかった。センサからの信号でトリガをかけるセルフトリガによるデータ取得方法ではなく、外部トリガによるデータ取得の方でなら、品質保証ができるのではないかと考えた。

まとめ

30 分間のセルフトリガによるデータ取得によって、線源からの信号が取得できたと判断でき、品質保証が可能だったピクセルの分布を表 4.5 に示す。

表 4.5: 30 分間のセルフトリガによるデータ取得の結果分布

99.5 % (95.8 % + 3.7 %)	線源からの信号が検出できた
0.2 %	統計量が少なく判断できない
0.3 %	バックグラウンドに対して有意な信号が検出できない

線源からの信号を検出することができなかつたと判断されたピクセルは、今回用いたものよりも

10倍以上強い線源を用いてデータ取得を行うことや、外部トリガによるデータ取得を行うことで、改選されると考えた。

第 5 章

外部トリガを用いた応答評価試験

この章では、外部トリガを用いた粒子線に対する応答評価試験について述べる。5.1 節で外部トリガを用いた応答評価試験の概要、5.2 節で外部トリガでデータ取得をする際のセットアップ、5.3 節で手順、5.4 節で取得データ結果を示し、5.5 節で考察を行なっている。

5.1 外部トリガを用いた応答評価試験概要

この節では、Quad Chip RD53A モジュールに対して行われる品質試験について述べる。2.1 節で述べたように、現在実機で用いるモジュールを量産するための準備として、プロトタイプ版の ASIC が 4 Chip 搭載された Quad Chip RD53A モジュールで量産体制の確認が計画されている。この時に、バンプボンディングに異常が無いかを確認するための試験が、外部トリガを用いた応答評価試験である。現在計画されている試験は、クーリングボックスと呼ばれる、温度が低温に維持された小さな箱の中で行い、トリガには前章で述べた HitOR 信号ではなく、トリガシンチの信号を外部トリガとして用いる。トリガシンチの構成については5.2 節で詳しく述べる。計画されている外部トリガを用いた応答評価試験セットアップを図 5.1 に示す。

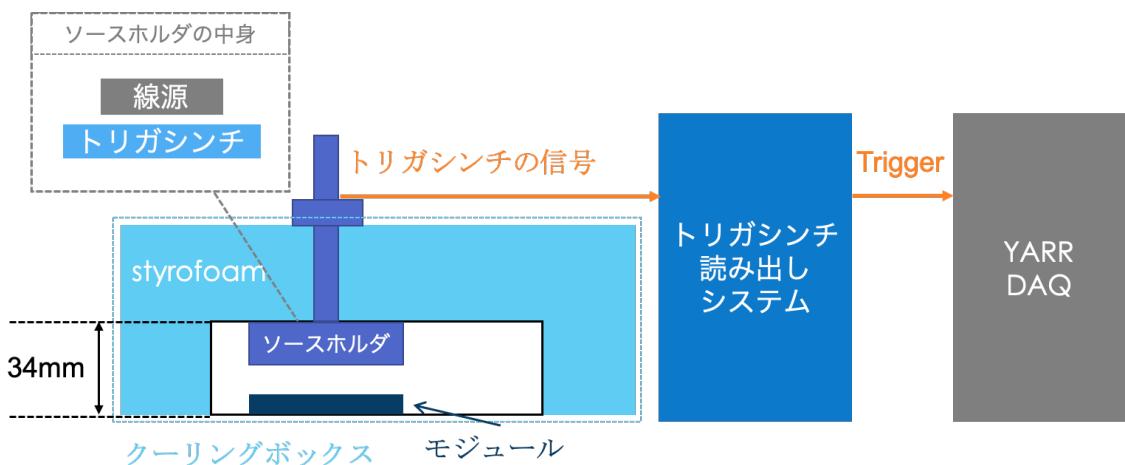


図 5.1: 計画されている外部トリガを用いた応答評価試験セットアップ

計画されているセットアップに近付けるようにして以降、外部トリガを用いた応答評価試験を行なった。

5.2 外部トリガを用いた応答評価試験セットアップ

今回行なった外部トリガを用いた応答評価試験のセットアップを図 5.2 に示す。主にセルフトリガの際と変わらず、RD53A 搭載の Single Chip Card(SCC) と FPGA ボード、PC を用いて読み出しシステムを構成している。読み出し ASIC と FPGA ボードは、FMC-mDP 変換ボードを用いてケーブルにて接続を行い、FPGA 内部で ASIC からのデータ信号の処理を行なった。また、高速通信用インターフェースで PC と FPGA ボードを接続し、データ転送を行なった。そして、これらに加え、今回は外部トリガにトリガシンチを用いるため、トリガシンチ、トリガシンチ信号読み出しシステム、ソースホルダが存在する。トリガシンチ信号読み出しシステムの DP コネクタとアダプタカードの port D が繋げられている。



図 5.2: セットアップの様子

5.2.1 トリガシンチ

今回トリガシンチに使用したシンチレータと、MPPC をシンチレータに取り付けた様子を図 5.3a に示す。図中のライトガイドとは、シンチレータに粒子が入射した時に発光した光を効率よく MPPC まで伝えるための部品である。また、??でも述べたように、非常にコンパクトな環境での利用を目的としているため、トリガシンチは箱の中、読み出し回路は箱の外で使用される。それに伴って、MPPC の足は約 30 cm のケーブルをはんだづけすることで延長し、トリガシンチの信号を箱の外まで伝えられるようにしてある。また、荷電粒子がトリガシンチに遮蔽され、モジュールまで届かなくなることがないように、シンチレータは 0.5 mm と非常に薄いものを使用している。シンチレータは光収集率をよくするために、白い紙で覆ったのち、MPPC と共に黒テープで遮光を行なった。その様子を図 5.3 に示す。トリガシンチを構成する要素である MPPC とシンチレータについて以降述べる。

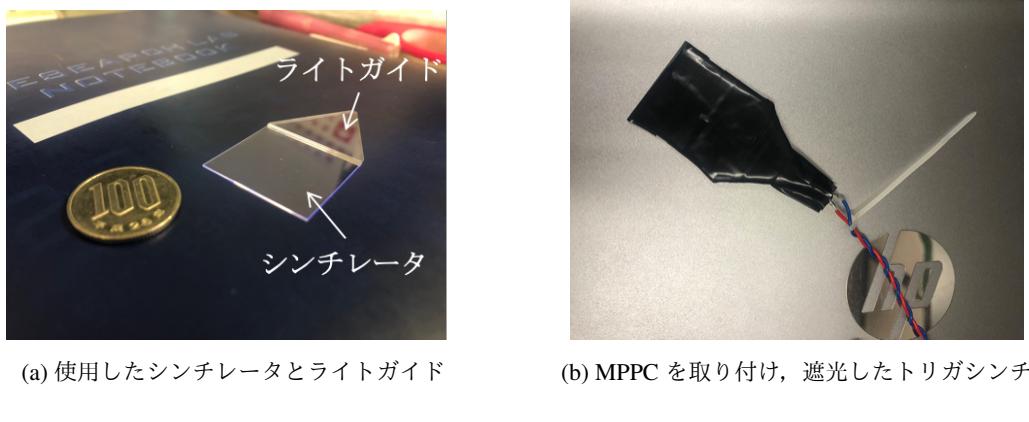


図 5.3: 0.5mm のシンチレータの様子

MPPC

MPPC とは、Silicon Photomultipliers(SiPM) と呼ばれるデバイスの一種であり、複数の半導体光検出器・アバランシェフォトダイオード(APD) から成るフォトンカウンティングデバイスである。本論文で用いた MPPC・HAMAMATSU S13360-1325CS は、 $1.3 \times 1.3\text{mm}^2$ の受光面に $25 \times 25\mu\text{m}^2$ の APD が敷き詰められている。MPPC の構成を図 5.4 に示す。

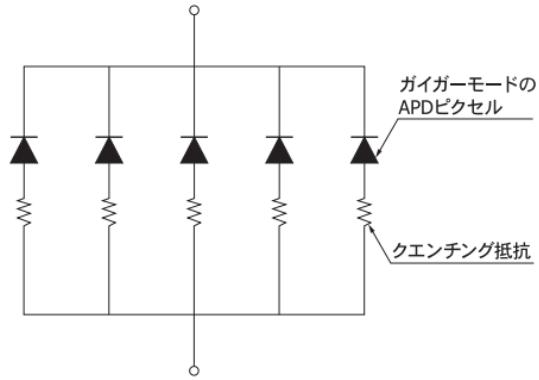


図 5.4: MPPC の構成 [7]

全ての APD の読み出し線、および電圧供給の線は共通していて、全ての APD ピクセルからのシグナルの総和が 1 つの MPPC からの出力として得られる構造になる。MPPC では各 APD ピクセルからの応答が良く揃っているために、総和として出力されるシグナル Q_{total} は式??で示されるように光子を受光したピクセル数 N に 1 つの APD から得られるシグナル Q をかけた値となる

$$Q_{total} = N \times Q \quad (5.1)$$

受光したピクセル数は、光が微弱である時入射する光量に比例するため、MPPC は非常に高いフォトンカウンティング能力を備えている。

シンチレータ

シンチレータとは、放射線のエネルギーを吸収し、内部で励起あるいは電離が起こることで発光する物質である。材質には、無機結晶や液体など様々あるが、本論文では、プラスチックシンチレータを用いた。

5.2.2 トリガシンチの信号読み出しシステム

本研究を行うにあたって、MPPC からの信号を YARR の DAQ システムのトリガとして使用できるように波形整形できるシステムを作成した。システムの全体像を図 5.5 に示し、各回路の役割とトリガシンチの信号がどのように伝達されるかを図 5.6 に示す。トリガシンチの信号は読み出し基板 1 で増幅され、コンパレータによってアナログデジタル変換される。その後、ATLYS にて Delay され、読み出し基板 2 によって TTL から LVDS 変換され、DP コネクタから信号が出力される仕組みである。読み出し基板に Delay 機能が実装されていないため、このように 2 枚の読み出し基板と FPGA ボードで構成されている。

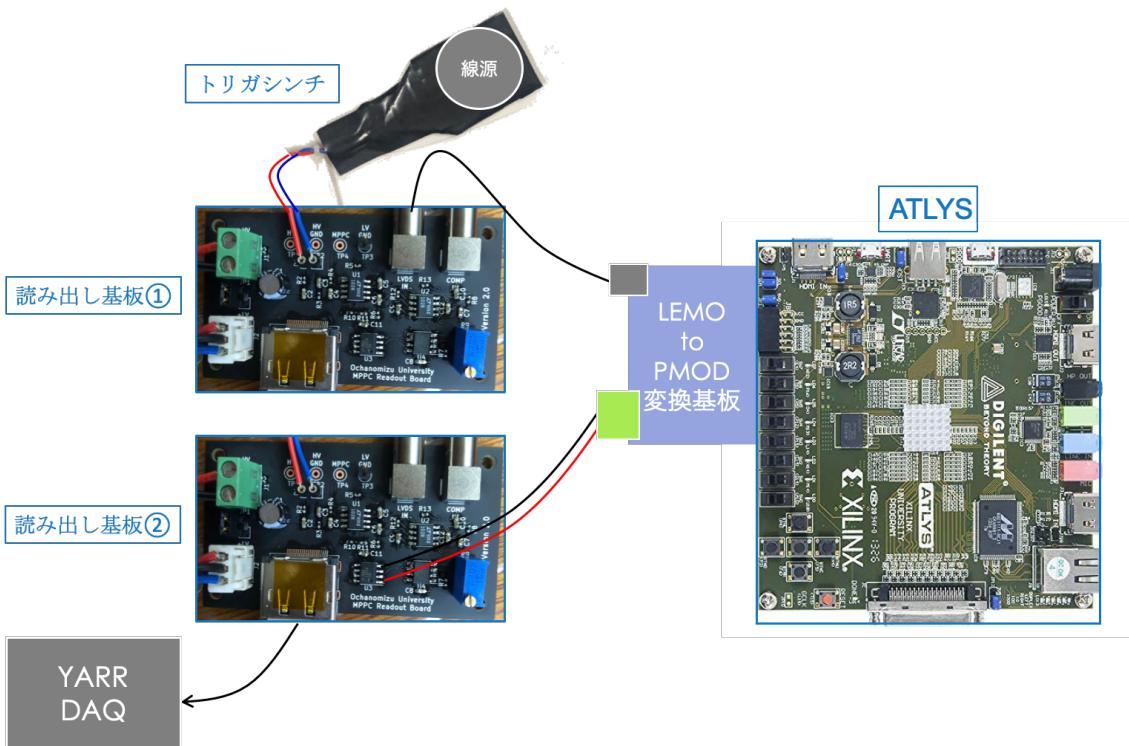


図 5.5: トリガシンチの信号を読み出すシステム全体像

読み出し基板 1,2

本研究を行うにあたって、MPPC からの信号を波形整形する基板を作成した。基板を図 5.7a に示す。主に、電圧供給回路、反転増幅回路、コンパレータ回路、LVDS 変換回路から構成されている。基板は KiCAD という CERN 開発のオープンソースプリント基板 CAD を用いて設計・作成した。LEMO1 からは増幅された MPPC のアナログ信号を、LEMO2 からはコンパレータによって閾値

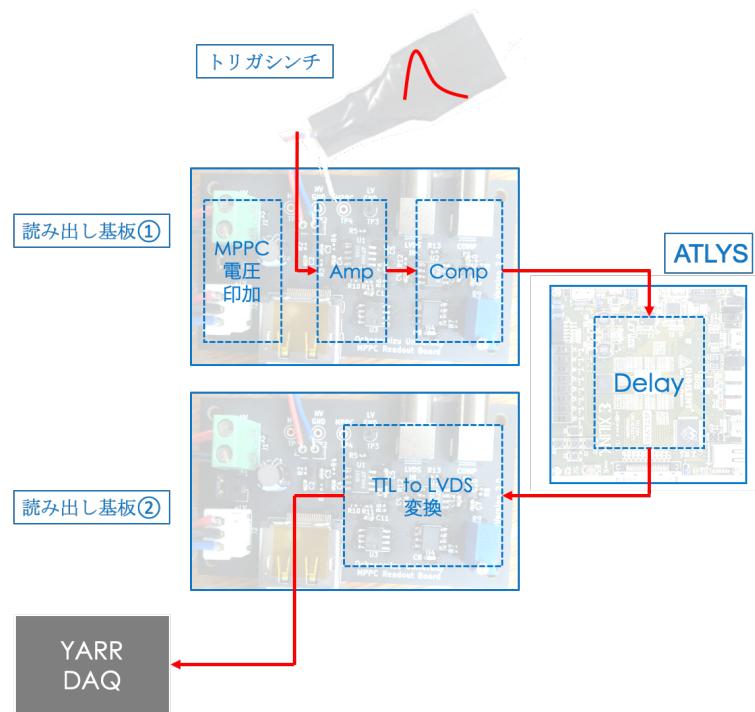
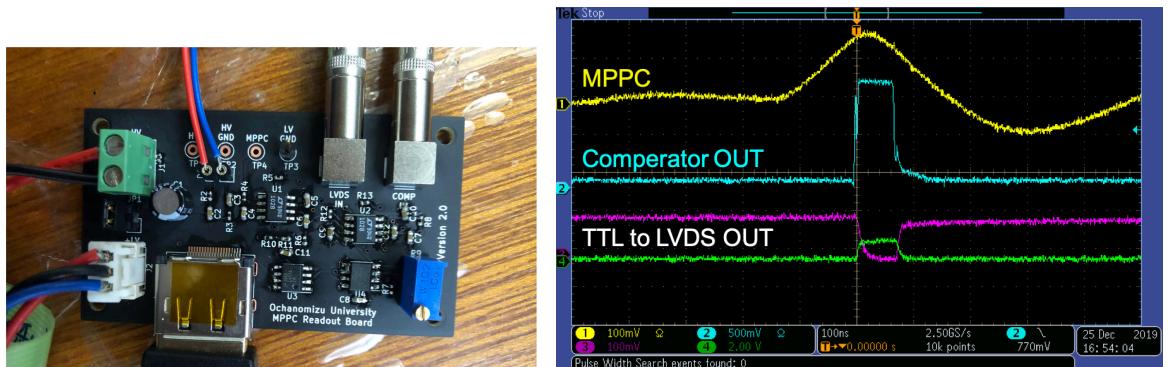


図 5.6: トリガシンチの信号が YARR-DAQ に伝わるまでの様子

電圧と比較することで変換されたデジタル信号を、DP からは TTL だったデジタル信号が変換され、LVDS 出力のデジタル信号を読み出すことができる。その 3 点についてオシロスコープで観測した波形を図 5.7b に示す。トリガシンチに荷電粒子が入射した信号を得たいため、オシロスコープの様子から、コンパレータの比較電圧は 75 mV とした。



(a) 基板の様子

(b) 動作確認したオシロスコープの様子

図 5.7: トリガシンチの信号を波形整形する基板

ATLYS

Delay 機能が実装された Xilinx, Inc. の spaltan6 FPGA 搭載 ATLYS 評価ボードを使用した。124 nsecDelay させるように設定した。

5.2.3 ソースホルダ

ソースホルダの外観を図 5.8 に示す。クーリングボックス内で使用することを想定し、コンパクトな作りになっている。これは、FreeCAD というオープンソース汎用 3D CAD モデラで設計し、3D プリンタを用いて作成した。ソースホルダは箱、蓋、軸、留め具の 4 パーツに分かれていて、蓋の部分には線源を固定するための窪みが存在する。



図 5.8: ソースホルダの様子

5.3 応答評価試験手順

まず、前章で述べたようなトリガシンチの信号が FPGA まで伝達され、処理されているかの確認を行った。その確認の様子を図に??に示す。

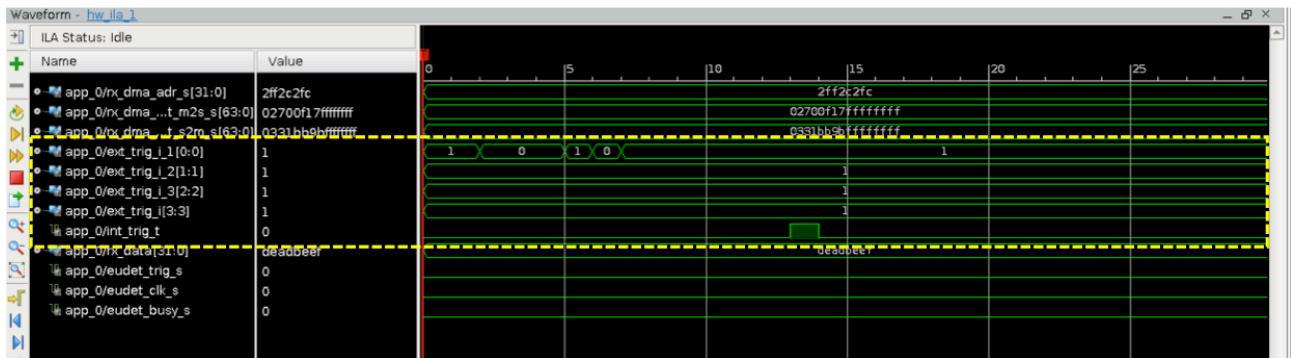


図 5.9: Vivado の Logic Analyzer でトリガシンチからの信号を確認した様子

今回は”ext_trig_i[0:0]”にのみ信号を入力しているため、その部分のみが 0 から 1 へと変化している。また、”int_trig”も 0 から 1 に変化していることから、ファームウェアにてトリガシンチの信号の受信・処理が正常に行われていることが確認できる。

次に、Latency Scan を行なった。Latency Scan の結果を図 5.10 に示す。この結果より、”Latency-Config”値を 211 に設定することで、Latency を合わせた。

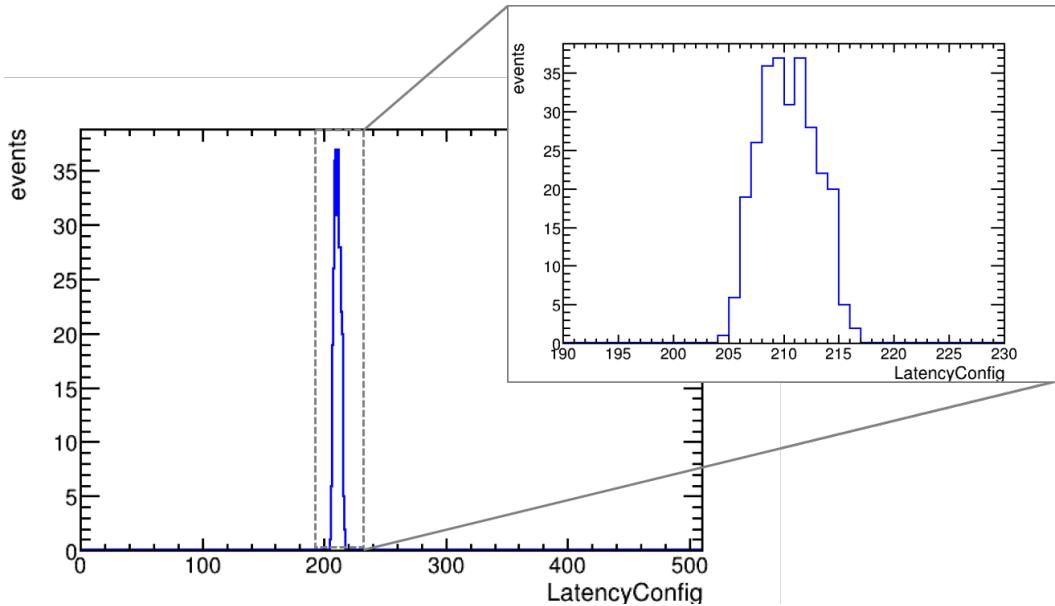


図 5.10: "LatencyConfig" 値と L1ID == 7 だったイベント数の関係

Latency を合わせた上で、トリガシンチの上に線源を設置した場合としない場合それぞれについて、30 分間の外部トリガによるデータ取得を行なった。

5.4 応答評価試験結果

表 5.1 と図 5.11 に線源をトリガシンチの上に設置した場合としない場合それぞれの、30 分間の外部トリガによるデータ取得結果を示す。

表 5.1: 線源の有無それぞれのヒットレート

	# Hit	時間 [s]	Hit レート [hits/sec]
線源なし	3.528×10^6	1800	1960
線源あり	3.599×10^6	1800	2000

5.5 考察

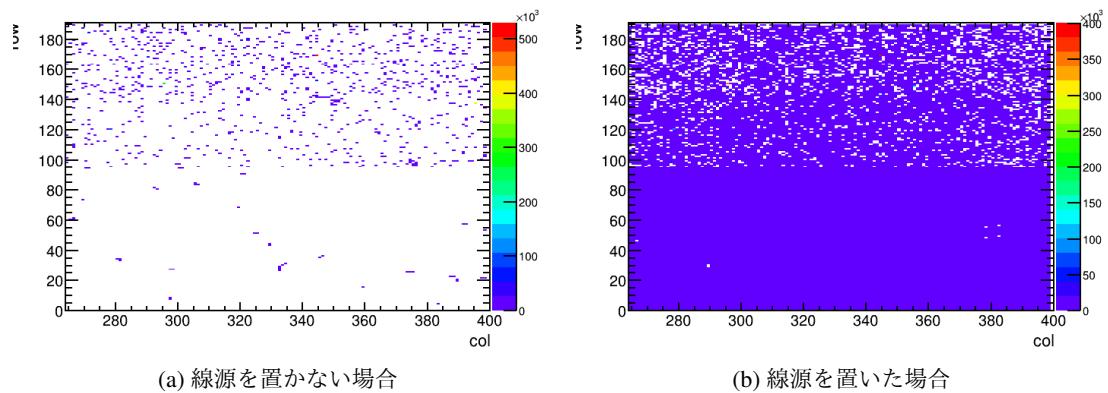


図 5.11: ヒットの分布

第 6 章

結論

謝辞

本研究を進める上でお世話になった方々にお礼申し上げます。指導教員である河野能知准教授には、研究の機会と環境を与えていただきました。また、素粒子実験に関する知識だけでなくファームウェア、ソフトウェア、回路設計などのノウハウや、研究発表にあたって見やすく伝わりやすい資料作りについてご指導いただきました。毎週の研究室のミーティングでは、研究方針および手法について的確な指摘をいただき、研究をすすめることができました。心から感謝申し上げます。

ATLAS 日本 QA/QC グループの皆様に感謝いたします。大阪大学の廣瀬穣氏には、ミーティングの場だけでなく、ミーティング外でも時間をとって、ファームウェアの知識のない私に丁寧にご指導いただきましたことに感謝申し上げます。また、東京工業大学の生出秀行氏にも、ソフトウェアの開発やソースホルダの作成の際にたくさんのアドバイスをいただきました。感謝いたします。また、東京工業大学の窪田ありささん、大阪大学の山家谷昌平さんには、同期として研究姿勢について多くを学ばせていただきました。東工大の松崎貴由さん、池亀遙南さんには、クーリングボックスにソースホルダを組み込むにあたって設計についての相談にのっていました。東工大の奥山広貴さんにはデータベースの使い方を丁寧に教えていただき、また阪大の Lakmin さんには回路設計についてアドバイスをいただきました。またお茶大の前田実津季さん、釣希夢さんには発表資料や実験方針、ソフトウェアの設計など、多くの相談にのっていました。大変感謝しています。

お茶の水女子大学河野研究室の皆様に感謝申し上げます。藤本みのりさんには、データ取得を手伝っていただいたこと、ファームウェアとソフトウェアについての多くの知識を教えていただきました。浅井香奈江さんには、学部生の頃にコーディング技術や、修士になってからも発表資料やプロットについて多くの助言をいただきました。河野研究室卒業生の里吉陽奈子さんには、研究だけでなく卒業後の進路など多くのことを相談させていただきました。修士1年の前田実津季さん、釣希夢さんには、発表資料や実験方針、ソフトウェアの設計などについて話を聞いてもらい、考えを整理することができました。学部4年の飯島綾美さん、兼村有希さん、佐藤真帆さん、三宮梨沙子さん、山本真由さんとは一緒に研究することができてよかったです。ありがとうございました。

ATLAS グループでは、KEK の中村浩二さん、筑波大学の原田大豪さんには、センサについての知識を教えていただいた上に、データ取得するにあたって多くの時間をとって協力してくださり大変感謝しています。また、東工大の金さん、潮田理沙さん、卒業生の中村優斗さんには学会などで会うたびによくしてくださいました。ありがとうございました。

最後に、何不自由ない学生生活、研究生活を実現してくださった両親に深く感謝いたします。

参考文献

- [1] The ATLAS Collaborations. The ATLAS experiment at the CERN large hadron collider. *Journal of Instrumentation*, Vol. 3, No. 08, pp. S08003–S08003, aug 2008.
- [2] Apollinari G., Béjar Alonso I., Brüning O., Fessia P., Lamont M., Rossi L., and Tavian L. *High-Luminosity Large Hadron Collider (HL-LHC): Technical Design Report V. 0.1*. CERN Yellow Reports: Monographs. CERN, Geneva, 2017.
- [3] ATLAS Collaboration. Technical Design Report for the ATLAS Inner Tracker Pixel Detector. Technical Report CERN-LHCC-2017-021. ATLAS-TDR-030, CERN, Geneva, Sep 2017.
- [4] S.M.Sze. *SEMICONDUCTOR DEVICES Physics and Technology 2nd Edition*. 産業図書株式会社, Mar 2015.
- [5] 内山和貴. 「HL-LHC に向けたシリコンピクセル検出器の雑音及び検出効率の研究」. 筑波大学修士論文, 2019.
- [6] Maurice Garcia-Sciveres. The RD53A Integrated Circuit. Technical Report CERN-RD53-PUB-17-001, CERN, Geneva, Oct 2017.
- [7] 03_handbook.pdf. https://www.hamamatsu.com/resources/pdf/ssd/03_handbook.pdf. (Accessed on 01/05/2020).

図目次

1.1	LHC 加速器全体図器 [1]	2
1.2	ATLAS 検出器全体図器 [1]	3
1.3	内部飛跡検出器 [1]	3
1.4	HL-LHC 計画 [2]	5
1.5	Inner Tracker レイアウト [3]	6
2.1	ピクセル検出器の概念図	7
2.2	ドープした半導体 [4]	8
2.3	pn 接合半導体の空乏層概念図	9
2.4	バイアスレール の有無によるノイズ量比較 [5]	11
2.5	センサの構造. バイアスレールの有無	11
2.6	RD53A のフロントエンドデザイン [6]	13
2.7	Diff FE のアナログ回路構造 [6]	13
2.8	RD53A のデータ収集の仕組み. 全ピクセルに共通する信号が太字, ピクセルごとに記録されている信号が斜体文字になっている. [6]	14
2.9	信号が入力された時の ToT と Latency	14
2.10	HitOR 信号のネットワーク図 [6]	15
3.1	セットアップ	17
3.2	センサ付き RD53A 搭載 Single Chip Card モジュール	19
3.3	デジタルスキャン	20
3.4	アナログスキャン	20
3.5	閾値チューニング	21
3.6	Occupancy Map	22
3.7	今回使用したピクセルの分布	22
3.8	Vivado の Logic Analyzer で HitOR 信号を確認した様子	23
4.1	YARR トリガ DAQ	25
4.2	YARR トリガ DAQ	26
4.3	"LatencyConfig" 値と L1ID == 7 だったイベント数の関係	27
4.4	ヒットの分布	28
4.5	1 ピクセルあたりの Hit 数分布	29
4.6	点線源からの立体角	29

4.7	線源を置いてデータ取得をした場合の 1 ピクセルあたりのヒット数	30
4.8	線源の有り(赤)・無し(青)の ToT 分布	31
5.1	計画されている外部トリガを用いた応答評価試験セットアップ	33
5.2	セットアップの様子	34
5.3	0.5mm のシンチレータの様子	35
5.4	MPPC の構成 [7]	35
5.5	トリガシンチの信号を読み出すシステム全体像	36
5.6	トリガシンチの信号が YARR-DAQ に伝わるまでの様子	37
5.7	トリガシンチの信号を波形整形する基板	37
5.8	ソースホルダの様子	38
5.9	Vivado の Logic Analyzer でトリガシンチからの信号を確認した様子	38
5.10	"LatencyConfig" 値と L1ID == 7 だったイベント数の関係	39
5.11	ヒットの分布	40

表目次

2.1	Bethe-Bloch の式の変数	10
2.2	現行の ASIC2 種と新型プロトタイプ版 ASIC の比較	12
3.1	今回 RD53A とセンサに供給した電圧	18
4.1	線源の有無それぞれのヒットレート	28
4.2	線源からの Hit が存在するピクセル数(線源を置いていない時に Hit 数が 0 だったピクセルについて)	30
4.3	線源からの信号の分布の見積もり	30
4.4	線源からの Hit が存在するピクセル数(線源を置いていない時に Hit が存在したピクセルについて)	31
4.5	30 分間のセルフトリガによるデータ取得の結果分布	31
5.1	線源の有無それぞれのヒットレート	39