

修士論文

HL-LHC ATLAS 実験に向けたシリコンピクセル検出器の
粒子線に対する応答評価試験

鷲津 優維

お茶の水女子大学 人間文化創成科学研究科 理学専攻

January 27, 2020

概要

Large Hadron Collider (LHC) は欧州原子核研究機構 (CERN) に設置された陽子陽子衝突型の粒子加速器である。LHC の 4 つの衝突点のうちの 1 つの設置された ATLAS 検出器を用いて、素粒子標準模型の精密測定および、それを超えた物理の探索を行なっている実験が ATLAS 実験である。LHC では、2026 年の開始を目指して高輝度計画・High Luminosity LHC (HL-LHC) 計画が進められている。LHC のルミノシティを向上させることで、陽子中の大きなエネルギーを持つパートンの衝突を可能にし、重い粒子の探索を目的として計画である。また、統計量が増えるために、超対称性などの様々な模型が予想する新粒子への感度の向上も期待されている。この HL-LHC 計画に伴い、ATLAS 検出器の内部飛跡検出器は、受ける放射線量の増加、検出器のヒット占有率の増加などに対応するために、Inner Tracker(ITk) と呼ばれるシリコン検出器への総入れ替えが予定されている。総入れ替えのために、内部に用いるピクセルセンサモジュールは量産され、品質性能基準を達成するために様々な試験にかけられる。

本論文では、この試験項目の 1 つである、粒子線に対する応答評価試験を取り扱った。この試験は 2 つの手法があり、モジュールに粒子が入射した時の信号のタイミングでデータ取得を行うセルフトリガを用いた手法と、シンチレータを用いて、シンチレータに粒子が入射した時の信号のタイミングでデータ取得を行う外部トリガを用いた手法がある。本論文では、応答評価試験方法の確立のために必要なファームウェア、ソフトウェアの開発と、2 つの手法それぞれで応答評価試験を行い、その結果からそれぞれの手法の利点・欠点を比較した。

Abstract

Large Hadron Collider (LHC) is a proton-proton collider type particle accelerator installed at the European Nuclear Research Organization (CERN). The ATLAS experiment is an experiment that uses the ATLAS detector installed at one of the four collision points of the LHC to accurately measure the standard model of elementary particles and search for physics beyond that. Aiming to start in 2026, the LHC High Luminosity LHC (HL-LHC) plan is underway. By increasing the luminosity of the LHC, it is possible to collide partons with large momentum fraction of the proton, and this project is aimed at searching for heavy particles. In addition, due to the increase in statistics, it is expected that the sensitivity to new particles predicted by various models such as supersymmetry will increase. Along with the HL-LHC project, the inner track detector of the ATLAS detector will be replaced with a silicon detector called Inner Tracker (ITk) in order to cope with an increase in the amount of radiation received and an increase in the hit occupancy of the detector. The total replacement is planned. For the total replacement of the inner tracking detector, mass production of pixel sensor module is necessary. Mass-produced modules are subjected to various tests to achieve quality performance standards.

This thesis presents one of the test items, i.e. the response evaluation test against particle beams. This test has two methods: a method using self-trigger, which acquires data at the timing of the signal when a particle enters the module, and a method that uses a scintillator to generate data at the signal timing when the particle enters the scintillator. This is the method called an external trigger that performs acquisition. In this paper, we develop firmware and software necessary for establishing a response evaluation test method, acquire data using each of the two methods, and confirm and consider whether the response evaluation test can be actually performed.

目次

1 LHC ATLAS 実験	3
1.1 LHC 加速器	3
1.2 ATLAS 実験	3
1.3 ATLAS 検出器	4
1.3.1 トリガシステム	5
1.3.2 現行の内部飛跡検出器	6
1.4 HL-LHC 計画	7
1.4.1 概要	7
1.4.2 HL-LHC に伴う ATLAS 検出器のアップグレード	8
1.4.3 内部飛跡検出器のアップグレード	8
2 アップグレードに向けたモジュール開発	11
2.1 モジュールの構成	11
2.2 シリコンピクセルセンサ	12
2.2.1 シリコンピクセルセンサの原理	12
2.2.2 バイアス構造	15
2.2.3 今回使用したシリコンピクセルセンサ構造	16
2.3 HL-LHC ATLAS 実験用新型集積回路 ASIC・RD53A	17
2.3.1 レジスタ	17
2.3.2 RD53A フロントエンドデザイン	18
2.3.3 RD53A のデータ収集の仕組み	18
2.3.4 HitOR 信号	20
2.4 モジュール量産に向けた品質性能試験	21
2.4.1 粒子線に対する応答評価試験の意義	21
2.4.2 応答評価試験の手法	21
2.4.3 本研究の目的	21
3 粒子線に対する応答評価試験のための 読み出しシステムの動作確認	23
3.1 読み出しセットアップ概要	23
3.2 動作確認	25
3.2.1 デジタルスキャナ	25

3.2.2 アナログスキャン	26
3.2.3 閾値のチューニング	27
3.2.4 ノイズスキャン	28
4 セルフトリガを用いた応答評価試験	31
4.1 セルフトリガを用いた応答試験セットアップ	31
4.2 Latency Scan 機能の追加	32
4.2.1 YARR におけるトリガ DAQ と Latency の意義	32
4.2.2 Latency Scan 機能	34
4.3 セルフトリガによる応答評価試験手順	35
4.4 セルフトリガによるデータ取得結果	35
4.5 考察	36
5 外部トリガを用いた応答評価試験	41
5.1 外部トリガを用いた応答評価試験概要	41
5.2 外部トリガを用いた応答評価試験セットアップ	41
5.2.1 トリガシンチ	42
5.2.2 読み出し基板	44
5.3 外部トリガによる応答評価試験手順	45
5.4 応答評価試験結果	46
5.5 考察	46
6 2つの手法で行なった応答評価試験の比較	51
6.1 全トリガ数に対するヒットが存在したイベント数	51
6.2 品質評価を行うために必要な時間	52
6.3 全ヒット数に対する荷電粒子のヒット数	52
7 結論	53
A トリガシンチレータの信号読み出し基板回路図	59

序論

Large Hadron Collider(LHC) は欧州原子核研究機構 (CERN) に設置された、重心系エネルギー 13TeV の世界最大の陽子陽子衝突型の粒子加速器である。LHC の 4 つの衝突点のうちの 1 つに設置された ATLAS 検出器を用いて、素粒子標準模型の精密測定および、それを超えた物理の探索を行なっている実験が ATLAS 実験である。また、2026 年の開始を目指して、LHC の高輝度計画・High-Luminosity LHC(HL-LHC) 計画が進められている。LHC のルミノシティを向上させることで、統計量が増えるため、超対称性などの様々な模型が予想する新粒子への感度が向上し、重い粒子の探索が可能になることが期待されている。この HL-LHC 計画に伴い、ATLAS 検出器の内部飛跡検出器は、受ける放射線量の増加、検出器のヒット占有率の増加などに対応するために、Inner Tracker(ITk) と呼ばれるシリコン検出器への総入れ替えが予定されている。

この総入れ替えのために、内部に用いるピクセルセンサモジュールを世界で約 6800 個制作する必要があり、日本グループはそのうちの約 2000 個を担当する予定である。ここで、フレキシブル(Flex) 基板、フロントエンド集積回路(ASIC)，シリコンピクセルセンサの 3 要素で構成された検出器をピクセルセンサモジュールと呼ぶ。センサと ASIC はバンプボンディングと呼ばれる手法で、ASIC と Flex 基板はワイヤボンディングと呼ばれる手法で接続されている。量産されたモジュールは品質性能基準を達成しているか確認するために、様々な試験にかけられる。

本研究では、この試験項目の 1 つである、粒子線に対する応答評価試験を取り扱った。この試験は、ASIC とセンサ間のバンプボンディングの部分に異常がないかを確認する試験である。HL-LHC のために開発された ASIC のピクセルサイズは $50 \times 50\mu\text{m}^2$ で、ピクセルセンサの信号は電極を通して個別に ASIC のピクセルで処理されるため、このバンプボンディングに異常があると、信号を伝えることができず、正常なデータを取得することができない。そのため、この応答評価試験はモジュールの品質評価に大変重要である。この試験には 2 つの手法があり、モジュールに粒子が入射した時の信号のタイミングでデータ取得を行うセルフトリガと呼ばれる手法と、シンチレータを用いて、シンチレータに粒子が入射した時の信号のタイミングでデータ取得を行う外部トリガと呼ばれる手法がある。本研究では、応答評価試験方法の確立のために必要なファームウェア、ソフトウェアを開発した上で、粒子線に対する応答評価試験のデータを 2 つの手法で取得し、実際に応答評価試験を行うことができるかどうかの確認・考察、2 つの手法それぞれの利点欠点を比較した。

本論文では、第 1 章で、現在の LHC ATLAS 実験と 2024 年以降に予定されている HL-LHC 計画に伴う ATLAS 検出器のアップグレードについて、第 2 章で、アップグレードに伴うモジュールの量産と、モジュールの構成について、第 3 章で、応答評価試験をするにあたって作成したファームウェアの動作確認の様子、第 4 章で、セルフトリガによる応答評価試験、第 5 章で、外部トリガによる応答評価試験、第 6 章で、2 つの手法で取得したデータからわかるそれぞれの利点欠点比較を述べている。

第 1 章

LHC ATLAS 実験

本章では、1.1 節で LHC 加速器について述べ、1.2 節で ATLAS 実験について、また、1.3 節で ATLAS 検出器について述べる。その後、1.4 節で High Luminosity LHC 計画について説明し、それに伴う ATLAS 検出器アップグレードについて説明する。

1.1 LHC 加速器

Large Hadron Collider (LHC) はスイス、ジュネーブにある欧州原子核研究機構 (CERN) の地下 100 m、周長 26.7 km のリングで構成される円形加速器である。最大で 14TeV の重心系エネルギーで陽子陽子衝突させることができ、世界最大の陽子陽子衝突型加速器である。新粒子の探索や、ヒッグス粒子やトップクォーク等の質量が大きい粒子を多く生成できるので、結合定数などの精密測定も行うことができる。LHC には、陽子・陽子衝突点を 4 点設けていて、各衝突点に、衝突に伴う生成粒子の観測を目的として、大型の検出器 (ATLAS, ALICE, CMS, LHCb) が配置されている。2015-2018 年にかけて陽子ビームのエネルギーが 6.5 TeV、重心系衝突エネルギーでは 13 TeV、瞬間ルミノシティは $2 \times 10^{34} \text{ cm}^{-2} \text{s}^{-1}$ で物理実験が行われている。図 1.1 に LHC 加速器の全体図を示す。LHC では、陽子はバンチという塊で連なりビームを形成し、25 ns に 1 回、すなわち 40 MHz でバンチ同士の衝突が行われている。

1.2 ATLAS 実験

LHC 加速器で行われている実験の 1 つに ATLAS 実験がある。ATLAS 実験は LHC の 4 つの衝突点の 1 つに設置された ATLAS 検出器を用いて陽子陽子衝突から TeV スケールまでの高エネルギー物理事象を探査する実験である。2012 年には、LHC 実験の 1 つである CMS 実験と共にヒッグス粒子を発見し、標準理論の完成の大きな役割を担った。世界最高エネルギーの LHC を使ったヒッグス粒子やトップクォークといった重い粒子の精密測定は ATLAS 実験の重要な目的の 1 つである。他にも超対称性粒子などの新粒子を発見することが特に大きな目的となっている。現状の主要な成果としては、2013 年 3 月に CMS との結果と合わせて結論づけられたヒッグス粒子の発見が大きい。

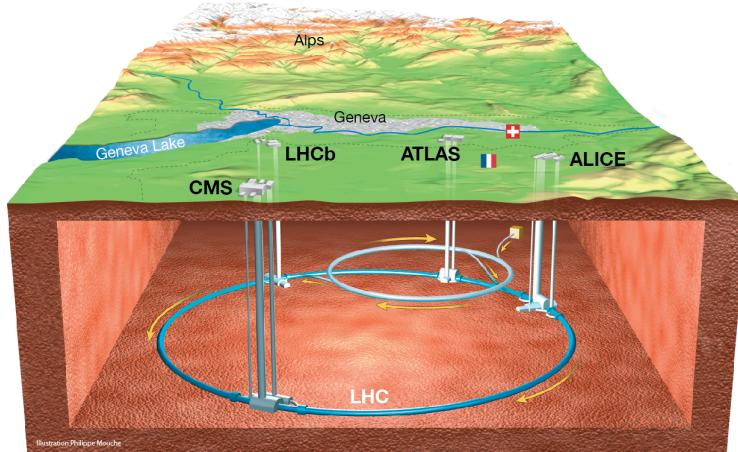


図 1.1: LHC 加速器全体図器 [1]

1.3 ATLAS 検出器

ATLAS 検出器の全体図を図 1.2 に示す。ATLAS 検出器は直径 25 m, 長さ 44 m の円筒形で、陽子同士の衝突点から生じる粒子を検出できる構造になっている。また、多数の検出器の複合体であり、内側から層状に、内部飛跡検出器、電磁カロリメータ、ハドロンカロリメータ、ミューオン検出器の順に配置されている。これらの複数の検出器を組み合わせることにより、粒子の追跡と識別をすることが可能になる。

ATLAS 実験では、衝突点を原点として、ビーム軸方向に z 軸、鉛直上向き方向に y 軸をとり、LHC 中心方向を x 軸としている。また、円筒座標系として動径方向を R , z 軸の正方向となす角を θ , 方位角 ϕ としている。 θ 方向については、式 1.1 で示された擬ラピディティ η を用いて表すことが多い。

$$\eta = -\log \left(\tan \frac{\theta}{2} \right) \quad (1.1)$$

ATLAS 検出器では、円筒形の側面部と底面部で検出器の種類、配置が異なるため、 $|\eta| = 1$ で 2 つの領域に分けられ、 $|\eta| < 1$ の側面部分をバレル部、 $|\eta| > 1$ の底面部分をエンドキャップ部と呼ぶ。

ATLAS 検出器を構成する検出器の概要は以下のようになっている。

- 内部飛跡検出器
衝突点に一番近い最内層に位置する検出器、荷電粒子の飛跡を再構成して、運動量や粒子の崩壊点を測定。内側からピクセル検出器・ストリップ検出器・遷移輻射検出器で構成される。
- 電磁カロリメータ
入射した電子や γ 線のエネルギーおよび位置を測定。
- ハドロンカロリメータ
陽子や π 中間子などのハドロンのエネルギーを測定。
- ミューオン検出器
最外層に位置する検出器。ミューオンは透過率が高いため、最外層まで到達可能である。飛跡

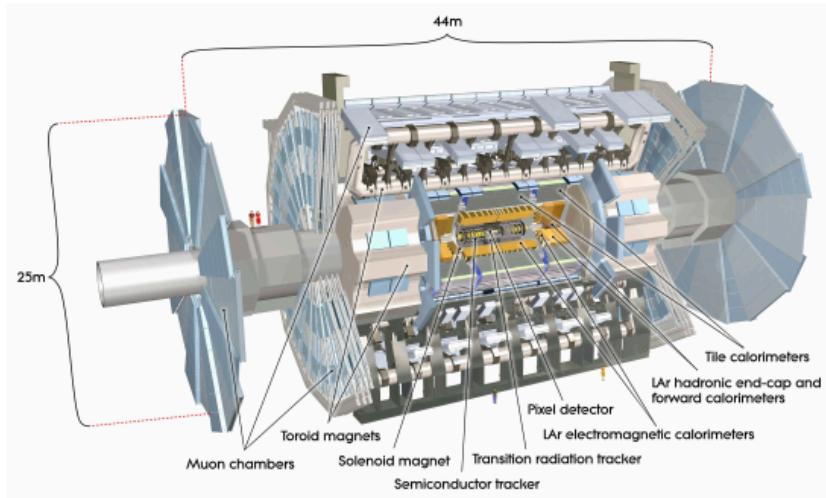


図 1.2: ATLAS 検出器全体図器 [1]

精密測定用の Monitored Drift Tube(MDT), Cathode Strip Chamber(CSC), トリガ用の Resistive Plate Chamber(RPC), Thin Gap Chamber(TGC) の 4 種から構成される。

1.3.1 トリガシステム

ATLAS 実験では 40 MHz の頻度でバンチ衝突が起こるが, データ記録速度限界により, 平均 1 kHz の頻度でしかデータを保存することができない. よって, ATLAS 実験では 2 段階に分けたトリガシステムを導入することで興味のある事象を選び出して保存している.

Level-1 トリガ

初段のトリガを Level-1 トリガと呼ぶ. L1 トリガでは, ATLAS から送られてくる 40 MHz のイベントを $2.5 \mu\text{s}$ 以内に 100 kHz まで削減することが求められており, そのために高速処理が可能なハードウェアを用いて実行されている.

図 1.3 にトリガの流れを示す. L1 トリガは電磁カロリメータとハドロンカロリメータの情報を用いて発行される L1Calo, ミューオン検出器の情報を用いて発行される L1Muon, それらを組み合わせた L1Topo の 3 種類で構成される.

L1Muon はミューオン検出器のトリガ用検出器の情報を用いてトリガ判定を行う. エンドキャップ領域とバレル領域でそれぞれ独立にトリガ判定を行い, それらのトリガ情報は Muon to CTP Interface(MuCTPi) に送られ, 結合される. L1Calo と L1Muon は Central Trigger Processor(CTP) に送られると同時に Topology Processor(L1Topo) に送られる. L1Topo では L1Calo, L1Muon の情報を元に複合的なトリガを発行する. L1Topo も L1Calo, L1Muon と同じく CTP に送られ, 100 kHz に収まるように変換されたのち, L1 トリガが発行される.

High Level Trigger

2 段目のトリガである High Level Trigger(HLT) では L1 トリガを通過してイベントに対してソフトウェアを用いた高精度なトリガを発行する. 内部飛跡検出器の情報を用いて荷電粒子の飛跡を再

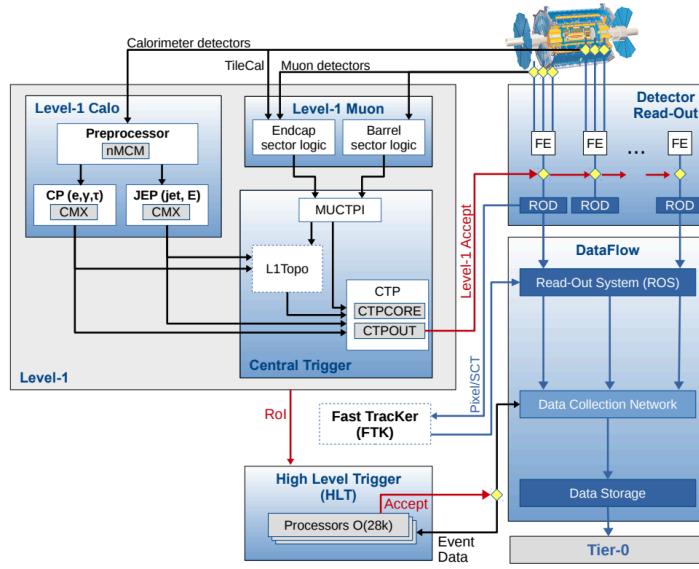


図 1.3: ATLAS 検出器のトリガの流れ [2]

構成し, ATLAS 検出器内の全ての情報を用いることでトリガレートの削減を行う. HLT は衝突から約 1 秒以内にイベントレートを 1 kHz まで削減し, データを保存する.

1.3.2 現行の内部飛跡検出器

現行の内部飛跡検出器は, 半径 1.15 m, 長さ 7 m の円筒形で, 荷電粒子の飛跡を検出する. 内側から Insertable B-Layer(IBL), Pixel 検出器, Semiconductor Tracker(SCT) と Transition Radiation Tracker(TRT) からなり, 荷電粒子の飛跡を検出する, 内部飛跡検出器の構造を図 1.4a に示す.

内部飛跡検出器は, 衝突点で発生した荷電粒子の飛跡を検出する. それぞれの検出器からの情報を元に飛跡を再構成することによって, 陽子陽子の衝突点や二次生成粒子の崩壊点の位置を測定することができる. また, 外部にはソレノイド磁石があり, 内部飛跡検出器全体が最大 2 T の磁場の中に配置されている. この磁場によって, 荷電粒子の飛跡が曲がることから粒子の運動量を測定できる.

Pixel 検出器

ピクセル検出器は内部飛跡検出器の最内層に位置し, バレル部 3 層, エンドキャップ部は片側 3 枚のディスクからなり, それぞれに合計約 1500 個, 約 700 個の半導体検出器モジュールが配置されている. 半導体検出器の仕組みについては第 2 章にて述べる. 微小な読み出しチャンネルを 2 次元格子状に多数並べた作りをしているため, ピクセル検出器と呼ばれている. 読み出しチャンネル毎のセンササイズが小さいため, 位置分解能が高く, 粒子密度の高い最内層でも粒子の飛跡の再構成の性能を維持する. 2014 年にバレル部最内層でとなる, Insertable B-Layer(IBL) が導入された.

IBL 以外のピクセル検出器はピクセルサイズが $50 \times 400 \mu\text{m}^2$ の読み出し ASIC · FE-I3 を使用しており, IBL は, ピクセルサイズが $50 \times 250 \mu\text{m}^2$ で, FE-I3 と比較して放射線耐性とデータ処理速度に優れている, FE-I4 と呼ばれる読み出し ASIC が使用されている.

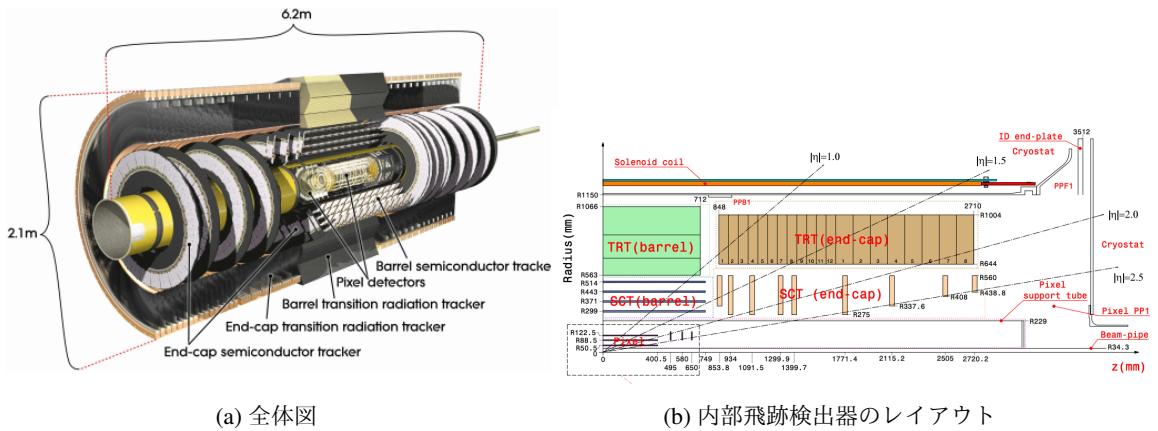


図 1.4: 内部飛跡検出器 [1]

Strip 検出器

SCT は、細長い短冊状の読み出しチャンネルを 1 次元方向に多数並べたストリップタイプの半導体検出器である、ストリップ間隔は $80 \mu\text{m}$ 、長さは 128 mm である。2枚のシリコンセンサを互いに 40 mrad の角度をつけて重ねて配置し、二次元位置情報を得る。SCT の読み出しチャンネルの総数は、約 630 万である。

TRT

半径 24 mm の円筒に Ar と Xe ガスを充填したガス検出器であり、荷電粒子の通過によって電離された電子を中心に配置されたワイヤ電極で収集する仕組みになっている。超相対論的粒子に対しては遷移輻射が起こるようになっているため、電子との識別が可能となっている。

1.4 HL-LHC 計画

本節では、HL-LHC 計画の概要とそれに伴う ATLAS 検出器のアップグレード項目について述べる。

1.4.1 概要

High Luminosity-LHC(HL-LHC) 計画とは、LHC のルミノシティを向上させる計画である。これによって、統計量が増えるため、超対称性などの様々な模型が予想する新粒子への感度の向上、重い粒子の探索が可能になる。

HL-LHC 計画に向けて、図 1.5 のようにエネルギー・ルミノシティの段階的なアップグレードが行われてきた。LHC は 2010 年に重心系エネルギー 7 TeV にて稼働を開始し、2010 年から 2013 年までのデータ取得期間を Run1 と呼ぶ。Run1 が終わってから Run2 が始まるまでの期間を Long Shutdown1 (LS1) と呼び、Run2 に受けた Phase0 アップグレードが行われた。Run2 は 2015 年に重心系エネルギー 13 TeV で開始され、2018 年に終了した。その後 Phase1 アップグレードを LS2 期間に行い、2021 年から 2023 年まで重心系エネルギー 14 TeV での Run3 が行われる予定となっている。そ

して、2024年から始まるLS3期間にさらなるアップグレードが行われ、2026年からHL-LHCとして稼働を開始する計画となっている。

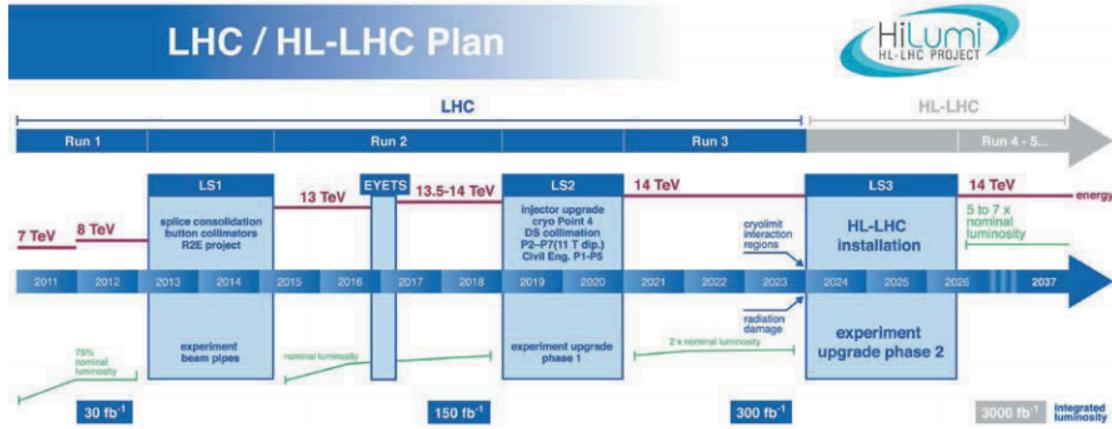


図 1.5: HL-LHC 計画 [3]

1.4.2 HL-LHC に伴う ATLAS 検出器のアップグレード

HL-LHC 計画に伴い、ATLAS 検出器もアップグレードが行われる。HL-LHC を達成するために、陽子の衝突点近傍に設置する超伝導磁石や荷電粒子の飛跡を測定する内部飛跡検出器、ミューオントリガ用の電子回路の開発・製造が行われる。ATLAS 検出器のアップグレードは3段階に分けて行われる。

- **Phase0 アップグレード**
2014-2017 年の LS1 期間中に行われたアップグレード
内部飛跡検出器の最内層のピクセル検出器である Insertable B-Layer(IBL) が導入された
- **Phase1 アップグレード**
2019-2021 年の LS2 期間に行われるアップグレード
TGC の最内層が取り替えられ、MDT, RPC でになっていた部分に新たな Chamber · New Small Wheel が加えられる。また、LAr トリガ回路の刷新が行われる。
- **Phase2 アップグレード**
2023-2026 年の LS3 期間に行われるアップグレード
内部飛跡検出器の総入れ替えが行われる。

1.4.3 内部飛跡検出器のアップグレード

以降、本論文に関わる内部飛跡検出器のアップグレードについて述べる。HL-LHCに向けて、内部飛跡検出器は Inner Tracker(ITk) と呼ばれるシリコン検出器に置き換えられる。粒子密度の増加に対応できないために TRT 層は廃止され、内側にピクセル、それを覆うようにストリップ検出器が配置される。ピクセル検出器はバレル部とエンドキャップ部に 5 層、ストリップ検出器はバレル部に 4 層、エンドキャップ部に 6 層配置される予定である。図 1.6 に ITk のレイアウトを示す

現行の ATLAS 内部飛跡検出器は、重心系衝突エネルギー 14TeV、瞬間ルミノシティ $1 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ (現在の 3 倍)を想定した設計になっているが、HL-LHC ではビーム衝突あたりの非弾性陽子・陽子衝突

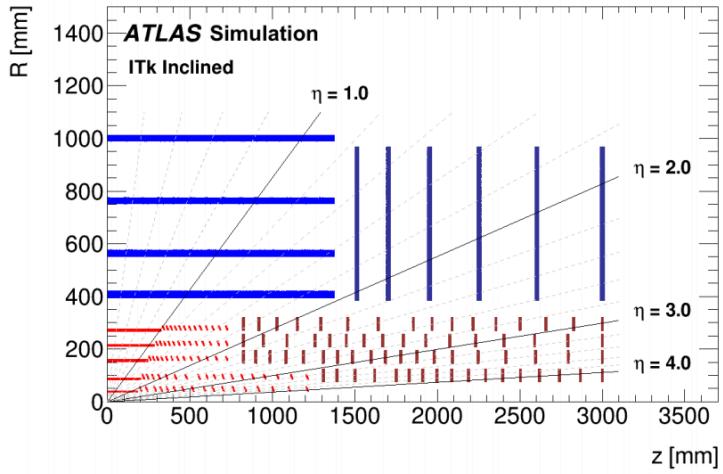


図 1.6: Inner Tracker レイアウト [4]

の数が現在の約 7.5 倍に増加する。

この際の問題が 2 点存在する。1 点目は、衝突あたりの生成粒子增加による放射線損傷である。ITk で想定される放射線量について、積分ルミノシティが 3000 fb^{-1} 、重心系エネルギー $\sqrt{s} = 14 \text{ TeV}$ を仮定したシミュレーションを行なった結果を図 1.7 に示す。ここで、線量は 1 MeV の中性子に換算した、単位面積あたりの線量として表現している。最内層の放射線量は安全係数を含めて $1.4 \times 10^{16} \text{ MeV} n_{\text{eq}} / \text{cm}^2$ と見積もられている。検出器はこのような高い放射線に晒されることで、損傷を受けると検出効率が低下する。よって、より高い放射線耐性をもつ検出器が要求される。

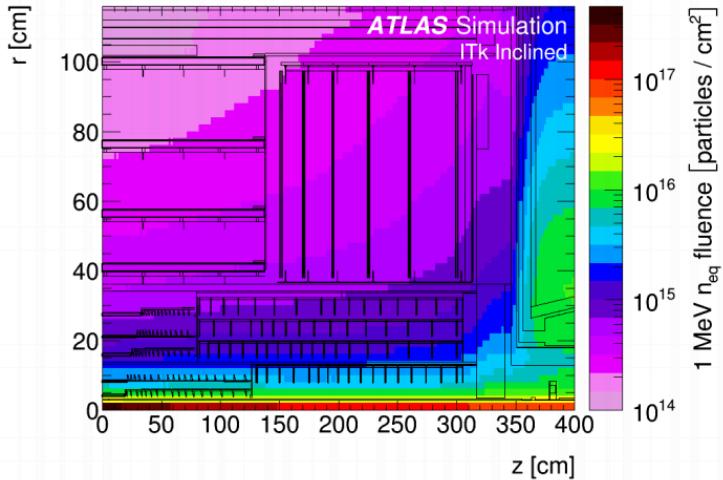


図 1.7: ITk で想定される放射線量の様子 [5]

2 点目は、検出器のヒット占有率の増加である。ヒット占有率とは、衝突イベントごとに 1 検出器あたり、全チャンネルのうちヒット判定されたチャンネル数である。HL-LHC では、衝突ごとに発生する粒子数が約 7.5 倍程度増加するため、現状の検出器のままでは、ヒットチャンネルで埋まり、パターン認識を用いた飛跡再構成の性能が低下する。HL-LHC の環境下で飛跡再構成の性能を

維持したまま運転を続けるためには、より微細に位置検出が可能な検出器が必要となる。次の項目にて、これらの問題対策のためにピクセル検出器に求められるアップグレードを説明する。

Pixel 検出器のアップグレード

HL-LHC における高い放射線環境とヒット占有率の増加に対応するため、Pixel はより放射線耐性の高いもの、よりピクセルサイズが小さいものへの変更が要求される。飛跡再構成の性能を維持するために、衝突ごとに発生する粒子の密度が 5 倍程度増加することに合わせ、ピクセルのサイズを現行の Pixel の 1/5 まで小さくし、チャンネル数を 5 倍に増やしたセンサを配置する。それにあわせて、ピクセル検出器からの信号を読み出すための特定用途向け集積回路 (ASIC) についても現行と比べてより性能が高いものが要求される。現在はその要求を満たす新型 ASIC のプロトタイプ版が完成している。

第 2 章

アップグレードに向けたモジュール開発

前章で述べたように、HL-LHC 計画に伴い、内部飛跡検出器のアップグレードが計画されている。本章では、それに伴う、モジュールの量産について 2.1 節で説明し、ピクセルモジュールを構成する要素であるシリコンセンサの原理を 2.2 節、フロントエンド ASIC についてを 2.3 節で述べ、最後に 2.4 節でモジュールの量産について必要な試験項目について説明する。

2.1 モジュールの構成

HL-LHC 計画にあたって、内部飛跡検出器の総入れ替えを予定しているため、内部に用いるピクセルモジュールの量産が必要である。ここでは、Flex 基板、フロントエンド ASIC、シリコンピクセルセンサの 3 要素で構成された検出器をモジュールと呼ぶ。世界で約 10000 個のモジュールの量産が計画されており、日本グループはそのうちの約 2000 個を担当する予定になっている。

現在は、実機で用いるモジュールを量産するための準備として、プロトタイプ版の ASIC が 4Chip 搭載されたモジュールで量産体制の準備が計画されている。プロトタイプ版の Quad Chip モジュールは 2020 年 2 月ごろに完成が予定されている。

図 2.1 にピクセル検出器の概念図を示す。センサと ASIC はバンプボンディングと呼ばれる手法で接合され、センサからのアナログ信号が ASIC によって処理される。また、ASIC と Flex 基板はワイヤボンディングと呼ばれる手法で接続されており、ASIC で読み出された信号が Flex 基板を通して伝達される仕組みになっている。

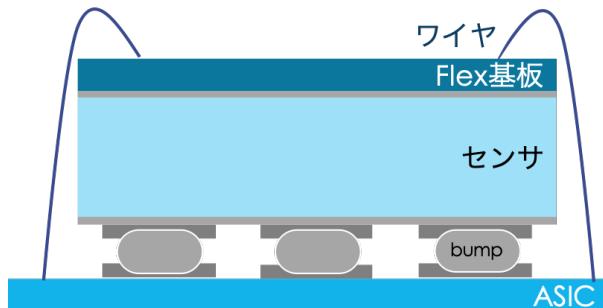


図 2.1: ピクセル検出器の概念図

2.2 シリコンピクセルセンサ

この節では、ピクセル検出器を構成する要素の1つであるシリコンピクセルセンサについて説明する。

2.2.1 シリコンピクセルセンサの原理

シリコンセンサの動作原理は半導体に従う。この節では、半導体の基本原理と性質について述べる。

物質は導体、絶縁体、半導体の3種に分類することができる。これは、電気抵抗値によって決まっており、半導体は導体と絶縁体の中間の値をもつ。一般に室温で、 10^{-2} から $10^9 \Omega\text{cm}$ の範囲に分類される。典型的な半導体物質にはシリコン、ゲルマニウム、ガリウムヒ素などがあげられる。

ドナーとアクセプタ

半導体に不純物をドープすると、不純物準位が生じる。図2.2aはSi原子が5個の価電子を有するAsに置換された状況を模式的に示した図である。As原子は隣接する4個のSi原子と共に結合を形成し、残った電子はAs原子と弱く結合することで、適度な温度でイオン化されて伝導電子になる。この時のAs原子をドナーと呼ぶ。Siは負電荷を持ったキャリアの負荷によりn型の半導体となる。同様に図2.2bは3個の価電子をもつBがSiに置換した場合を示す。4個の共有結合がBの周囲にできるため、電子が1個取り込まれ、価電子帯に正に帯電した正孔が生じる。これがp型の半導体であり、Bはアクセプタと呼ばれる。

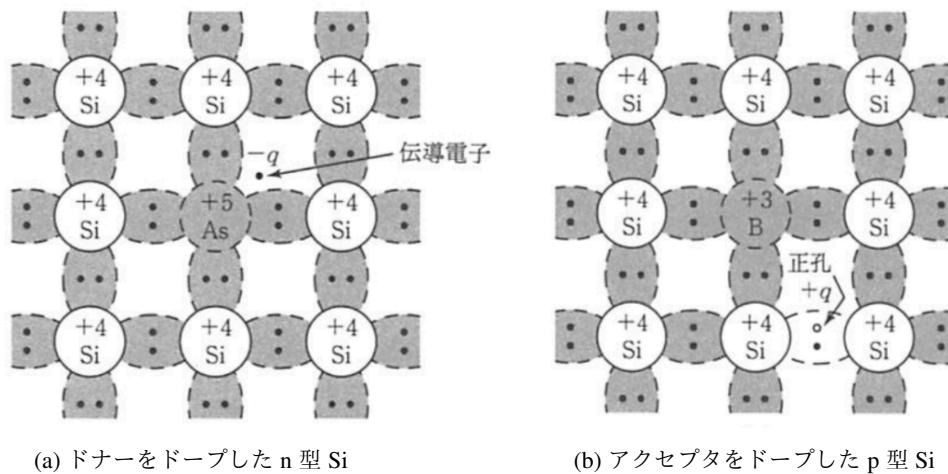


図2.2: ドープした半導体 [6]

pn接合と空乏化

p型とn型の半導体が結合されると、接合部における大きなキャリア密度の勾配によってキャリアの拡散が起こる。p側からn側に向けて正孔が、n側からp側に向けて電子が拡散する。正孔がp側から拡散すると、結晶格子に固定されている負のアクセプタイオンが中和されずに接合近傍に残る。同様に、電子がn側から移動すると正のドナーアイオンが接合近傍に残る。その結果、接合のp側

には負の空間電荷が、n 側には正の空間電荷が形成される。この空間電荷によって、電解が発生し、その向きは図 2.3 のように正電荷側から負電荷側に向いている。

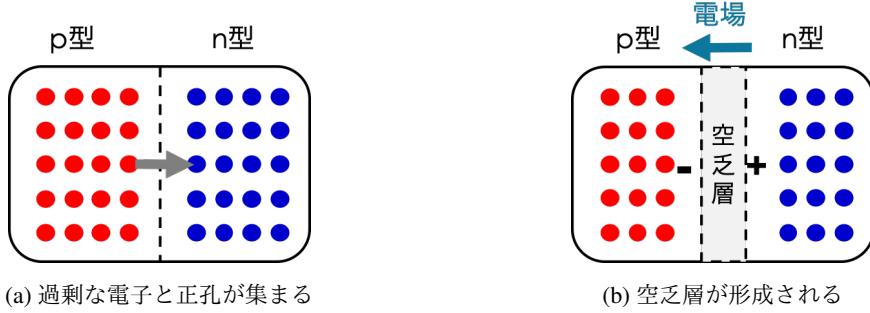


図 2.3: pn 接合半導体の空乏層概念図

中性領域から接合部に近づくと、狭い遷移領域を経た上で、キャリアが存在しない領域が存在する。この領域を空乏層と呼ぶ。この空乏層の両端に生じる電位差は内部電位 V_{bi} と呼ばれ、アクセプタ濃度 N_A 、ドナー濃度 N_D 、不純物を含まない真性キャリア濃度 n_i を用いて、式 2.1 のように表される。

$$V_{bi} = \frac{kT}{q} \ln \left(\frac{N_A N_D}{n_i^2} \right) \quad (2.1)$$

空乏層幅は、静電ポテンシャルを示したポアソン方程式 5.4 を解くことで、式 2.3 のような内部電位の関数にて表される。 ϵ_s はシリコンの誘電率である。

$$\frac{d^2\Psi}{dx^2} \equiv -\frac{dE}{dx} = -\frac{q}{\epsilon_s} (N_D - N_A + p - n) \quad (2.2)$$

$$W = \sqrt{\frac{2\epsilon_s}{q} \left(\frac{N_A + N_D}{N_A N_D} \right) V_{bi}} \quad (2.3)$$

シリコンセンサはドープ量の少ない半導体にドープ量の多い半導体をインプランツしている ($N_A \gg N_D$) ので、p 側の空乏層幅は n 側と比較して十分小さくなる。よって、式 2.4 のように簡単に表すことができる。

$$W \sim \sqrt{\frac{2\epsilon_s V_{bi}}{q N_D}} \quad (2.4)$$

荷電粒子の検出

荷電粒子が物質中の電子との衝突によって失うエネルギーは、Bethe-Bloch の式 2.5 で表される。

$$-\frac{dE}{dx} = K z^2 \rho \frac{Z}{A} \frac{1}{\beta^2} \left[\ln \left(\frac{2m_e c^2 \beta^2 \gamma^2 W_{max}}{I^2} \right) - \beta^2 - \frac{\delta(\gamma)}{2} \right] \quad (2.5)$$

ここで、

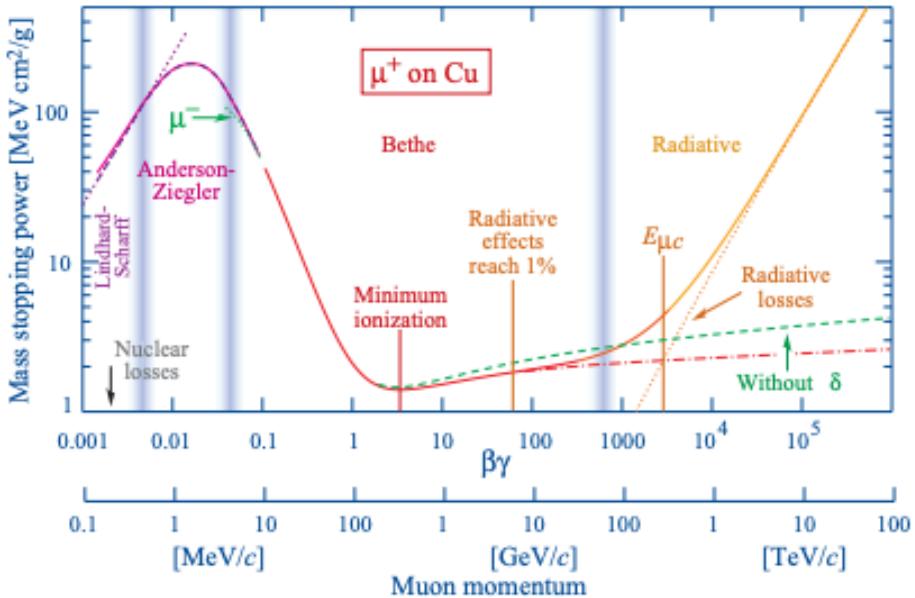
$$K = 4\pi N_A r_e^2 m_e c^2$$

$$\beta = v/c$$

$$\gamma = 1/\sqrt{1 - \beta^2}$$

表 2.1: Bethe-Bloch の式の変数

N_A	アボガドロ定数 ($6.022 \times 10^{23}/\text{mol}$)
r_e	古典電子半径 ($2.817 \times 10^{-13}\text{cm}$)
$m_e c - 2$	電子の静止エネルギー (0.511MeV)
z	入射粒子の電荷
Z	物質の原子番号
A	物質の原子量
ρ	物質の密度
W_{max}	入射粒子が 1 回の衝突で物質に与えられる最大のエネルギー
I	物質の平均イオン化ポテンシャル
v	入射粒子の速さ
γ	誘電遮蔽に関する補正項

図 2.4: 銅中を反ミュー α ンが通過する時の運動量とエネルギー損失の関係 [7]

入射した荷電粒子は物質中を通過する際に、物質の電子と相互作用することで、イオン化・励起し、電荷を生成する。この電荷をセンサが収集することで、通過した荷電粒子のエネルギー損失を知ることができる仕組みになっている。図 2.4 に、銅中を反ミュー α ンが通過する時の運動量とエネルギー損失の関係を示す。 $0.1 < \beta\gamma < 1000$ の領域が Bethe-Bloch の式で表される領域であり、 $\beta\gamma \sim 3$ 付近で $-dE/dx$ は最小となる。このような粒子を Minimum Ionization Particle(MIP) と呼ぶ。ここで、1MIP が $300 \mu\text{m}$ 厚のシリコンセンサを通過した場合を考える。MIP はシリコン中で多数の電子と相互作用し、その時に失うエネルギーの分布は式 2.6、図 2.5 で示すようなランダウ分布になる。

$$f(\lambda) = \frac{1}{\pi} \int_0^\infty \exp[-t(\ln t + \lambda)] \sin(\pi t) dt \quad (2.6)$$

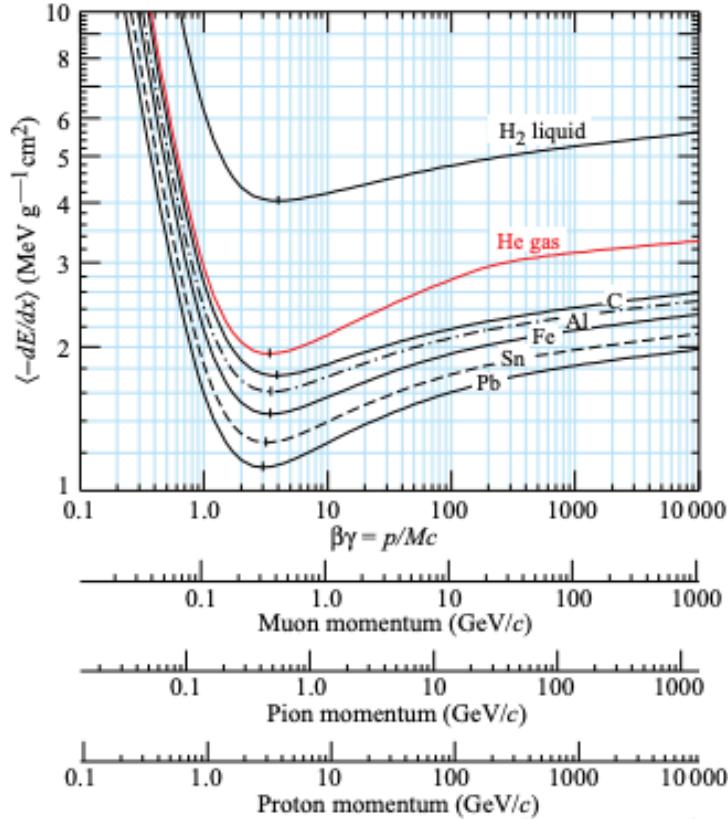


図 2.5: 液体水素、気体ヘリウム、炭素、アルミニウム、鉄、スズ、鉛中の平均エネルギー損失率 [7]

今回の場合の最頻値は、平均値の約 0.7 倍、シリコン中の MIP のエネルギー損失の平均は、 $1.664 \text{ MeVcm}^2/\text{g}$ 、シリコンの密度は 2.329 g/cm^3 である。したがって、1MIP が損失するエネルギーは式 2.7 のように表せる。

$$\begin{aligned} E &= 1.664 \times 3 \times 10^{-2} \times 2.329 \times 0.7 \\ &= 8.14 \times 10^4 \text{ eV} \end{aligned} \quad (2.7)$$

また、シリコンの場合電子-正孔対生成に必要なエネルギーは 3.6 eV [6] であるから、生成され電子-正孔対の数は式 2.8 のようになる。

$$E / 3.6 \text{ eV} = 22500 \quad (2.8)$$

2.2.2 バイアス構造

シリコンピクセルセンサには、製造時に良品不良品を選別するための高電圧用のバイアス構造が備わっている。

このバイアス構造があるために、図 2.6 のように、センサのノイズが増加することが知られている。その一方で、バイアス構造はセンサ単体の品質保証のためにこの構造は不可欠である。センサ評価方法として、IV 測定が存在する。IV 測定には全てのピクセルが GND に落とされている必要があり、また、各ピクセルが分離されている必要がある。そのための構造がバイアスレールと PolySi

抵抗である。ピクセル間にバイアスレールをおき、そこから各 PolySi 抵抗を引くことで各ピクセルは GND と同電位とすることができ、各ピクセルは抵抗によって分離される。このように、ピクセルセンサ単体の品質保証のために、ノイズ増加という点がありながらも、ピクセルセンサはバイアス構造を持っている。

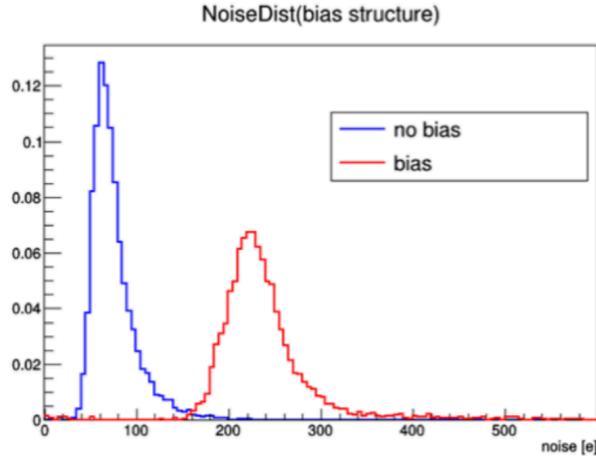


図 2.6: バイアスレールの有無によるノイズ量比較 [8]

2.2.3 今回使用したシリコンピクセルセンサ構造

HL-LHC のための新型シリコンピクセル検出器では、図 2.7 に示すような n+-in-p 型のプラナピクセルセンサを用いる。本論文でも同様の構造のプラナピクセルセンサを使用した。n+ とは通常の n 型半導体より不純物濃度が高いという意味である。構造は、p 型半導体のバルクに n+ 型半導体のインプラント電極を埋め込んでいる。逆電圧を印加することで p バルクは全空乏化される。

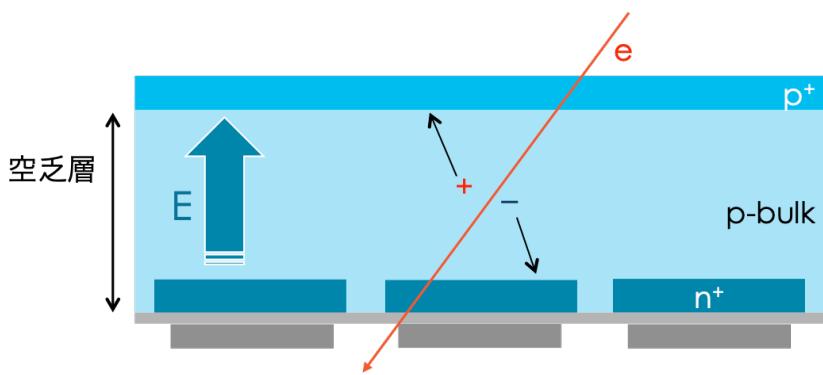


図 2.7: プラナピクセルセンサの構造

次に、センサの表面構造について述べる。図 2.8 は、上から見たセンサの様子である。ピクセルセンサは 2 次元的に電極が配列されており、センサのみのテストのためにバイアスレールが敷かれている。本論文で用いたピクセルセンサは図 2.8 で示すように、row 番号 0-96 はバイアスレールが存在せず、row 番号 96-192 はバイアスレールが存在する構造になっている。



図 2.8: センサの構造. バイアスレールの有無

2.3 HL-LHC ATLAS 実験用新型集積回路 ASIC · RD53A

この節では、モジュールを構成する要素の1つである集積回路(ASIC)について述べる。ピクセル検出器からの信号は、検出器に直接接続された電子回路で最初に処理される。この電気回路をフロントエンドエレクトロニクスと呼ぶ。この回路は、全て専用の信号読み出し用ASIC内に実装されている。そのため、フロントエンドASICと呼ぶこともあるが、以降ではASICと呼ぶ。この回路を用いて検出器からの微弱な電荷を受け取り、計測用のシステムに最適化した応答をするように信号をアンプ回路や波形整形回路などで調整する。さらに、コンピュータでの解析処理や、データの保存のためにアナログ信号をデジタル信号に変換する。

RD53A の主な機能は以下の3点である。

- 各ピクセルの電荷を読み出してデジタル変換を行う
- トリガを受け取るまで、読み出した電荷のピクセル位置、ToT等の情報を保持する
- トリガを受け取り、読み出した電荷の情報を出力する

本論文で用いた ASIC · RD53A は HL-LHC ATLAS 実験用に開発されたプロトタイプ版の新型 ASIC であり、前章で述べたような、高い放射線耐性と、高い位置分解能を達成する。以下に現行の ATLAS 検出器で用いられている ASIC · FEI4 と FEI3、プロトタイプ版新型 ASIC · RD53A の比較を示す。

表 2.2: 現行の ASIC2 種と新型プロトタイプ版 ASIC の比較

ASIC 名	FEI3	FEI4	RD53A
ピクセルサイズ	$50 \times 400 \mu\text{m}^2$	$50 \times 250 \mu\text{m}^2$	$50 \times 50 \mu\text{m}^2$
ピクセルのチャンネル数	18×160	80×336	400×192
チップサイズ	$7.6 \times 10.8 \text{ mm}^2$	$20.2 \times 19.0 \text{ mm}^2$	$20 \times 11.8 \text{ mm}^2$

2.3.1 レジスタ

ASICには、アナログ回路とデジタル回路の振る舞いを調節するために、回路の動作を制御する設定値を保持するレジスタが存在する。RD53Aのレジスタは2種類存在し、全てのピクセルに共通の設定を保存するグローバルレジスタ(GR)と各ピクセルの設定値を保持するピクセルレジスタ(PR)がある。

- グローバルレジスタ

RD53A には 137 個の GR があり、ピクセルに共通が閾値(threshold)，回路のオンオフなどを設定することができる。

- ピクセルレジスタ

Synchronous Frontend には 3 bit，その他の 2 つのフロントエンドには 8 bit のレジスタがある。ピクセルのデジタル回路のオンオフや閾値(threshold)を設定することができる。

2.3.2 RD53A フロントエンドデザイン

RD53A はプロトタイプ版のため，Synchronous Frontend, Linear Frontend, Differential Frontend と，3 つの異なるフロントエンドデザインが存在する。

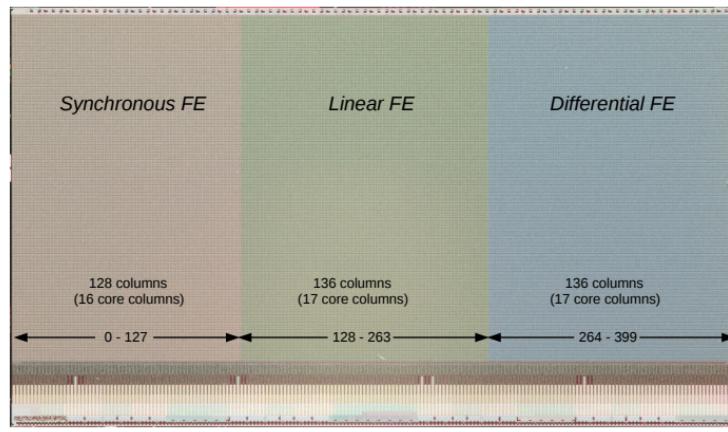


図 2.9: RD53A のフロントエンドデザイン [9]

今回は実機で利用されることが予定されている Differential Frontend(以下：Diff FE)のみを用いて研究を行なったため，それについて詳しく説明する。

Diff FE の仕組み

3 つのフロントエンドで大きく異なるのは，アナログ回路部分の構造である。Diff FE のアナログ回路構造を図 2.10 に示す。

図 2.10 に示したように，Diff FE では，RD53A の GR 値である”DiffVthin1”と”DiffVthin2”で閾値を設定可能である。これらの GR 値は，入力された信号(図 2.10 の信号①)と，それに対して反転增幅を行なった後の信号(図 2.10 の信号②)それぞれに作用するオフセット電圧である。Diff FE はこれらの信号の差動によって，出力信号を定義しているため，オフセットを変化させることで，閾値を調整することができる。また，GR 値である”DiffLccEn”で図中の CfCtrl のスイッチのオンオフを，“DiffLcc”で LCC 回路に印加する電圧を設定することができる。

2.3.3 RD53A のデータ収集の仕組み

図 2.11 に RD53A のデータ収集の仕組みを示す。まず，Hit とされる信号(センサからの信号)は Binary in from FE から，Digital Injection による信号は CAL_edge から入力される。各ピクセルごとに設定されている”Enable”がオンの場合，そのピクセルのデータは図中の Hit Disc. & Counter に入る。

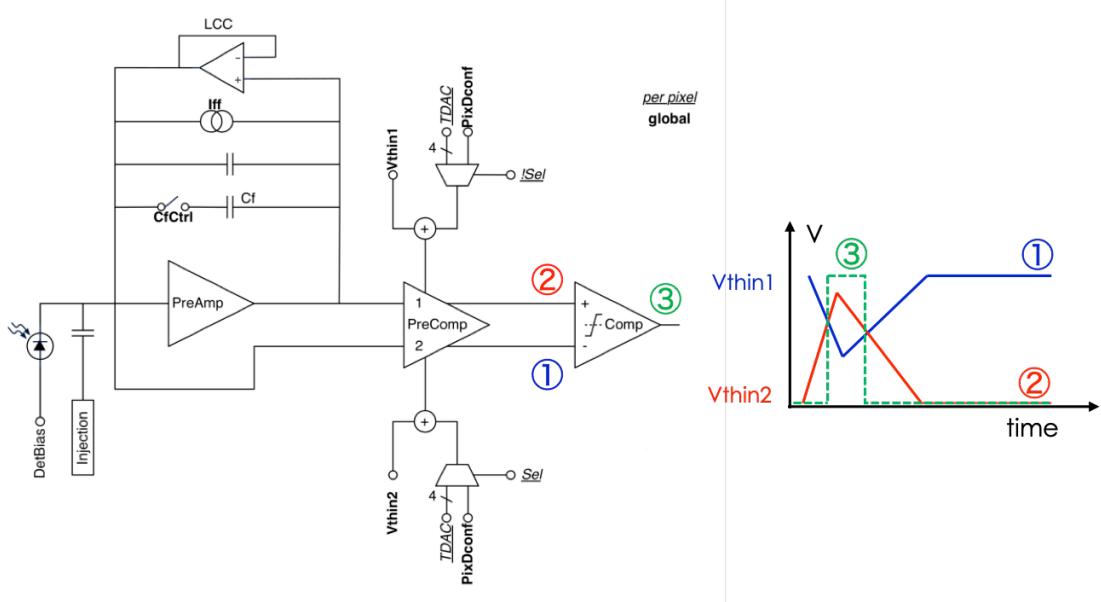


図 2.10: Diff FE のアナログ回路構造 [9]

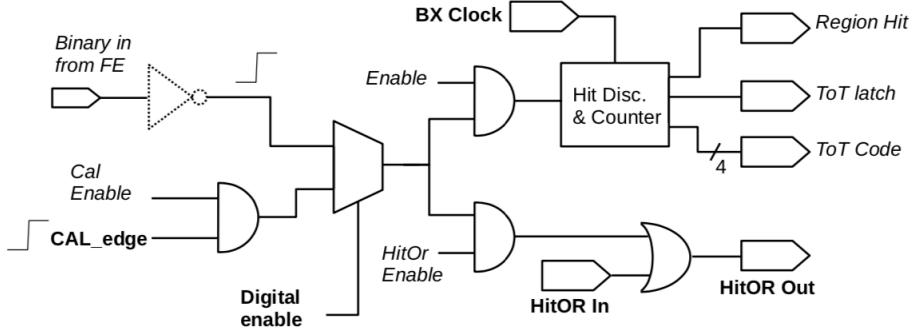


図 2.11: RD53A のデータ収集の仕組み. 全ピクセルに共通する信号が太字, ピクセルごとに記録されている信号が斜体文字になっている. 図中の点線部分は図 2.10 を示す. [9]

ここでは, Hit を検出したピクセルの位置 (Region Hit) と, 40MHz の BX Clock に合わせて数え上げられる ToT 値が保持され, 同時に Latency Timer が起動する. この Latency Timer は Hit 情報に関連づけられ, RD53A がトリガを受け取るまで停止しない. そして, トリガを受け取った時に, プログラムされた定数 Latency 値に達した Latency Timer に関連づけられたヒットの情報を読み出す. ToT と Latency について説明する図を図 2.12 に示す.

Time over Threshold(ToT)

ToT とは, 図 2.12 で示すように, 信号 (Signal) が閾値 (Threshold) を超えている間の時間を指す.

Latency

Latency とは, 図 2.12 で示すように, トリガが入力されてからどれだけ時間を遡ってデータ読み出しを行うかを指定する値をさす.

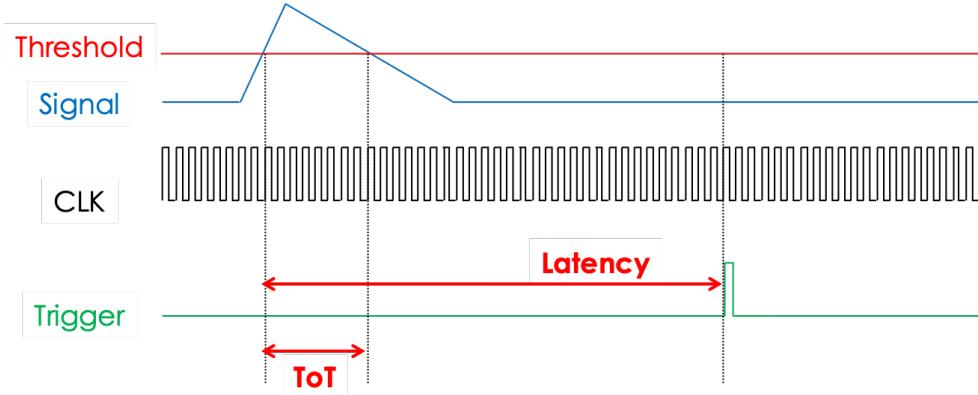


図 2.12: 信号が入力された時の ToT と Latency

2.3.4 HitOR 信号

RD53A には、現行の FEI4 に実装されているセルフトリガ機能がない代わりに、HitOR というセンサに荷電粒子が入射したタイミングで、出力される信号が存在する。HitOR 信号出力する仕組みについて説明する。図 2.11において、各ピクセルで設定されているレジスタ”HitOr Enable”がオンの場合、Hit 信号または擬似パルス信号が入射すると、Hit Disc. & Counter に入るのと同時に図中右下の HitOR Out から信号が出力される。

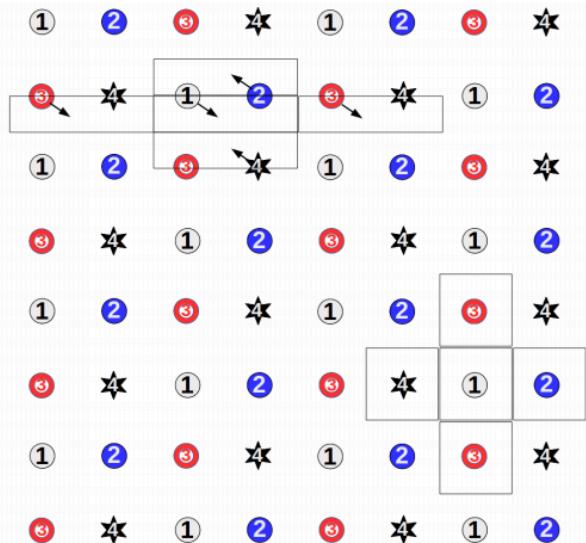


図 2.13: ピクセルの HitOR 信号のグループ分け [9]

RD53A からは最終的に 4 つの HitOR 信号が出力される。図 2.13 は RD53A の一部の 8×8 pixel を示している。RD53A のピクセルは図 2.13 の 4 つのグループに分けられ、同じ番号のグループに属するピクセルから出力される HitOR 信号は、どれか 1 つが真であれば、そのグループの HitOR 信号は真として出力される。最終的に読み出される信号はこの 4 つの HitOR 信号の OR をとって読み出される。

2.4 モジュール量産に向けた品質性能試験

量産されたモジュールは品質性能基準を達成するために、試験にかけられる。その試験項目の1つとして、本論文に関わる、粒子線に対する応答評価試験が存在する。

2.4.1 粒子線に対する応答評価試験の意義

HL-LHC ATLAS 実験に向けたピクセル検出器量産に際して、全ての検出器モジュールに対して、品質管理のための試験を行う。この試験項目の1つとして、粒子線に対する応答評価試験が設けられている。前節でも述べたように、ピクセル検出器の各チャンネルと ASIC はバンプボンディングという手法で接続されている。このバンプボンディングに異常がないかどうかを確認するための試験が、粒子線に対する応答評価試験である。

応答評価試験による品質評価の基準は、全てのピクセルに対して荷電粒子によるヒットが 50 Hits/pixel となることである。[10]

2.4.2 応答評価試験の手法

応答評価試験では、ATLAS のトリガシステムのように、興味ある事象を選んでトリガをかける。この興味のある事象を選んでトリガをかける手法は、2つ存在する。1つは、センサに荷電粒子が入射した時の信号を取得したタイミングでデータ取得を行う、セルフトリガと呼ばれる手法。もう1つは、センサの上にシンチレータ、その上に粒子線源を設置し、シンチレータに粒子線が入射した時の信号を取得したタイミングでデータ取得を行う手法である。

今回はこれら2種類の手法を用いて応答評価試験を行い、どのような試験結果の振る舞いがなされるかの検証を行なった。

2.4.3 本研究の目的

本研究では、シリコンピクセルセンサが接続された HL-LHC ATLAS 実験用新型 ASIC 搭載モジュールを用いて、2種類の手法で行なったの粒子線に対する応答評価試験結果についての比較を行なった。

第 3 章

粒子線に対する応答評価試験のための 読み出しシステムの動作確認

本研究では、粒子線に対する応答評価試験のため、ファームウェアに外部トリガを処理する機能の追加を行なった。この章では、3.1 節で読み出し試験のセットアップ概要、3.2 節で機能を追加したファームウェアが正しく動作しているかの確認について述べる。

3.1 読み出しセットアップ概要

この節では、粒子線に対する応答評価試験のための読み出しセットアップの概要を述べる。図 3.1 に読み出しシステムの概要を示す。主に RD53A 搭載の Single Chip Card(SCC) と FPGA ボード、PC を用いて読み出しシステムを構成している。今回は読み出し ASIC と FPGA ボードは、FMC-miniDisplayport 変換ボードを用いてケーブルにて接続を行い、FPGA 内部で ASIC からのデータ信号の処理を行なった。また、高速通信用インターフェースで PC と FPGA ボードを接続し、データ転送を行なった。

PC およびソフトウェア

PC から PCIe によって接続された FPGA ボードに制御コマンドを送る。また、FPGA ボードからきたデータを整理する。DAQ の基本的なソフトウェアとファームウェアは YARR の DAQ システムを用いた。YARR とは読み出しシステムの構築と性能向上を目指すオープンソースプロジェクトである。

FPGA ボード

Xilinx 社の Kintex-7 FPGA 搭載 KC705 評価ボードを使用した。この FPGA ボードは、研究室規模の実験で使うことを想定していることから、一般的に流通していて入手性がよいため、この FPGA ボードを使用している。また、KC705 は PCIe 通信に対応し、PC と PCIe 間では 5.12 Gbps の通信速度に対応している。今回は YARR のシステムに外部トリガを受信、処理を行う機能を追加し、RD53A の出力する HitOR 信号を用いて、外部トリガを受信できているかを確認した。

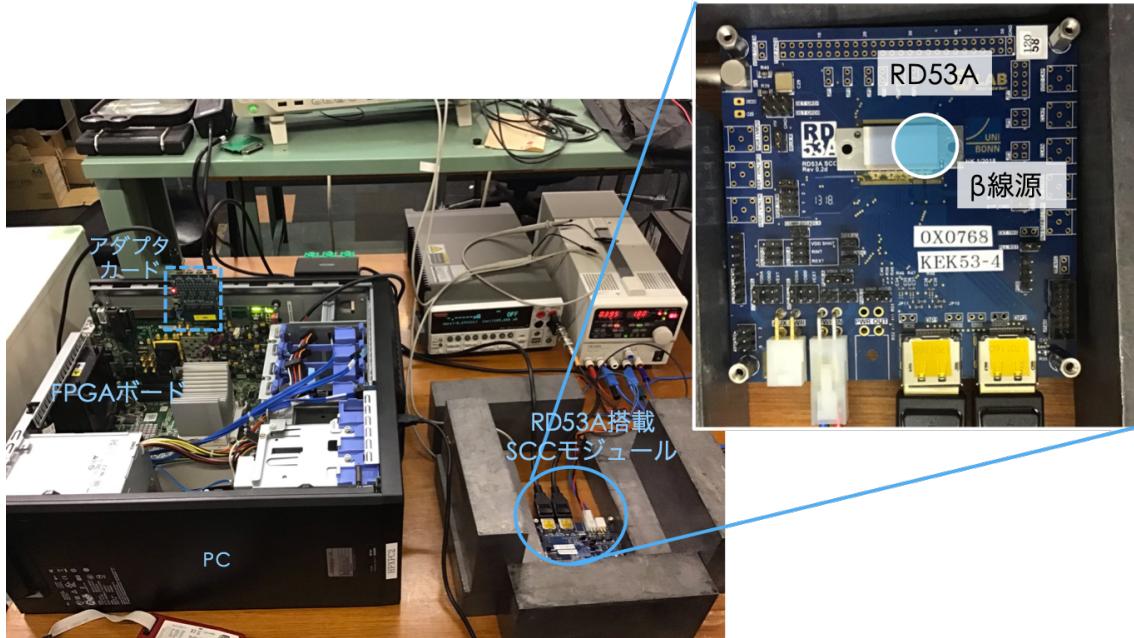


図 3.1: セットアップ

アダプタカード

ASIC は DP-mDP ケーブルから FMC-mDP アダプタカードを通して FPGA ボードの LPC に接続される。

RD53A 搭載 Single Chip Card モジュール

ASIC を 1 チップ搭載した試験用モジュールが Single Chip Card モジュールである。今回試験したのはアップグレード用のプロトタイプ版 ASIC である RD53A 搭載のモジュールである。センサ付きの RD53A が搭載されたモジュールの写真を図 3.3 に示す。RD53A は細い金属ワイヤにより基板上の回路パターンと電気的に接続されている。基板に RD53A が外部と通信するための Displayport コネクタ (図中 : DP1), 電源供給のための Molex コネクタ (図中 : PWR IN), センサに電圧を印加するための LEMO コネクタ (図中 : HV), センサが検出した信号を外部に出力するための DP コネクタ (DP2) が実装されている。

今回電源とセンサに印加した電圧は表 3.1 に示す。

表 3.1: 今回 RD53A とセンサに供給した電圧

	RD53A アナログ回路	RD53A デジタル回路	センサの 逆バイアス
印加電圧 [V]	1.80	1.80	-50

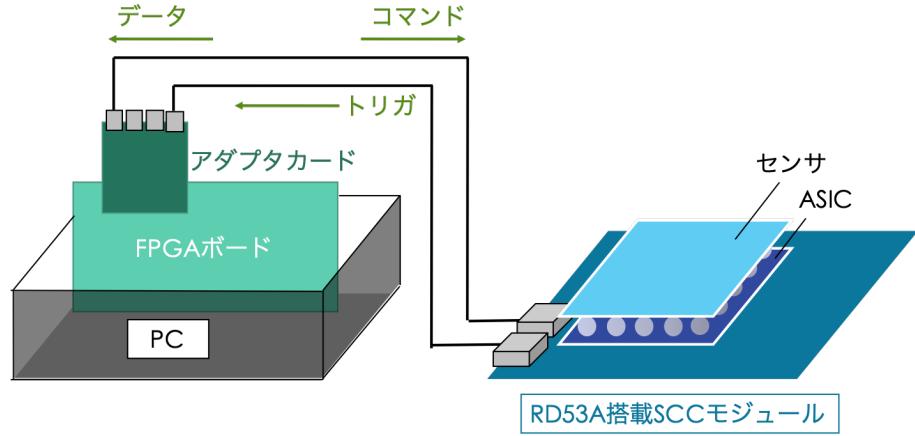


図 3.2: セットアップの配線図

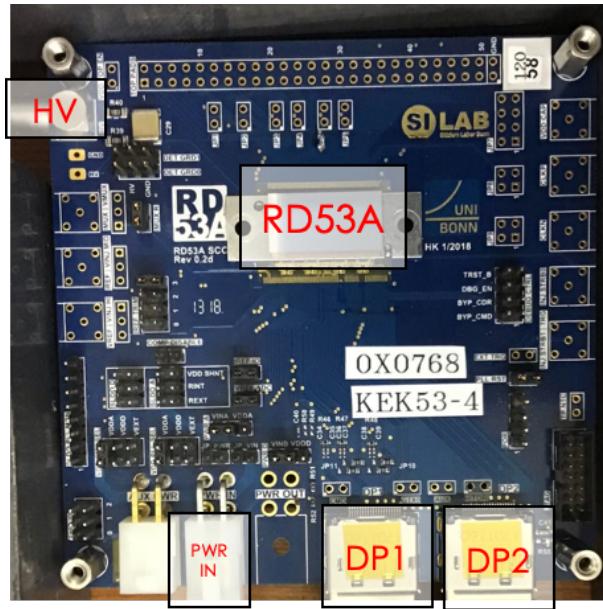


図 3.3: センサ付き RD53A 搭載 Single Chip Card モジュール

3.2 動作確認

ソーススキャンを行うために、既存の KC705 用 YARR フームウェアに外部トリガを処理する機能を追加した。本節では、機能を追加したフームが外部トリガの動作確認について述べる。

3.2.1 デジタルスキャン

全ピクセルのデジタル回路に複数回擬似パルスを注入して、注入した回数のうち何回応答が返ってくるのかを確認する。この作業をデジタルスキャンと呼ぶ。全ピクセルごとの回路の応答を確認し、データの転送線、FPGA 内部の処理、PC への通信の各経路でデータの損失がないことを確認するのに有効である。図 3.4 に 100 回擬似パルスを注入した時の応答数の分布を示す。横軸は ASIC の col 番号、縦軸は ASIC の row 番号を示し、z 軸は各ピクセルの応答数を示している。この図から、100 回擬似パルスを注入した結果、全てのピクセルから 100 回の応答が得られていることがわかる。

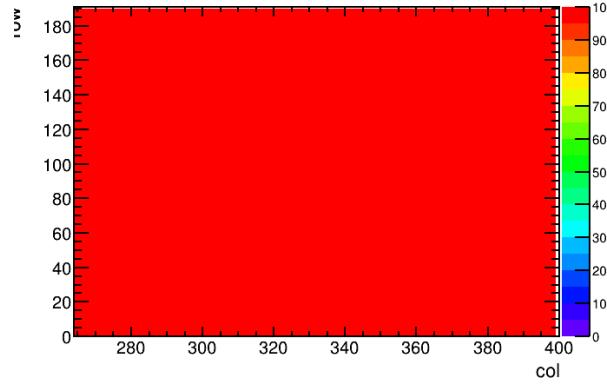


図 3.4: デジタルスキャンの結果

3.2.2 アナログスキャン

アナログ回路に複数回擬似パルスを注入して、注入した回路のうち何回応答が返ってくるのかを確認した。この作業をアナログスキャンと呼ぶ。今回は Diff FE のみを使用するので、その他のフロントエンドは、グローバルレジスタの”EnCoreColSync1/2”, ”EnCoreColEnLin1/2” を全て 0 にすることで非使用に設定した。図 3.5 にアナログ回路に 100 回擬似パルスを注入した時の応答数の分布を示す。横軸は ASIC の col 番号、縦軸は ASIC の row 番号を示し、z 軸は各ピクセルの応答数を示している。この時、図 3.5a のように応答数が 0 である領域が存在した。これは、バイアスレールにより ASIC のプリアンプの Virtual GND による電位差でセンサのポリシリコン抵抗を介して電流が流れている影響だと考えられており、Diff FE アナログ回路の LCC 回路をオンにすることで改善することが知られている。本論文では、グローバルレジスタ値の”DiffLccEn” を 0 から 1 に変更し、”DiffLcc” を 255 にすることで LCC 回路をオンにし、電圧をかけた。LCC 回路をオンにした場合のアナログスキャンの様子を図 3.5b に示す。オフの場合と比較すると、応答数が 0 の領域が減少、改善されているのがわかる。

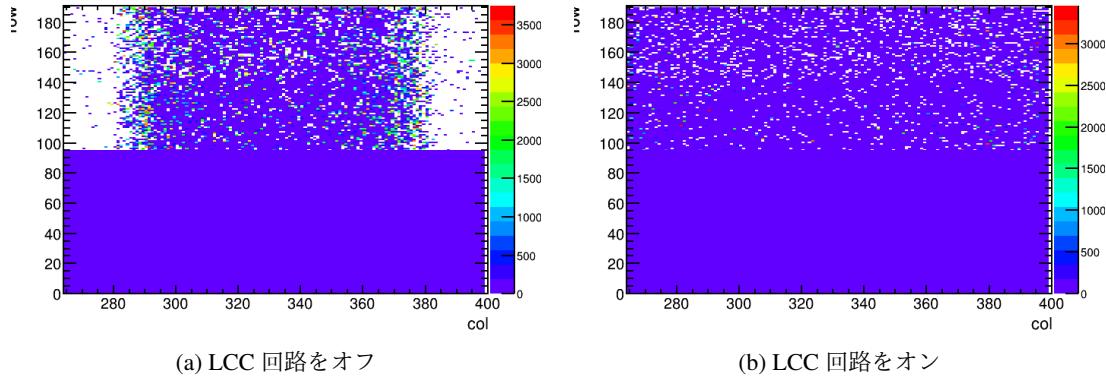


図 3.5: アナログスキャンの結果

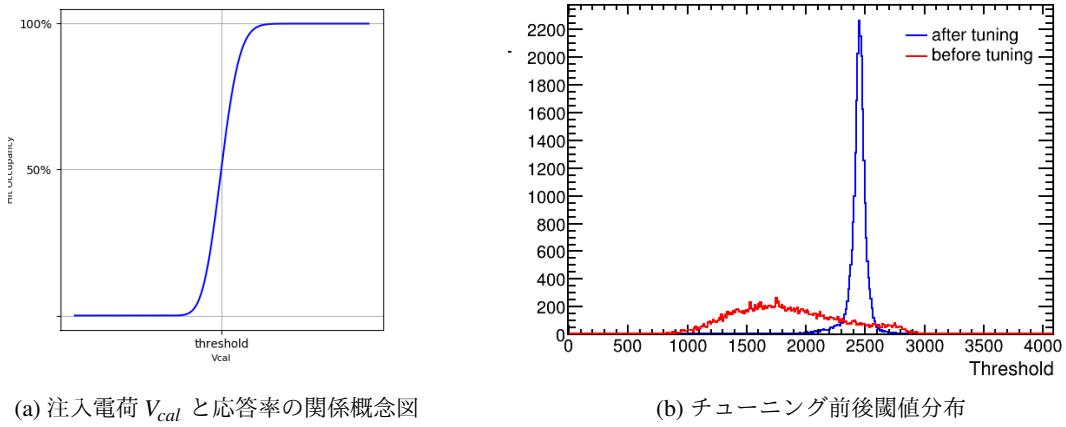


図 3.6: 閾値チューニング

3.2.3 閾値のチューニング

各ピクセルの閾値が目標値になるように各ピクセルの DAC 値を調節する作業を閾値のチューニングという。閾値とは電圧値であり、閾値を合わせるために、応答率が 50 % となる各ピクセルで設定される DAC 値を用いた。

閾値とはピクセルの応答率が 50% となる DAC 値で定義され、閾値が目標値になるように各ピクセルの DAC 値を調節する作業を閾値のチューニングという。信号が閾値を超えたかどうかでヒットと認識するかどうかの判定を行なっているが、信号には正規分布に従うノイズが載るため、信号がヒットとして認識される閾値には幅がある。そのため、注入電荷を変化させながら、各ピクセルに試験電荷を複数回入射したときの応答数の関係は、図 3.6a のような曲線になる。この曲線を S カーブと呼び、これを誤差関数でフィッティングすることで、応答率が 50 % となる閾値を求める。図 3.6a は横軸が注入電荷量、縦軸が応答率を示し、応答率が 50 % となる時が閾値 (threshold) となることを表している。

$$f(Q_{inj}) = \frac{1}{2} \left(1 + \operatorname{erf} \left(\frac{Q_{inj} - Q_{thr}}{\sqrt{2}\sigma} \right) \right) \quad (3.1)$$

$$\operatorname{erf}(x) = 1 - \frac{2}{\sqrt{\pi}} \int_0^x e^{-t^2} dt \quad (3.2)$$

閾値チューニング前の各ピクセルの閾値の分布を図 3.6b に示す。目標値は 2500e と設定した。2500e という閾値は、センサの厚みとノイズ信号の大きさを考慮した値である。今回使用したセンサの厚みは、150 μm であり、式 2.8 の厚み 300 μm の場合のおよそ 1/2 であるため、全て空乏化した場合に発生する信号は 10000 e である。まず、この信号を ASIC が読み出す際に、4 分割されてしまったとしても、検出してほしいために閾値は 2400 e 以下であることが望ましい。また、ノイズ σ の大きさに対して 6-7 σ 離れている必要があるため、バイアスレール有りの場合、 $\sigma = 200\text{e}$ と知られているため、1200 e 以上にすることが望ましい。よって、今回は分布が 1200 e 以上に収まるよう、2500 e を目標値としてチューニングを行なった。

3.2.4 ノイズスキャン

ある任意の周波数でトリガを発行し、その全トリガ数に対するのアナログ回路から何回応答が返ってくるのかを確認する。この作業をノイズスキャンと呼ぶ。ピクセルセンサが粒子線以外の信号に対して反応していないことを確認するために有効である。

この作業によって、粒子線以外の信号に対して反応している部分は非使用に設定される。引き続き Diff FE のみを使用した。周波数は 32bit の設定値で定められていて、その範囲に置いて任意に変更できる。今回は 200 kHz で 5 分間ノイズスキャンを行ない、トリガ数に対して 10^{-6} の確率で応答があったものを非使用にした。以下にノイズスキャンを行う前と行なった後の Occupancy Map と Enable Pixel Map を示す。図 3.7 より、ノイズスキャン前よりも後の方が、ヒットがあったと認識されたピクセルが少ない。また、表 3.2 より、ヒットレートもノイズスキャン後はノイズスキャン前の約 500 分の 1 に減少していることがわかる。また、図 3.8 は赤い部分が今回使用したピクセルであり、非使用になっているピクセルが上半分に集中しているのが見て取れる。今回非使用と判断されたピクセル数は 2245 であり、Diff FE の全ピクセル数の 8.6% にあたる。本研究で用いたモジュールが、バイアスレールの影響の調査も兼ねたプロトタイプ版を使用しているためであり、最終的なモジュールでは、非使用なピクセルは xx % [10] に抑える必要がある。

表 3.2: ノイズスキャン前後のヒットレート

	ノイズスキャン前	ノイズスキャン後
トリガレート Hits/sec	5748.61	10.96

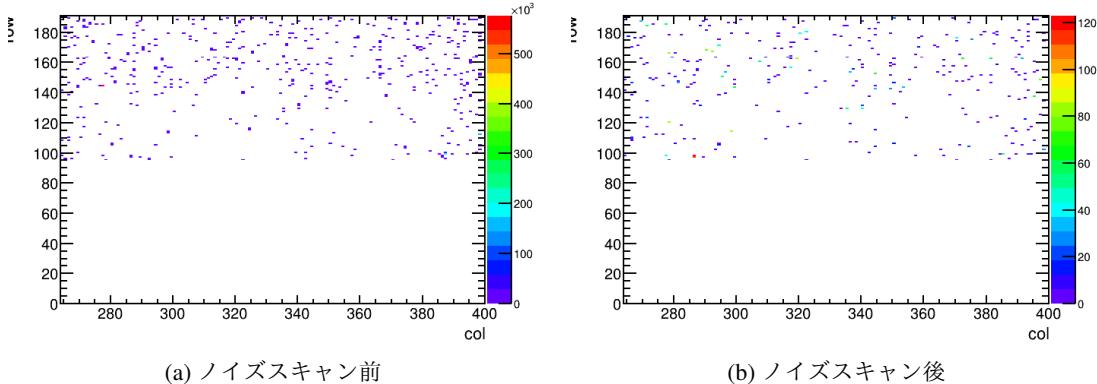


図 3.7: Occupancy Map

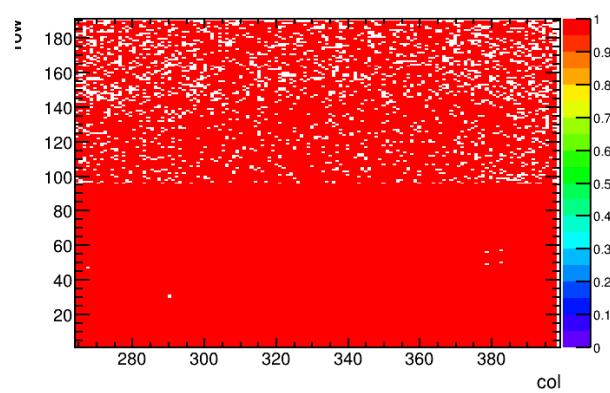


図 3.8: 今回使用したピクセルの分布

第4章

セルフトリガを用いた応答評価試験

この章では、セルフトリガを用いた粒子線に対する応答評価試験について述べる。4.1節で応答評価試験セットアップ、4.2節で粒子線を用いた応答評価試験のために必要だったLatency Scan機能について述べ、その後に、4.3節で手順、4.4節で取得データの結果を示し、4.5節で考察を行なっている。

4.1 セルフトリガを用いた応答試験セットアップ

この節では、セルフトリガによる応答評価試験のセットアップについて述べる。主なセットアップは読み出しシステムの動作確認時の図3.1と変わらず、RD53A搭載のSingle Chip Card(SCC)とFPGAボード、PCを用いて読み出しシステムを構成し、SCCとFPGAボードはアダプタカードを用いてディスプレイポートケーブルによって接続した。その様子を図4.1に示す。センサからの信号を外部に出力するためのコネクタをアダプタカードのport D、FPGAがRD53Aからのデータを受け取るためにコネクタをアダプタカードのport Aに繋ぐようにしている。また、モジュールの上に β 線源を配置した。

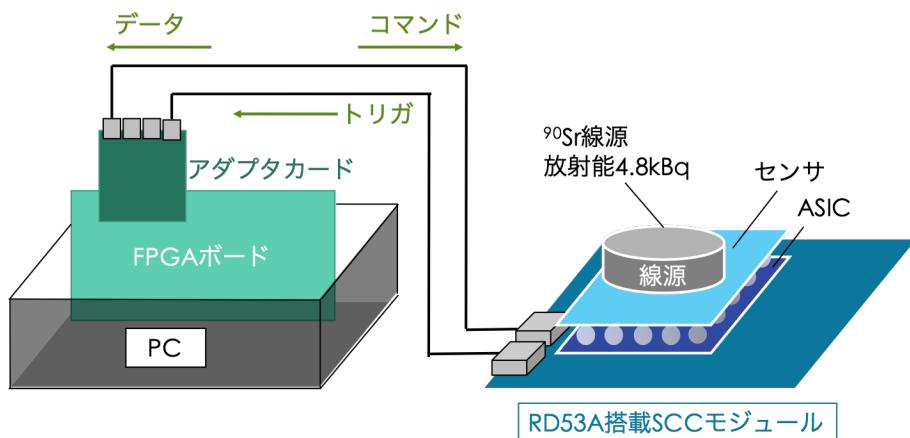


図4.1: セルフトリガを用いた応答評価試験セットアップ配線図

β 線源

今回は粒子線として β 線源である ^{90}Sr を使用した。 ^{90}Sr は中性子過剰であるため、 β 崩壊によって ^{90}Y を生成し、その後さらなる β 崩壊によって ^{90}Zr となる。半減期は 28.79 年であるが、2 段階の β 崩壊が起こるため、 β 線のエネルギーは約 0.545908MeV と高いものになっている。式 4.1 にベータ崩壊の機構を、式 4.2 に Sr の崩壊過程を示す。2 段階で崩壊する時の娘核の放射能は同じになることを考慮し、放射能の計算を行なった。



β 線の今回用いた β 線源は 2017/02/13 時点で $5.00 \times 10^3 \text{Bq}$ のものであった。すなわち現在の放射能 A は式 4.3 で求められる。

$$A = -\lambda N_1 = A_0 \exp\left(-\frac{\ln 2}{T} t\right) \quad (4.3)$$

ここで、

A_0	2017/02/13 時点での放射能 ($5.00 \times 10^3 \text{Bq}$)
T	^{90}Sr の半減期 (28.79 year)
t	2017/02/13 から現在までの時間 (25/12 year)

式 4.3 より、現在の放射能 A は、 $4.76 \times 10^3 \text{Bq}$ と求まる。

4.2 Latency Scan 機能の追加

この節では、粒子線に対する応答評価のために必要だった Latency チューニング機能について述べる。

4.2.1 YARR におけるトリガ DAQ と Latency の意義

Latency Scan 機能を説明する前に、YARR におけるトリガ DAQ について説明する。YARR ソフトウェアを用いたデータ取得におけるトリガ DAQ についての図を図 4.3 に示す

図 4.3 の左が配線図を示し、その番号に対応した信号が伝達される様子を右図に示している。

- まず荷電粒子がセンサに入射した時の信号は図 4.3 の ①Signal のように ASIC に入力される
- 入力されたアナログ信号は、閾値と比較されることで、②Hit のようなデジタル信号に変換される。
- 変換されたデジタル信号は、図 4.3 の左下の配線を介して、データとして保存される部分と、HitOR Out から信号が出力される部分両方に入力される。データとして保存される部分では、Hit を検出したピクセル位置や ToT 値、Latency 値が記録される。一方で、Hit 信号が HitOR Out から出力される部分に入力すると、図 4.3 の左上の HitOR Out から信号が出力され、ケーブルを介して ③ のように FPGA ボードに入力する
- FPGA で信号がトリガとして処理され、④Trigger として出力される。

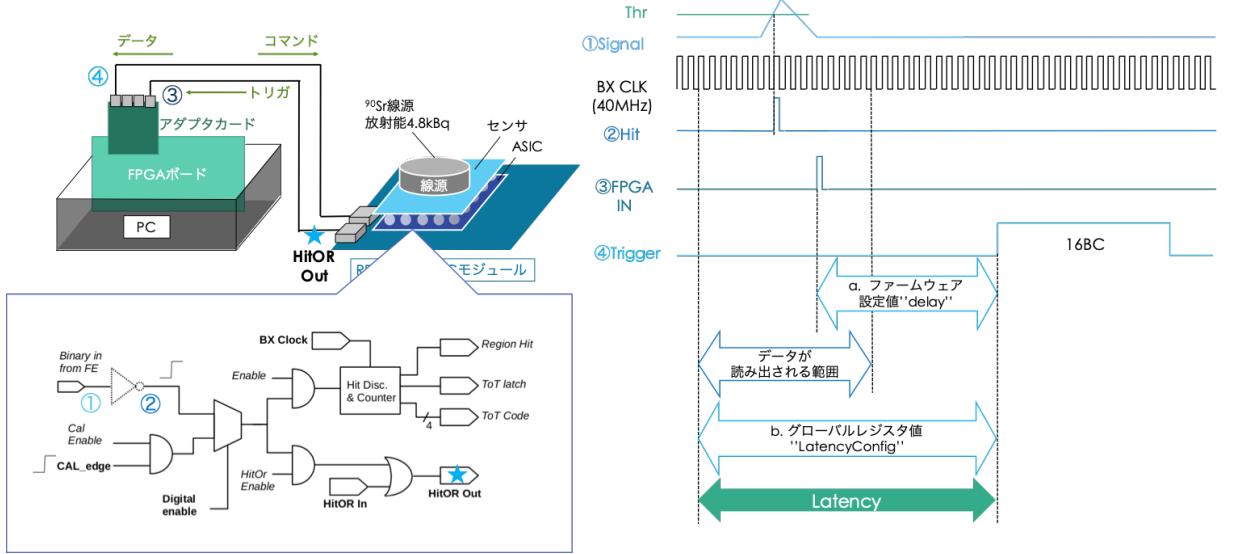


図 4.2: YARR トリガ DAQ : 配線図(左)とそれに対応する信号(右)を示す。

RD53A にトリガが入力された時にどれだけの時間遅ってメモリから情報を読み出すかを定める値が Latency である。この Latency がずれないと、データを正しく読み出すことができない。YARR では、指定された Latency 分遅った Clock の前 7 Clock, 後 8 Clock, 計 16 Clock 分のデータを読み出す。16 Clock の中に何 Clock 目のデータであるかを示す値として、L1ID というものが記録される。アナログスキャンにおける L1ID の分布を以下に示す。

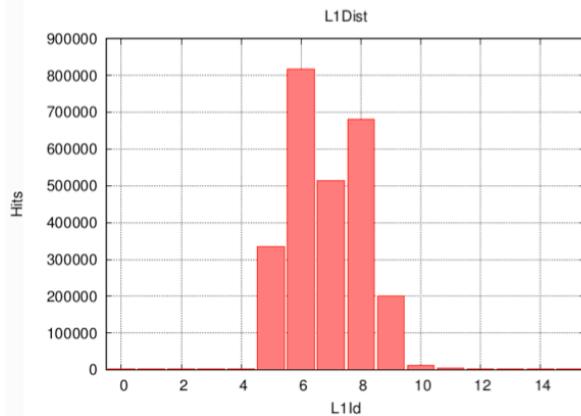


図 4.3: アナログスキャンの時の L1ID の分布

理想的には L1ID が 7 のところにトリガの中心を合わせたい。そのために、YARR で指定できる Latency に関する 2 種類のパラメータを以下に示す。

a. フームウェアの設定値”delay”

図 4.3 の a で示されている部分。FPGA からトリガをどれだけ遅れて出力するかを決める値。本論文では、外部からトリガを受け取ってからどれくらい遅延させて FPGA から RD53A にトリガを出力するかを決める値。

b. グローバルレジスタ”LatencyConfig”

RD53A の全てのピクセルに共通する設定値であるグローバルレジスタの内の 1 つに LatencyConfig という Latency に関する設定値が存在する。LatencyConfig がどのような値であるか説明する図を以下に示す。

ASIC のあるピクセルが信号を検知すると、そのピクセルが 40 MHz の Clock に合わせてカウントを始める。そして、FPGA から送られてくるトリガを受け取った時に、そのカウントが設定した”LatencyConfig” の値と等しいピクセルの情報を読み出すようになっている。”LatencyConfig” は、9bit の値であり、0-511 まで変化させることができる。

4.2.2 Latency Scan 機能

前節で述べたように、Latency が合っていないと、データを正しく読み出すことができないので、Latency を正しい値にすることが、データを正しく読み出す上で大変重要となる。そこで、今回はグローバルレジスタ”LatencyConfig” 値を変化させてデータ取得を行うことで、正しい Latency 値を導けるような機能を YARR に追加した。それが Latency Scan 機能である。

今回、HitOR 信号でトリガをかけた場合の Latency を合わせたかったため、図 4.1 のセットアップで以下を行なった。

1. セルフトリガによって 100 イベントを取得する
2. 取得したデータの L1ID の分布を得る
3. $L1ID == 7$ であるイベント数を記録

以上を 0-511 の各”LatencyConfig” 値に対して行い、”LatencyConfig” 値と $L1ID == 7$ だったイベント数の関係を図 4.4 のように得る。この時にもっともイベント数が多かった”LatencyConfig” 値の時に Latency が合っていると定義した、

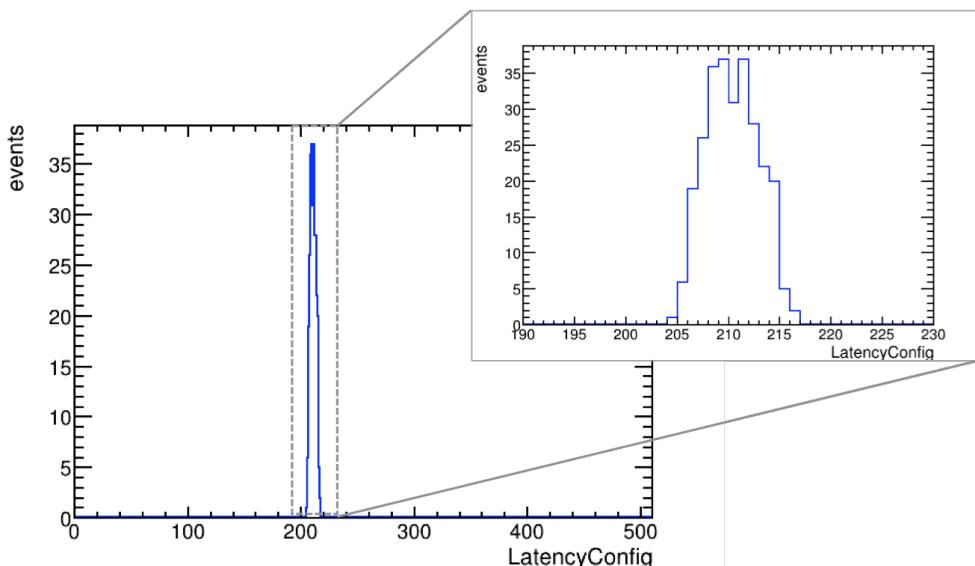


図 4.4: ”LatencyConfig” 値と $L1ID == 7$ だったイベント数の関係

LatencyScan のピークが幅を持つ理由

理想的には、Latency Scan を行なった時の分布は、正しい Latency 値にのみピークが立つはずであるが、今回の結果はそうはない。理由は 2 つある。

- YARR のファームウェアの仕組みとして、RD53A に向けて出力されるコマンドは 160 MHz の Clock で 32 bit 単位で送る必要がある。しかし、RD53A は LHC のバンチ衝突のレートである 40 MHz でヒットが生成されることを前提に設計されている。したがって、8BC 分のトリガをまとめてファームウェアから出力する必要があるのだが、YARR のファームウェアの仕組みとして、そのタイミングを正確に合わせていないため、前後 8 BC 分の幅が生じてしまう。
- 図 4.5 は Diff FE のアナログ回路の先を示しており、図 2.10 の一番右の Comp の部分が図 4.5 の一番左の Comp に対応する。アナログ回路から出力された信号はフリップフロップ回路に入力される。しかし、その間に寄生容量 (C_p) が生じているため、出力のタイミングに前後 2 BC の幅が生じてしまう。これが Latency Scan の結果にも影響する。

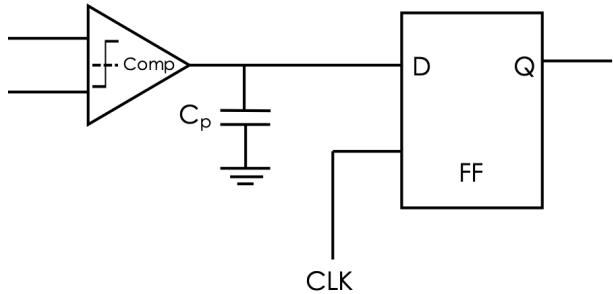


図 4.5: Diff FE のアナログ回路の出力

4.3 セルフトリガによる応答評価試験手順

4.2 節で述べた Latency チューニングを行なった結果、”LatencyConfig” の分布が図 4.4 のように得られたため、今回は”LatencyConfig” の値を 211 に設定することで、Latency を合わせた。Latency を合わせた上で、以下の 3 つのトリガ生成方法でデータ取得を行う。

1. 200 kHz でトリガを生成し、データ取得を行う
2. 線源を置かない状態でセルフトリガによるデータ取得を行う
3. 線源を置いた状態でセルフトリガによるデータ取得を行う

4.4 セルフトリガによるデータ取得結果

3 つのトリガ生成方法で得られたデータのトリガ数とヒット数を表 4.1 に示す。得られたデータを解析した。

表 4.1: トリガ生成方法に対する得られたヒット数とトリガ数

トリガ生成方法	ランダムトリガ	セルフトリガ(線源なし)	セルフトリガ(線源あり)
ヒット数	1432633	3440511	3503191
トリガ数	6×10^7	4193685	4056311

4.5 考察

トリガ生成方法と取得されるデータの内容

3つのトリガ生成方法による取得されるデータの内容の違いについて表 4.2 に示す。

表 4.2: トリガ生成方法と取得されるデータの内容

	ランダムトリガ	セルフトリガ(線源なし)	セルフトリガ(線源あり)
トリガ生成方法	200 kHz のトリガ	センサの信号でトリガ生成	センサからの信号でトリガ生成
取得される データの内容	無関係なトリガで 得られるヒット	無関係なトリガで 得られるヒット センサのノイズ	無関係なトリガで 得られるヒット センサのノイズ 荷電粒子の信号

よって、線源ありのセルフトリガによって取得されたデータから、無関係なトリガで得られるヒットと、センサのノイズによる影響を除くことで、荷電粒子からの信号を見積りたい。

荷電粒子からの信号の見積もり

荷電粒子からの信号を見積もるために、各ピクセルが得たヒット数に着目する。 i 番目のピクセルに対して、表 4.3 のように値を定める。

表 4.3: i 番目のピクセルに対して得られる値

	ランダムトリガ	セルフトリガ(線源なし)	セルフトリガ(線源あり)
ヒット数	$N_{i,bg}^{random}$	$N_{i,bg}^{self}$	N_i^{self}
トリガ数	$M_{i,bg}^{random}$	$M_{i,bg}^{self}$	M_i^{self}

この時、 N_i^{self} に対して、ランダムトリガによる影響を除いたもの $N_{i,sig}'^{self}$ と、それに加えてセンサノイズによる影響を除いた $N_{i,sig}^{self}$ を、それぞれ式 4.4, 4.6 のように表す。 $N_{i,sig}^{self}$ が荷電粒子による信号の見積もりである。

$$N_{i,\text{sig}'} = N_i - i.\text{Random} \quad (4.4)$$

$$i.\text{Random} = \frac{N_{i,\text{bg}}^{\text{random}}}{M_{i,\text{bg}}^{\text{random}}} \times M_i^{\text{self}} \quad (4.5)$$

$$\begin{aligned} N_{i,\text{sig}} &= N_i - i.\text{Background} \\ i.\text{Background} &= \left(\frac{N_{i,\text{bg}}^{\text{self}}}{M_{i,\text{bg}}^{\text{self}}} + \frac{N_{i,\text{bg}}^{\text{random}}}{M_{i,\text{bg}}^{\text{random}}} \right) \times M_i^{\text{self}} \end{aligned}$$

N_i^{self} と $N_{i,\text{sig}'}^{\text{self}}$ のヒット数分布の違いを図 4.6 に示す。

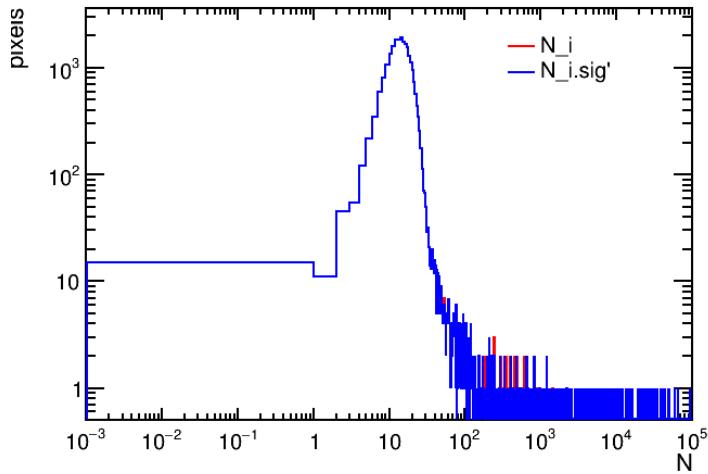


図 4.6: N_i^{self} と $N_{i,\text{sig}'}^{\text{self}}$ のヒット数分布

N_i^{self} と $N_{i,\text{sig}'}^{\text{self}}$ 1 ピクセルあたりのヒット数分布の推移を図 4.7 に示す。横軸が N_i^{self} の値で縦軸が $N_{i,\text{sig}'}^{\text{self}}$ の値を示し、z 軸は pixel 数を示している。図 4.6 より、 N_i^{self} と $N_{i,\text{sig}'}^{\text{self}}$ の分布にほとんど違いが見られないことや、4.7 の分布がほぼ線形であることから、補正前後で分布に変化がなく、 N_i^{self} の分布にランダムトリガによる影響はほとんどないことがわかる。

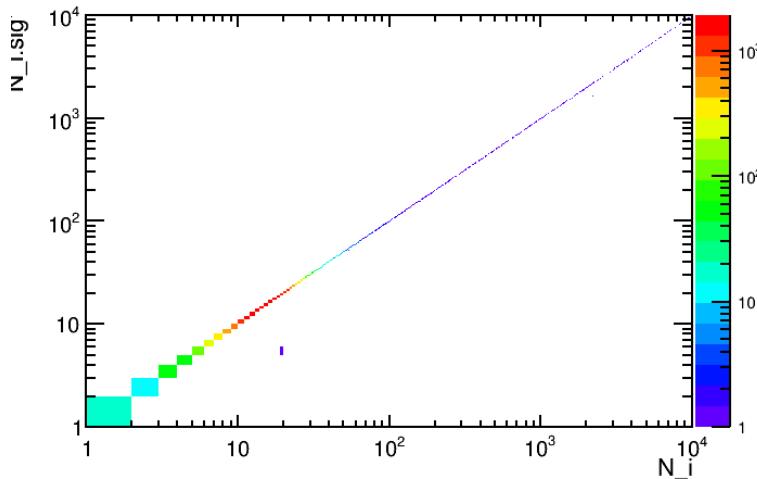
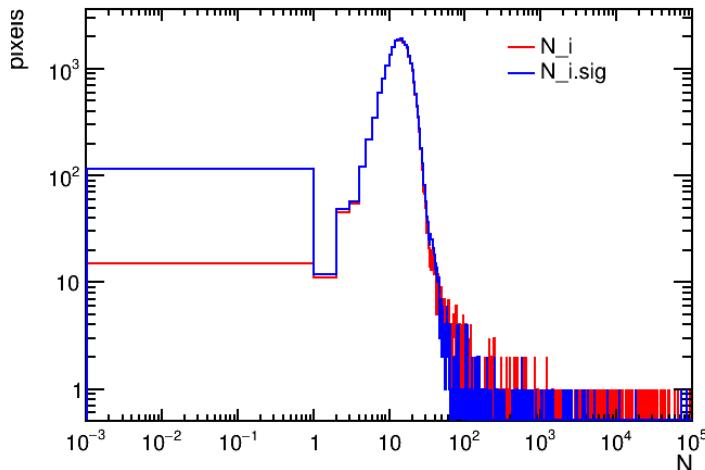
次に、 N_i^{self} と $N_{i,\text{sig}}^{\text{self}}$ のヒット数分布の違いを図 4.8 に示す。

N_i^{self} と $N_{i,\text{sig}}^{\text{self}}$ 1 ピクセルあたりのヒット数分布の推移を図 4.9 に示す。横軸が N_i^{self} で縦軸が $N_{i,\text{sig}}^{\text{self}}$ を示していて、 N_i^{self} が 10 Hits 以下の部分は線形であるのに対し、 N_i^{self} の値が大きい分布は $N_{i,\text{sig}}^{\text{self}}$ では 0 に分布しているものが多く、センサノイズの影響が大きいことがわかる。

最終的に得られた荷電粒子の信号 $N_{i,\text{sig}}^{\text{self}}$ の分布はポアソン分布式 5.4 に従うので、フィッティングを行い、平均ヒット数を求めた。フィッティングを行なった様子を図 4.10 に示す。

$$P(x) = \frac{\lambda^x e^{-\lambda}}{x!} (\lambda : \text{const}) \quad (4.6)$$

フィットの結果より、30 分のセルフトリガによる応答評価試験で得られる 1 ピクセルあたりの平均ヒット数は 15.1 Hits/pixel と求められた。品質評価に必要なヒット数 50 Hits/pixel を得るために、およそ 100 分かかることがわかった。

図 4.7: N_i^{self} と $N_{i,\text{sig}}^{\text{self}}$ のヒット数分布の推移図 4.8: N_i^{self} と $N_{i,\text{sig}}^{\text{self}}$ ヒット数分布

全ヒット数に対する荷電粒子によるヒット数

全ヒット数 N と、背景事象によるヒット数 $N_{\text{bg}}^{\text{self}}$ 、荷電粒子によるヒット数 $N_{\text{sig}}^{\text{self}}$ の定義を式 4.7-式 4.9 に示す。

$$N = \sum_{\text{allpixels}} N_i \quad (4.7)$$

$$N_{\text{bg}} = \sum_{\text{allpixels}} (N_{i,\text{bg}}^{\text{random}} + N_{i,\text{bg}}^{\text{self}}) \quad (4.8)$$

$$N_{\text{sig}} = \sum_{\text{allpixels}} N_{i,\text{sig}} \quad (4.9)$$

セルフトリガによる応答評価試験で得られた N に対する $N_{\text{sig}}^{\text{self}}$ の割合とヒットレートを表 4.4 に示す。

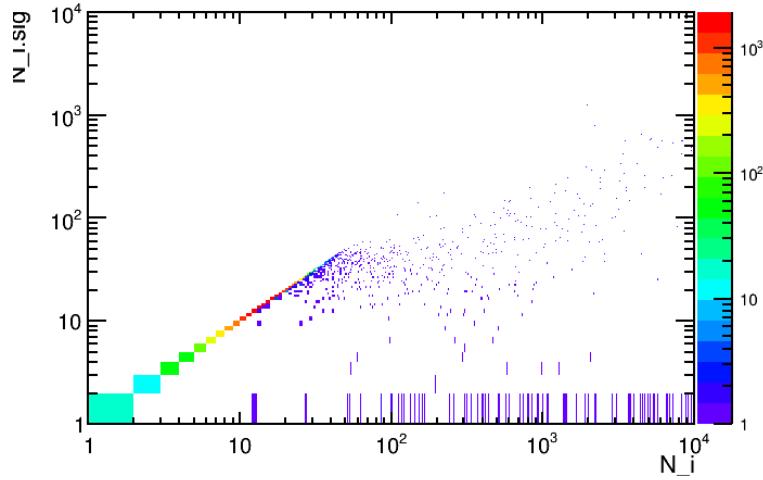
図 4.9: N_i^{self} と $N_{i,\text{sig}}^{\text{self}}$ のヒット数分布の推移

表 4.4: 30 分間で得られた荷電粒子のヒット数

time:1800[sec]	N^{ext}	$N_{\text{bg}}^{\text{self}}$	$N_{\text{sig}}^{\text{self}}$
ヒット数	3599457 (100 %)	2954185 (82.1 %)	645272 (17.9 %)
ヒット数/time	1999.7 Hz	1641.2 Hz	358.5 Hz

荷電粒子によるヒットレート(ヒット数/time)は 358.5 Hz と高い結果になっているが、 N^{ext} に対する $N_{i,\text{sig}}^{\text{self}}$ の割合は 17.9 % と低い結果となった。

ヒット情報をもつイベント数

全トリガ数 M に対する、ヒットが存在しなかったイベント数 $M_{\text{emp}}^{\text{self}}$ と、存在したイベント数 $M_{\text{data}}^{\text{self}}$ の割合とトリガレートを表 4.5 に示す。

表 4.5: 全トリガ数と対するヒットが存在したイベント数の割合

time:1800[sec]	M	$M_{\text{data}}^{\text{self}}$	$M_{\text{emp}}^{\text{self}}$
トリガ数	4056311 (100 %)	3528141 (87.0 %)	528170 (13.0 %)
トリガ数/time	2254 Hz	1960 Hz	293.4 Hz

M に対する $M_{\text{data}}^{\text{self}}$ の割合は 87.0 % と、ほとんどのトリガに対して、ヒットのデータが取得できていることがわかった。

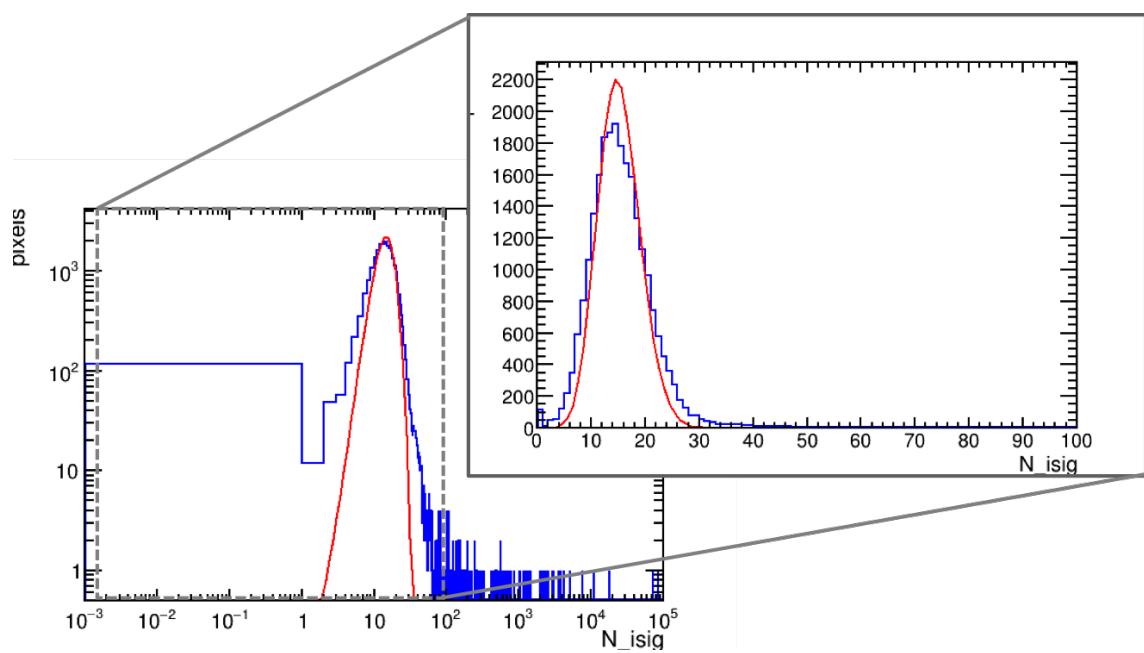


図 4.10: ポアソン分布でフィットした $N_{\text{isig}}^{\text{self}}$ のヒット数分布

第 5 章

外部トリガを用いた応答評価試験

この章では、外部トリガを用いた粒子線に対する応答評価試験について述べる。5.1 節で外部トリガを用いた応答評価試験の概要、5.2 節で外部トリガでデータ取得をする際のセットアップ、5.3 節で手順、5.4 節で取得データ結果を示し、5.5 節で考察を行なっている。

5.1 外部トリガを用いた応答評価試験概要

この節では、Quad Chip RD53A モジュールに対して行われる品質試験について述べる。2.1 節で述べたように、現在実機で用いるモジュールを量産するための準備として、プロトタイプ版の ASIC が 4 Chip 搭載された Quad Chip RD53A モジュールで量産体制の確認が計画されている。この Quad Chip RD53A モジュールでは第 4 章でトリガに使用した HitOR 信号が出力されないため、外部トリガを用いた応答評価試験でしか、バンプボンディングに異常がないかを確認することができない。現在計画されている試験は、クーリングボックスと呼ばれる、温度が低温に維持された小さな箱の中で行い、トリガには前章で述べた HitOR 信号ではなく、トリガシンチの信号を外部トリガとして用いる。トリガシンチは箱の上部に取り付けられたソースホルダによって固定され、トリガシンチの信号は、クーリングボックスの外部にある読み出し基板によって、YARR の DAQ へ伝達される。トリガシンチの構成については 5.2 節で詳しく述べる。計画されている外部トリガを用いた応答評価試験セットアップを図 5.1 に示す。

計画されているセットアップに近付けるようにして、外部トリガを用いた応答評価試験を行なった。

5.2 外部トリガを用いた応答評価試験セットアップ

今回行なった外部トリガを用いた応答評価試験のセットアップを図 5.2 に、配線図を図 5.3 示す。主にセルフトリガの際と変わらず、RD53A 搭載の Single Chip Card(SCC) と FPGA ボード、PC を用いて読み出しシステムを構成している。読み出し ASIC と FPGA ボードは、FMC-mDP 変換ボードを用いてケーブルにて接続を行い、FPGA 内部で ASIC からのデータ信号の処理を行なった。また、高速通信用インターフェースで PC と FPGA ボードを接続し、データ転送を行なった。そして、これらに加え、今回は外部トリガにトリガシンチを用いるため、トリガシンチ、トリガシンチ信号読み出しシステム、ソースホルダが存在する。トリガシンチ信号読み出しシステムの DP コネクタとアダプタカードの port D が繋げられている。また、将来的に Quad Chip モジュールを読み出すことを

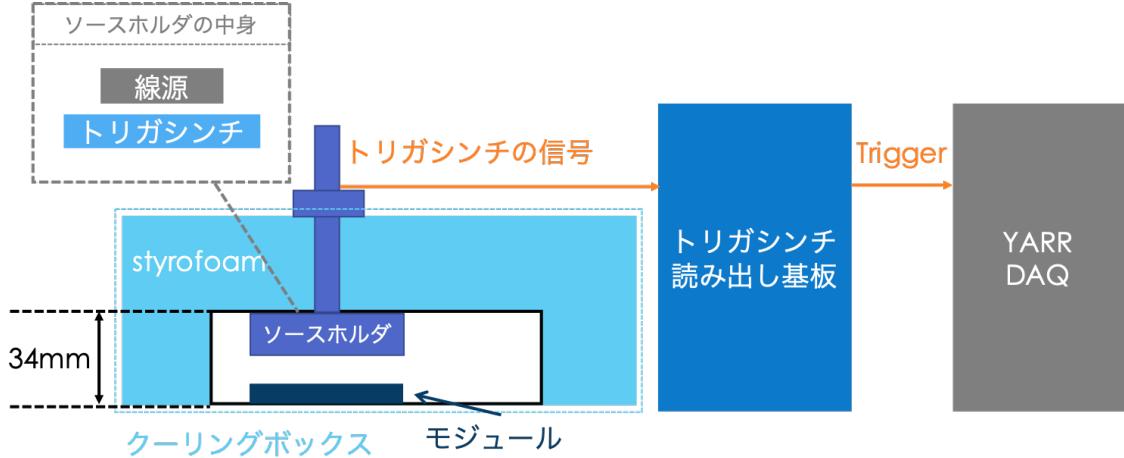


図 5.1: 計画されている外部トリガを用いた応答評価試験セットアップ

考えて、FMC-mDP 変換ボードは FPGA ボードの HPC コネクタに取り付けられており、FPGA ボードにも HPC から信号を受け取れるファームウェアを実装した。HPC は LPC よりも多くの信号が受け取れるコネクタである。



図 5.2: トリガシンチによるデータ取得のセットアップの様子

今回 SCC の電源、センサ、読み出し基板、MPPC に印加した電圧を表 5.1 に示す。

5.2.1 トリガシンチ

今回トリガシンチに使用したシンチレータと、MPPC をシンチレータに取り付けた様子を図 5.4a に示す。図中のライトガイドとは、シンチレータに粒子が入射した時に発光した光を効率よく MPPC まで伝えるための部品である。また、5.1 節でも述べたように、非常にコンパクトな環境での利用を目的としているため、トリガシンチは箱の中、読み出し回路は箱の外で使用される。それに伴って、

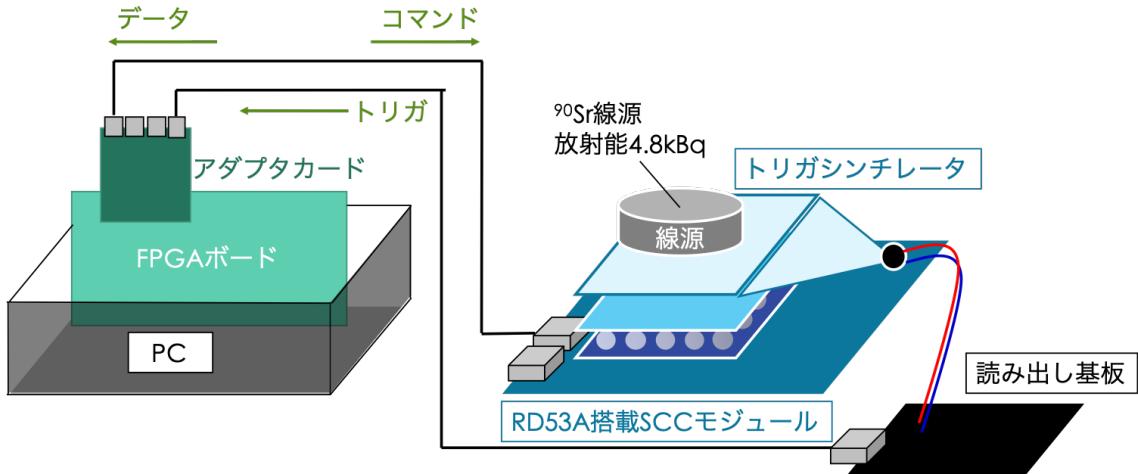
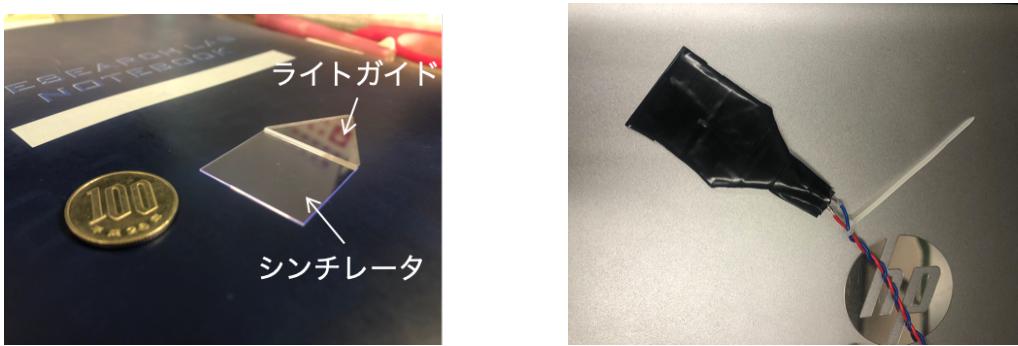


図 5.3: トリガシンチによるデータ取得のセットアップ配線図

表 5.1: 今回 RD53A とセンサに供給した電圧

	RD53A アナログ回路	RD53A デジタル回路	ピクセル センサ	読み出し 基板	MPPC
印加電圧 [V]	1.80	1.80	-50	± 5.5	58

MPPC の足は約 30 cm のケーブルをはんだづけすることで延長し、トリガシンチの信号を箱の外まで伝えられるようにしてある。また、荷電粒子がトリガシンチに遮蔽され、モジュールまで届かなくなることがないように、シンチレータは 0.5 mm と非常に薄いものを使用している。シンチレータは光収集率をよくするために、白い紙で覆ったのち、MPPC と共に黒テープで遮光を行なった。その様子を図 5.4 に示す。トリガシンチを構成する要素である MPPC とシンチレータについて以降述べる。



(a) 使用したシンチレータとライトガイド

(b) MPPC を取り付け、遮光したトリガシンチ

図 5.4: 0.5mm のシンチレータの様子

MPPC

MPPC とは、Silicon Photomultipliers(SiPM) と呼ばれるデバイスの一種であり、複数の半導体光検出器・アバランシェフォトダイオード(APD) から成るフォトンカウンティングデバイスである。

本論文で用いた MPPC · HAMAMATSU S13360-1325CS は、 $1.3 \times 1.3\text{mm}^2$ の受光面に $25 \times 25\mu\text{m}^2$ の APD が敷き詰められている。MPPC の構成を図 5.5 に示す。

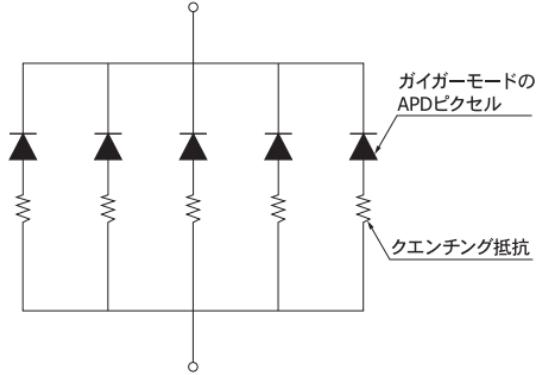


図 5.5: MPPC の構成 [11]

全ての APD の読み出し線、および電圧供給の線は共通していて、全ての APD ピクセルからのシグナルの総和が 1 つの MPPC からの出力として得られる構造になる。MPPC では各 APD ピクセルからの応答が良く揃っているために、総和として出力されるシグナル Q_{total} は式 5.1 で示されるように光子を受光したピクセル数 N に 1 つの APD から得られるシグナル Q をかけた値となる

$$Q_{total} = N \times Q \quad (5.1)$$

受光したピクセル数は、光が微弱である時入射する光量に比例するため、MPPC は非常に高いフォトンカウンティング能力を備えている。

プラスチックシンチレータ

シンチレータとは、放射線のエネルギーを吸収し、内部で励起あるいは電離が起こることで発光する物質である。材質には、無機結晶や液体など様々あるが、本論文では、プラスチックシンチレータを用いた。

5.2.2 読み出し基板

本研究を行うにあたって、MPPC からの信号を波形整形する基板を作成した。基板を図 5.6a に示す。主に、電圧供給回路、反転增幅回路、コンパレータ回路、LVDS 変換回路から構成されている。基板は KiCAD という CERN 開発のオープンソースプリント基板 CAD を用いて設計・作成した。LEMO1 からは増幅された MPPC のアナログ信号を、LEMO2 からはコンパレータによって閾値電圧と比較することで変換されたデジタル信号を、DP からは TTL だったデジタル信号が変換されて LVDS 出力のデジタル信号を読み出すことができる。その 3 点についてオシロスコープで観測した波形を図 5.6b に示す。トリガシンチに荷電粒子が入射した信号を得たいため、オシロスコープの様子から、コンパレータの比較電圧は 75 mV とした。

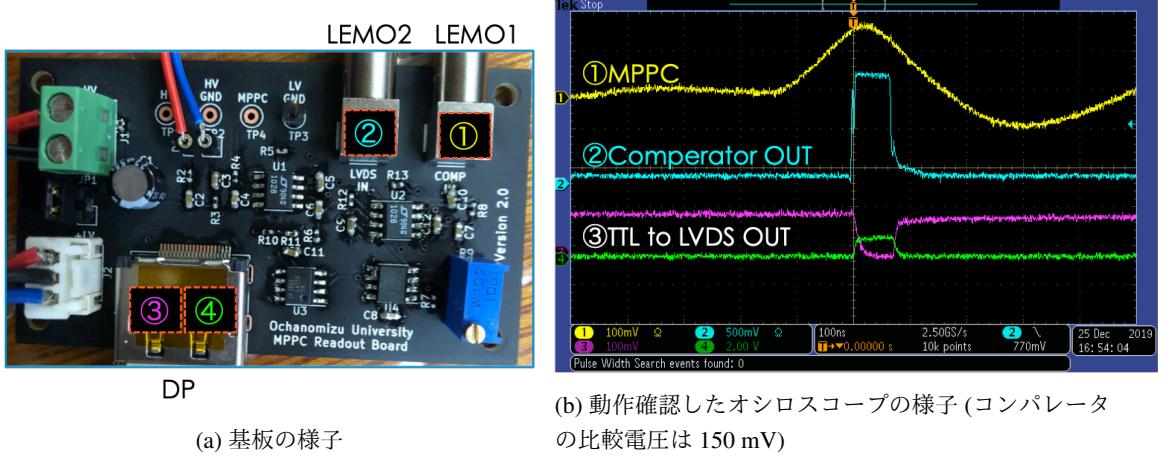


図 5.6: トリガシンチの信号を波形整形する基板

5.3 外部トリガによる応答評価試験手順

第3章で述べたような動作確認を行ったのち, Latency Scan を行なった。実際の応答試験では, 線源とモジュールの間にトリガシンチを配置するが, 荷電粒子がトリガシンチに遮られ, ASICまで届かないことを避けるため, Latency Scan の際には, 線源とトリガシンチの間にモジュールを配置する図 5.7 のようなセットアップにした。また, 荷電粒子によるデータよりもノイズのデータを多く取得することを防ぐために, Diff FE の上半分, バイアス構造を持つ部分は全て非使用に設定した。

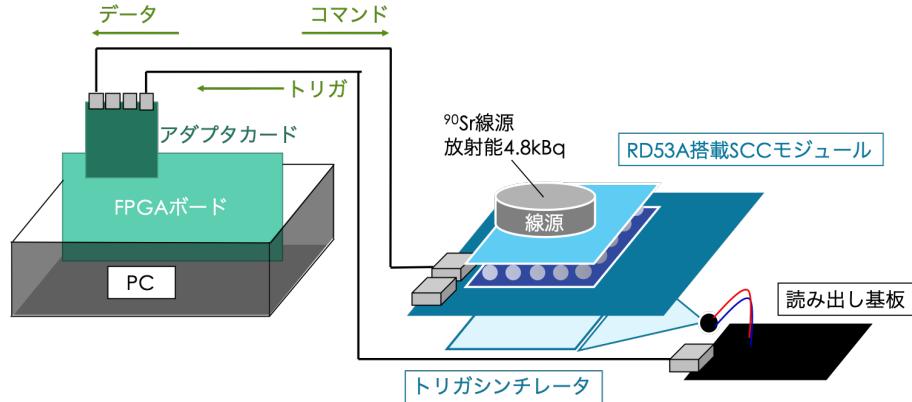


図 5.7: 外部トリガで Latency Scan を行う時のセットアップ

Latency Scan の結果を図 5.8 に示す。シンチレータと無関係の光子に MPPC が反応することや, ASIC の Diff FE 以外を通過した粒子が存在することから, 1 つの”LatencyConfig” 値のトリガ数に対する取得イベント数が図 4.4 よりも大きく減少しているのがわかる。しかし, 以下の 2 点からこの結果で 1 イベントで取得されている”LatencyConfig” 値 205 付近に正しい”LatencyConfig” 値が存在すると考えた。その付近で, 外部トリガによるデータ取得を行なった結果から, 最も線源からの信号をよく取得できていると判断された 211 を正しい”LatencyConfig” 値と判断した。

- ファームウェアの設定値”delay”を変化させると, LatencyScan の分布のピークの位置が”delay” 分変化する

- ”LatencyConfig” 値を $205 + 100 = 305$ にした場合に、ヒット情報を取得することができない

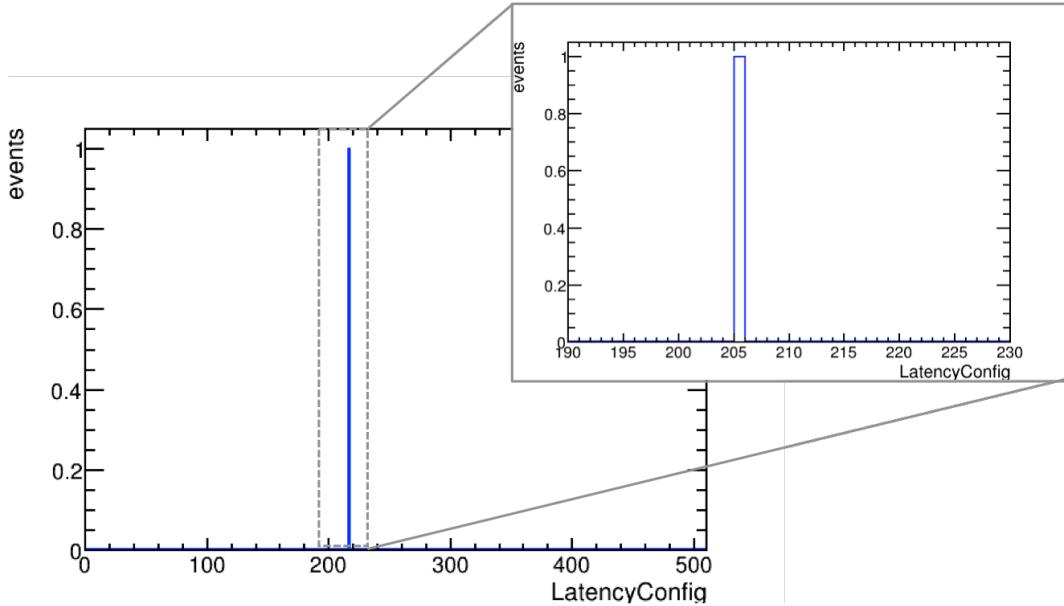


図 5.8: 外部トリガの場合の”LatencyConfig” 値と L1ID == 7 だったイベント数の関係

Latency を合わせた上で、図 5.2 のセットアップで、以下の 3 つのトリガ生成方法でデータ取得を行う。

1. 200 kHz でトリガを生成し、データ取得を行う (ランダムトリガ)
2. 線源を置かない状態で外部トリガによるデータ取得を行う
3. 線源を置いた状態で外部トリガによるデータ取得を行う

5.4 応答評価試験結果

3 つのトリガ生成方法で得られたデータのトリガ数とヒット数を表??に示す。

表 5.2: トリガ生成方法に対する得られたヒット数とトリガ数

トリガ生成方法	ランダムトリガ	セルフトリガ(線源なし)	セルフトリガ(線源あり)
ヒット数	1432633	8459	283810
トリガ数	6×10^7	29353	918246

5.5 考察

トリガ生成方法と取得されるデータの内容

3 つのトリガ生成方法による取得されるデータの内容の違いについて表 5.3 に示す。

これより、ランダムトリガによるデータ取得と、線源を置かない時の外部トリガによるデータ取得では、同じデータが取得されることがわかる。よって、線源ありの外部トリガによって取得され

表 5.3: トリガ生成方法と取得されるデータの内容

	ランダムトリガ	外部トリガ(線源なし)	外部トリガ(線源あり)
トリガ生成方法	200 kHz のトリガ	センサの信号でトリガ生成	センサからの信号でトリガ生成
取得されるデータの内容	無関係なトリガで得られるヒット	無関係なトリガで得られるヒット	無関係なトリガで得られるヒット 荷電粒子の信号

たデータから、無関係なトリガで得られるヒットの影響を除くことで荷電粒子からの信号を見積もりたい。以降、ランダムトリガで取得されたデータと、線源ありの外部トリガで取得されたデータにのみ着目する。

荷電粒子からの信号の見積もり

荷電粒子からの信号を見積もるために、各ピクセルが得たヒット数に着目する。i 番目のピクセルに対して、表 5.4 のように値を定める。

表 5.4: i 番目のピクセルに対して得られる値

	ランダムトリガ	セルフトリガ(線源あり)
ヒット数	$N_{i,bg}^{random}$	N_i^{ext}
トリガ数	$M_{i,bg}^{random}$	M_i^{ext}

この時、 N_i^{ext} に対して、ランダムトリガによる影響を除いたもの $N_{i,sig}$ を式 5.2 のように表す。 $N_{i,sig}$ が荷電粒子による信号の見積もりである。

$$N_{i,sig} = N_i - i.\text{Background} \quad (5.2)$$

$$i.\text{Background} = \left(\frac{N_{i,bg}^{random}}{M_{i,bg}^{random}} \right) \times M_i^{ext} \quad (5.3)$$

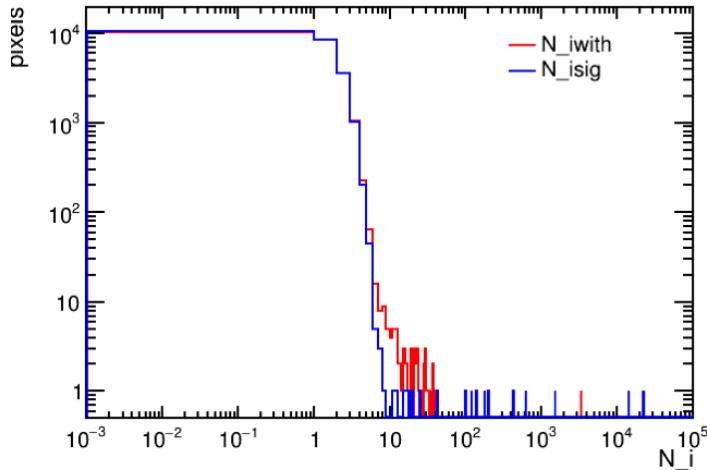
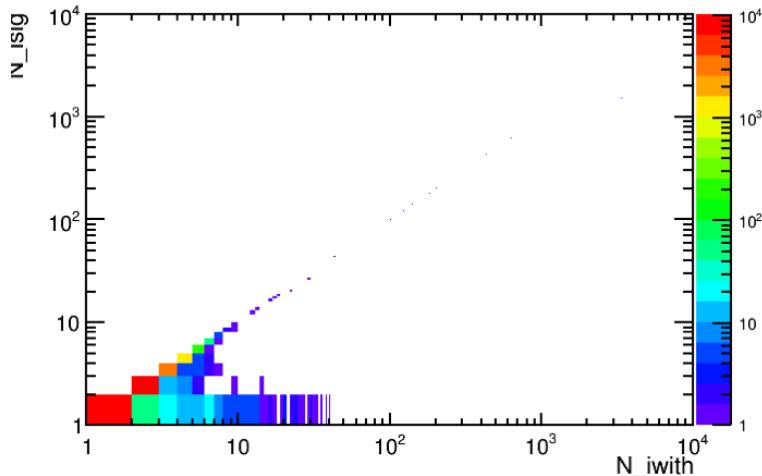
N_i^{ext} と $N_{i,sig}^{ext}$ のヒット数分布の違いを図 5.9 に示す。

N_i^{ext} と $N_{i,sig}^{ext}$ のヒット数分布の推移を図 5.10 に示す。横軸が N_i^{ext} で縦軸が $N_{i,sig}^{ext}$ を示していて、 $N_i^{ext} = 10\text{Hits}$ あたりの分布は、 $N_{i,sig}^{ext}$ では 0 に変化しているピクセルも多く、 N_i^{ext} に対するランダムトリガによるヒットの割合が高いことがわかる。

最終的に得られた荷電粒子の信号 $N_{i,sig}^{ext}$ の分布はポアソン分布式 5.4 に従うので、フィッティングを行い、平均ヒット数を求めた。フィッティングを行なった様子を図 5.11 に示す。

$$P(x) = \frac{\lambda^x e^{-\lambda}}{x!} (\lambda : \text{const}) \quad (5.4)$$

フィットの結果より、3 時間の外部トリガによる応答評価試験で得られる 1 ピクセルあたりの平均ヒット数は 1.10 Hits/pixel と求められた。品質評価に必要なヒット数 50 Hits/pixel を得るために、およそ 6.25 日かかることがわかった。

図 5.9: N_i^{ext} と $N_{i,\text{sig}}^{\text{ext}}$ のヒット数分布図 5.10: N_i^{ext} と $N_{i,\text{sig}}^{\text{ext}}$ のヒット数分布の推移

全ヒット数に対する荷電粒子によるヒット数

全ヒット数 N_i^{ext} と、背景事象によるヒット数 $N_{\text{bg}}^{\text{ext}}$ 、荷電粒子によるヒット数 $N_{\text{sig}}^{\text{ext}}$ の定義を式 5.5-式 5.7 に示す。

$$N_i^{\text{ext}} = \sum_{\text{allpixels}} N_i^{\text{ext}} \quad (5.5)$$

$$N_{\text{bg}}^{\text{ext}} = \sum_{\text{allpixels}} N_{i,\text{bg}}^{\text{ext}} \quad (5.6)$$

$$N_{\text{sig}}^{\text{ext}} = \sum_{\text{allpixels}} N_{i,\text{sig}}^{\text{ext}} \quad (5.7)$$

外部トリガによる応答評価試験で得られた N_i^{ext} に対する $N_{\text{sig}}^{\text{ext}}$ の割合とヒットレートを表 5.5 に示す。

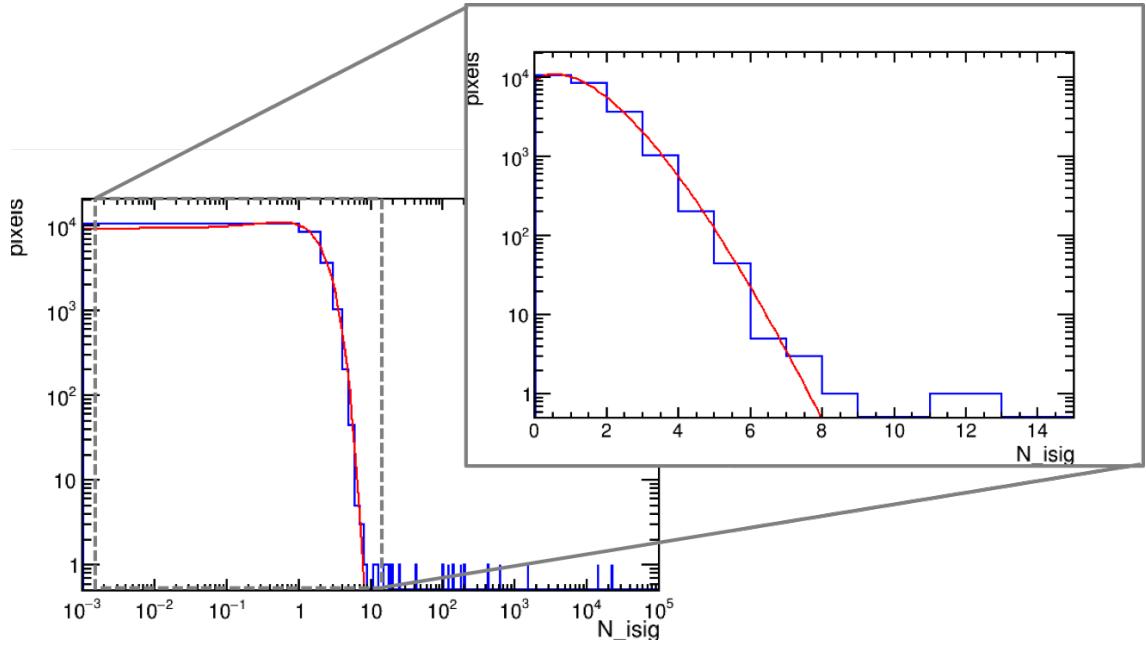
図 5.11: ポアソン分布でフィットした $N_{i.sig}^{\text{ext}}$ のヒット数分布

表 5.5: 3 時間で得られた荷電粒子のヒット数

time:10800[sec]	N^{ext}	$N_{\text{bg}}^{\text{ext}}$	$N_{\text{sig}}^{\text{ext}}$
ヒット数	591115	4620	586495
	(100 %)	(0.8 %)	(99.2 %)
ヒット数/time	54.7 Hz	0.9 Hz	54.3 Hz

荷電粒子によるヒットレート(ヒット数/time)は 54.3 Hz と低い結果になっているが、 N_{ext} に対する $N_{i.sig}^{\text{ext}}$ の割合は 99.2 % と非常に高い結果となった。

ヒットが存在したイベント数

全トリガ数 M^{ext} に対する、ヒットが存在しなかったイベント数 $M_{\text{emp}}^{\text{ext}}$ と、存在したイベント数 $M_{\text{data}}^{\text{ext}}$ の割合とトリガレートを表 5.6 に示す。

表 5.6: 全トリガ数と対するヒットが存在したイベント数の割合

time:1800[sec]	M^{ext}	$M_{\text{data}}^{\text{ext}}$	$M_{\text{emp}}^{\text{ext}}$
トリガ数	918246	278687	639559
	(100 %)	(30.3 %)	(69.7 %)
トリガ数/time	85.0 Hz	25.8 Hz	59.2 Hz

M^{ext} に対する $M_{\text{data}}^{\text{ext}}$ の割合は 30.3 % と、ほとんどのトリガに対して、ヒットのデータが取得できていないことがわかった。これは、トリガシンチレータで荷電粒子が止まってしまったり、トリガシンチレータに入射してもセンサに入射しなかったりすることが原因と考えられる。

第 6 章

2つの手法で行なった応答評価試験の比較

この章では、第4章、第5章で述べた、セルフトリガと外部トリガ、それぞれを用いた応答評価試験の結果から、それぞれの手法の比較を行う。比較する点は3点である。

- 全トリガ数に対するヒットが存在したイベント数(6.1節)
- 品質評価を行うために必要な時間(6.2節)
- 全ヒット数に対する荷電粒子のヒット数(6.3節)

6.1 全トリガ数に対するヒットが存在したイベント数

セルフトリガと外部トリガ、それぞれを用いた応答評価試験で得られた全トリガ数のうちのヒット数が存在したイベント数の分布を表6.1、表6.2に示す。

表 6.1: セルフトリガの場合の全トリガ数と対するヒットが存在したイベント数の割合

time:1800[sec]	M^{self}	$M_{\text{data}}^{\text{self}}$	$M_{\text{emp}}^{\text{self}}$
トリガ数	4056311 (100 %)	3528141 (87.0 %)	528170 (13.0 %)
トリガ数/time	2254 Hz	1960 Hz	293.4 Hz

表 6.2: 外部トリガの場合の全トリガ数と対するヒットが存在したイベント数の割合

time:1800[sec]	M^{ext}	$M_{\text{data}}^{\text{ext}}$	$M_{\text{emp}}^{\text{ext}}$
トリガ数	918246 (100 %)	278687 (30.3 %)	639559 (69.7 %)
トリガ数/time	85.0 Hz	25.8 Hz	59.2 Hz

セルフトリガで取得したデータは、83 %のイベントにヒットが存在する一方で、外部トリガで取得したデータは、23 %のイベントにしかヒットが存在しない。原理として、セルフトリガは荷電粒子がセンサを通過した信号由来でトリガを生成しているのに対し、外部トリガは、トリガシンチレータを荷電粒子が通過した信号由来でトリガを生成しているため、このようなヒットの存在率に差ができると考えられる。

6.2 品質評価を行うために必要な時間

セルフトリガと外部トリガ、それぞれを用いた応答評価試験で得られた結果から求めた、平均の1ピクセルあたりのヒット数は以下のようになる。

- セルフトリガ : 15.1 Hits/pixel/30min
- 外部トリガ : 1.10 Hits/pixel/3h

これより求められる、各ピクセル 50 Hits/pixeを得て、品質評価を行うために必要な時間は以下のようにになる。

- セルフトリガ : 100 min
- 外部トリガ : 6.25 day

どちらも、実際 2000 個のモジュールに対して応答評価試験を行うことを考えると、大変長く、現実味のない値である。実際の試験では、外部トリガを用いた応答評価試験を行う予定であるが、時間を短縮するために、本論文で用いた 4.8 kBq の線源よりも 1000 倍強い放射能を持った線源を使用する必要があると考える。1000 倍強い線源を使用することで、1 モジュールあたり 9 分で応答評価試験が終えられると予測される。

6.3 全ヒット数に対する荷電粒子のヒット数

セルフトリガと外部トリガ、それぞれを用いた応答評価試験で得られた結果から求めた荷電粒子のヒット数の分布を表 6.3、表 6.4 に示す

表 6.3: セルフトリガで得られた荷電粒子のヒット数

time:1800[sec]	N^{self}	$N_{\text{bg}}^{\text{self}}$	$N_{\text{sig}}^{\text{self}}$
ヒット数	3599457 (100 %)	2954185 (82.1 %)	645272 (17.9 %)
ヒット数/time	1999.7 Hz	1641.2 Hz	358.5 Hz

表 6.4: 外部トリガで得られた荷電粒子のヒット数

time:10800[sec]	N^{ext}	$N_{\text{bg}}^{\text{ext}}$	$N_{\text{sig}}^{\text{ext}}$
ヒット数	591115 (100 %)	4620 (0.8 %)	586495 (99.2 %)
ヒット数/time	54.7 Hz	0.9 Hz	54.3 Hz

全ヒット数に含まれる荷電粒子のヒット数は外部トリガの方が良いが、ヒットレートについては、セルフトリガの方が良い結果となっている。これより、取得されるデータの容量を考慮しないのであれば、セルフトリガの手法がよく、少ないデータ容量で荷電粒子のヒットを得たい場合は外部トリガを使用する方が良いと考えられる。

第 7 章

結論

ATLAS 実験では、HL-LHC 計画に向けて内部飛跡検出器のアップグレードが予定されている。そのアップグレードに伴い、ATLAS 検出器の内部飛跡検出器は、受ける放射線量の増加、検出器のヒット占有率の増加などに対応するために、Inner Tracker(ITk)と呼ばれるシリコン検出器への総入れ替えが予定されている。総入れ替えのために、内部に用いるピクセルセンサモジュールの量産が必要である。量産されたモジュールは品質性能基準を達成するかを確認するために、様々な試験にかけられる。

本論文では、この試験項目の1つであるモジュールの粒子線に対する応答評価試験を取り扱った。この試験は2つの手法があり、モジュールに粒子が入射した時の信号のタイミングでデータ取得を行うセルフトリガを用いた手法と、シンチレータを用いて、シンチレータに粒子が入射した時の信号のタイミングでデータ取得を行う外部トリガを用いた手法がある。本論文では、応答評価試験方法の確率のために必要なファームウェア、ソフトウェアを開発し、動作確認を行なった上で、2つの手法それぞれによるデータ取得を行った。

その結果セルフトリガによる応答評価試験では、全トリガ数に対するヒットが存在したイベント数が 87.0 % と高かった。また、30 分間の応答評価試験で得られた 1 ピクセルあたりの平均ヒット数は 15.1 Hits/pixel であり、これより、実際の品質評価を行うためには 100 min かかることが予測される。一方で、荷電粒子によるヒットデータが全ヒット数の 17.9 % と少ない。それに対して、外部トリガによる応答評価試験では、全トリガ数に対するヒットが存在したイベント数が 30.3 % と少なかった。また、3 時間の応答評価試験で得られた 1 ピクセルあたりの平均ヒット数が 1.10 Hits/pixel であり、これより、実際に品質評価を行うためには 6.25 day かかることが予測される。

これらのことより、取得されるデータの容量を考慮しないのであれば、セルフトリガでデータ取得を行なった方が、荷電粒子によるヒットを多く得ることができるが、少ないデータ容量で荷電粒子のヒットを得たい場合は、外部トリガの方がよいと考えられる。また、品質評価にかかる時間については、2000 個のモジュールに対して行うことを考えると、セルフトリガの 100 min も、外部トリガの 6.25 day も、本論文の設置アップでは時間がかかりすぎだと考えられる。1 モジュールあたりにかかる時間を 10 分以内に収めるためには、セルフトリガの場合は 10 倍強い線源を、外部トリガの場合は、1000 倍強い線源を使用するのがよい。

謝辞

本研究を進める上でお世話になった方々にお礼申し上げます。指導教員である河野能知准教授には、研究の機会と環境を与えていただきました。また、素粒子実験に関する知識だけでなくファームウェア、ソフトウェア、回路設計などのノウハウや、研究発表にあたって見やすく伝わりやすい資料作りについてご指導いただきました。毎週の研究室のミーティングでは、研究方針および手法について的確な指摘をいただき、研究をすすめることができました。心から感謝申し上げます。また、副指導教員で本論文の副査を務めていただきました高橋遼助教授にも感謝申し上げます。

ATLAS 日本 QA/QC グループの皆様に感謝いたします。大阪大学の廣瀬穣さんには、ミーティングの場だけでなく、ミーティング外でも時間をとって、ファームウェアの知識のない私に丁寧にご指導いただきましたことに感謝申し上げます。また、東京工業大学の生出秀行さんにも、ソフトウェアの開発やソースホルダの作成の際にたくさんのアドバイスをいただきました。感謝いたします。また、東工大の窪田ありさん、阪大の山家谷昌平さんには、同期として研究姿勢について多くを学ばせていただきました。東工大の松崎貴由さん、池亀遙南さんには、クーリングボックスにソースホルダを組み込むにあたって設計についての相談にのっていました。東工大の奥山広貴さんにはデータベースの使い方を丁寧に教えていただき、また阪大の Lakmin Wickremasinghe さんには回路設計についてアドバイスをいただきました。

お茶の水女子大学河野研究室の皆様に感謝申し上げます。藤本みのりさんには、データ取得を手伝っていただいたこと、ファームウェアとソフトウェアについての多くの知識を教えていただきました。浅井香奈江さんには、コーディング技術や、プロットの見せ方について多くの助言をいただきました。河野研究室卒業生の里吉陽奈子さんには、見やすい発表資料の作り方について大変参考にさせていただきました。また修士1年で同じ ATLAS 日本 QA/QC グループだった、釣希夢さん、前田実津季さんには発表資料や実験方針、ソフトウェアの設計など、多くの相談にのっていました。大変感謝しています。

ATLAS グループでは、KEK の中村浩二さん、筑波大学の原田大豪さんには、センサについての知識を教えていただいた上に、データ取得するにあたって多くの時間をとって協力してくださり大変感謝しています。また、東工大の金恩寵さん、潮田理沙さん、卒業生の中村優斗さんには学会などで会うたびによくしてくださいました。ありがとうございました。

最後に、何不自由ない学生生活、研究生活を実現してくださった両親に深く感謝いたします。

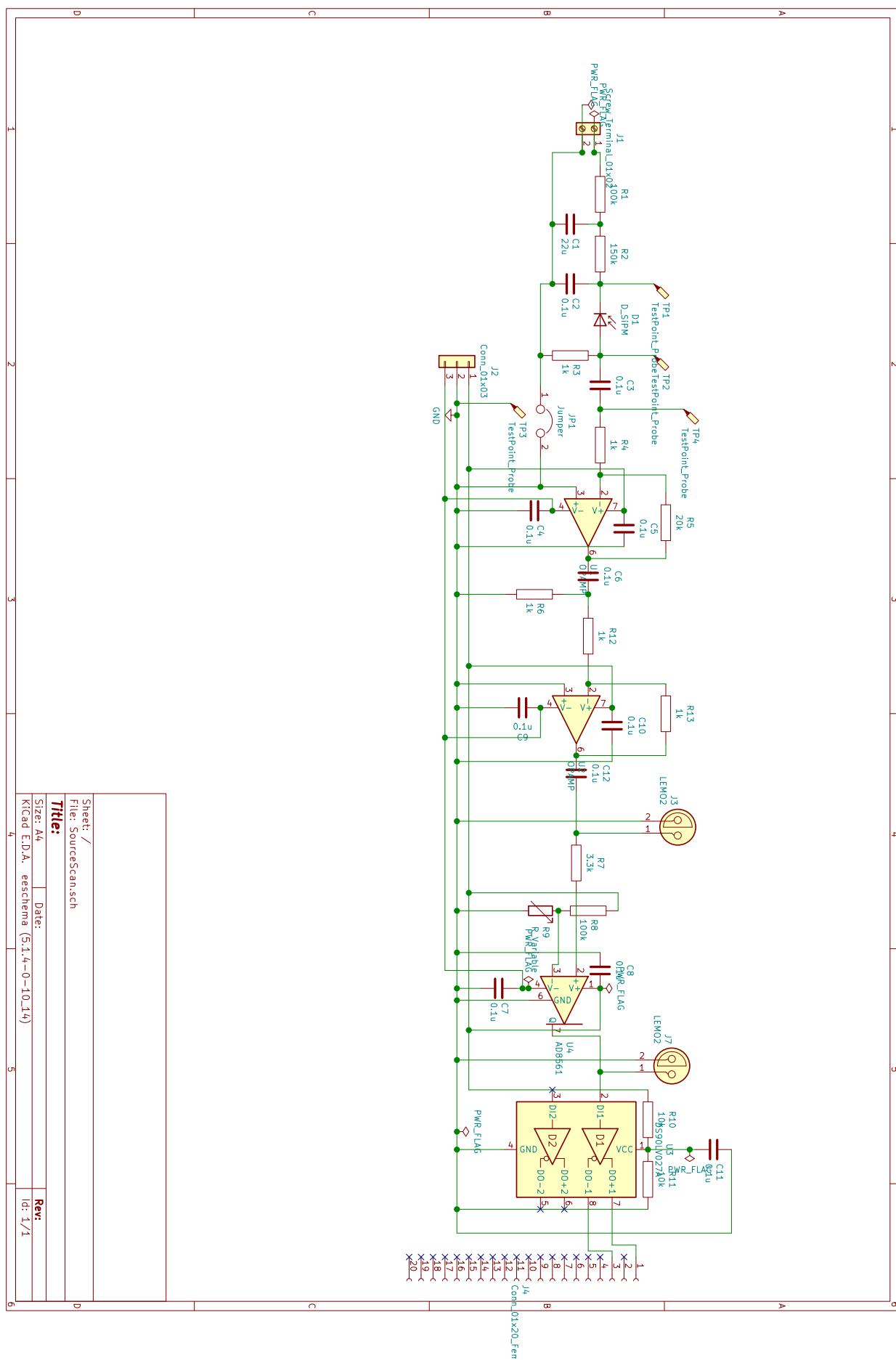
参考文献

- [1] The ATLAS Collaborations. The ATLAS experiment at the CERN large hadron collider. *Journal of Instrumentation*, Vol. 3, No. 08, pp. S08003–S08003, aug 2008.
- [2] Morad Aaboud, et al. Performance of the ATLAS Trigger System in 2015. *Eur. Phys. J.*, Vol. C77, No. 5, p. 317, 2017.
- [3] Apollinari G., Béjar Alonso I., Brüning O., Fessia P., Lamont M., Rossi L., and Tavian L. *High-Luminosity Large Hadron Collider (HL-LHC): Technical Design Report V. 0.1*. CERN Yellow Reports: Monographs. CERN, Geneva, 2017.
- [4] ATLAS Collaboration. Technical Design Report for the ATLAS Inner Tracker Pixel Detector. Technical Report CERN-LHCC-2017-021. ATLAS-TDR-030, CERN, Geneva, Sep 2017.
- [5] ATLAS Collaboration. Technical Design Report for the ATLAS Inner Tracker Strip Detector. Technical Report CERN-LHCC-2017-005. ATLAS-TDR-025, CERN, Geneva, Apr 2017.
- [6] S.M.Sze. *SEMICONDUCTOR DEVICES Physics and Technology 2nd Edition*. 産業図書株式会社, Mar 2015.
- [7] M. Tanabashi, et al. Review of Particle Physics. *Phys. Rev.*, Vol. D98, No. 3, p. 030001, 2018.
- [8] 内山和貴. 「HL-LHC に向けたシリコンピクセル検出器の雑音及び検出効率の研究」. 筑波大学修士論文, 2019.
- [9] Maurice Garcia-Sciveres. The RD53A Integrated Circuit. Technical Report CERN-RD53-PUB-17-001, CERN, Geneva, Oct 2017.
- [10] Atl-com-itk-2019-045.pdf. <https://cds.cern.ch/record/2702738/files/ATL-COM-ITK-2019-045.pdf>? (Accessed on 01/27/2020).
- [11] 03_handbook.pdf. https://www.hamamatsu.com/resources/pdf/ssd/03_handbook.pdf. (Accessed on 01/05/2020).

付録 A 章

トリガシンチレータの信号読み出し基板回路図

作成したトリガシンチレータの信号読み出し基板の回路図を以下に載せる。



図目次

1.1	LHC 加速器全体図器 [1]	4
1.2	ATLAS 検出器全体図器 [1]	5
1.3	ATLAS 検出器のトリガの流れ [2]	6
1.4	内部飛跡検出器 [1]	7
1.5	HL-LHC 計画 [3]	8
1.6	Inner Tracker レイアウト [4]	9
1.7	ITk で想定される放射線量の様子 [5]	9
2.1	ピクセル検出器の概念図	11
2.2	ドープした半導体 [6]	12
2.3	pn 接合半導体の空乏層概念図	13
2.4	銅中を反ミュー $\bar{\nu}$ オンが通過する時の運動量とエネルギー損失の関係 [7]	14
2.5	液体水素、気体ヘリウム、炭素、アルミニウム、鉄、スズ、鉛中の平均エネルギー損失率 [7]	15
2.6	バイアスレール の有無によるノイズ量比較 [8]	16
2.7	プラナピクセルセンサの構造	16
2.8	センサの構造。バイアスレールの有無	17
2.9	RD53A のフロントエンドデザイン [9]	18
2.10	Diff FE のアナログ回路構造 [9]	19
2.11	RD53A のデータ収集の仕組み。全ピクセルに共通する信号が太字、ピクセルごとに記録されている信号が斜体文字になっている。図中の点線部分は図 2.10 を示す。 [9]	19
2.12	信号が入力された時の ToT と Latency	20
2.13	ピクセルの HitOR 信号のグループ分け [9]	20
3.1	セットアップ	24
3.2	セットアップの配線図	25
3.3	センサ付き RD53A 搭載 Single Chip Card モジュール	25
3.4	デジタルスキャンの結果	26
3.5	アナログスキャンの結果	26
3.6	閾値チューニング	27
3.7	Occupancy Map	28
3.8	今回使用したピクセルの分布	29

4.1	セルフトリガを用いた応答評価試験セットアップ配線図	31
4.2	YARR トリガ DAQ : 配線図(左)とそれに対応する信号(右)を示す	33
4.3	アナログスキャンの時の L1ID の分布	33
4.4	”LatencyConfig” 値と L1ID == 7 だったイベント数の関係	34
4.5	Diff FE のアナログ回路の出力	35
4.6	N_i^{self} と $N_{i,\text{sig}'}^{\text{self}}$ のヒット数分布	37
4.7	N_i^{self} と $N_{i,\text{sig}'}^{\text{self}}$ のヒット数分布の推移	38
4.8	N_i^{self} と $N_{i,\text{sig}}^{\text{self}}$ ヒット数分布	38
4.9	N_i^{self} と $N_{i,\text{sig}}^{\text{self}}$ のヒット数分布の推移	39
4.10	ポアソン分布でフィットした $N_{i,\text{sig}}^{\text{self}}$ のヒット数分布	40
5.1	計画されている外部トリガを用いた応答評価試験セットアップ	42
5.2	トリガシンチによるデータ取得のセットアップの様子	42
5.3	トリガシンチによるデータ取得のセットアップ配線図	43
5.4	0.5mm のシンチレータの様子	43
5.5	MPPC の構成 [11]	44
5.6	トリガシンチの信号を波形整形する基板	45
5.7	外部トリガで Latency Scan を行う時のセットアップ	45
5.8	外部トリガの場合の”LatencyConfig” 値と L1ID == 7 だったイベント数の関係	46
5.9	N_i^{ext} と $N_{i,\text{sig}}^{\text{ext}}$ のヒット数分布	48
5.10	N_i^{ext} と $N_{i,\text{sig}}^{\text{ext}}$ のヒット数分布の推移	48
5.11	ポアソン分布でフィットした $N_{i,\text{sig}}^{\text{ext}}$ のヒット数分布	49

表目次

2.1	Bethe-Bloch の式の変数	14
2.2	現行の ASIC2 種と新型プロトタイプ版 ASIC の比較	17
3.1	今回 RD53A とセンサに供給した電圧	24
3.2	ノイズスキャン前後のヒットレート	28
4.1	トリガ生成方法に対する得られたヒット数とトリガ数	36
4.2	トリガ生成方法と取得されるデータの内容	36
4.3	i 番目のピクセルに対して得られる値	36
4.4	30 分間で得られた荷電粒子のヒット数	39
4.5	全トリガ数と対するヒットが存在したイベント数の割合	39
5.1	今回 RD53A とセンサに供給した電圧	43
5.2	トリガ生成方法に対する得られたヒット数とトリガ数	46
5.3	トリガ生成方法と取得されるデータの内容	47
5.4	i 番目のピクセルに対して得られる値	47
5.5	3 時間で得られた荷電粒子のヒット数	49
5.6	全トリガ数と対するヒットが存在したイベント数の割合	49
6.1	セルフトリガの場合の全トリガ数と対するヒットが存在したイベント数の割合	51
6.2	外部トリガの場合の全トリガ数と対するヒットが存在したイベント数の割合	51
6.3	セルフトリガで得られた荷電粒子のヒット数	52
6.4	外部トリガで得られた荷電粒子のヒット数	52