

修士論文

HL-LHC ATLAS 実験に向けたシリコンピクセル検出器の粒子
線に対する応答評価試験

鷲津 優維

お茶の水女子大学 人間文化創成科学研究科 理学専攻

December 6, 2019

概要

This is the abstract of the thesis.

目次

1 LHC ATLAS 実験	1
1.1 LHC 加速器	1
1.2 ATLAS 実験	2
1.3 ATLAS 検出器	2
1.3.1 現行の内部飛跡検出器	3
1.4 HL-LHC 計画	4
1.4.1 概要	4
1.4.2 HL-LHC に伴う ATLAS 検出器のアップグレード	4
1.4.3 内部飛跡検出器のアップグレード	5
1.4.4 アップグレードに伴うモジュールの量産	6
2 アップグレードに向けたモジュール量産	7
2.1 モジュール量産	7
2.2 ピクセルモジュールの構成	7
2.3 シリコンピクセルセンサ	7
2.3.1 シリコンピクセルセンサの原理	7
2.3.2 バイアス構造	8
2.3.3 今回使用したシリコンピクセルセンサ構造	9
2.4 HL-LHC ATLAS 実験用新型 ASIC・RD53A	9
2.4.1 レジスタ	9
2.4.2 RD53A フロントエンドデザイン	10
2.4.3 HitOR 信号	11
2.5 モジュール量産に向けた品質性能試験	11
2.5.1 粒子線に対する応答評価試験の意義	11
2.5.2 応答評価試験の手法	12
2.5.3 本研究の目的	12
3 粒子線に対する応答評価試験のための読み出しシステムの動作確認	13
3.1 読み出しセットアップ概要	13
3.2 伝達確認	15
3.2.1 コマンド信号とデータ信号の確認	15
3.2.2 デジタルスキャン	15

3.2.3 アナログスキャン	16
3.2.4 閾値のチューニング	16
3.2.5 ノイズスキャン	17
3.2.6 HitOR 信号の伝達確認	17
4 セルフトリガを用いた応答評価試験	19
4.1 Latency チューニング機能の追加	19
4.1.1 YARR におけるトリガ DAQ と Latency の意義	19
4.1.2 Latency チューニング機能	20
4.2 セルフトリガを用いた応答試験セットアップ	21
4.3 応答試験手順	21
4.4 応答試験結果	21
4.5 考察	21
5 外部トリガを用いた応答評価試験	23
5.1 外部トリガを用いた応答評価試験セットアップ	23
5.1.1 ソースホルダの設計	23
5.1.2 MPPC からの信号を波形整形する回路	23
5.2 応答評価試験手順	23
5.3 応答評価試験結果	23
5.4 考察	23
6 結論	25

第 1 章

LHC ATLAS 実験

本章では、LHC 加速器について述べ、ATLAS 実験について、また、ATLAS 検出器について述べる。その後、High Luminosity LHC 計画について説明し、それに伴う ATLAS 検出器アップグレードについて説明する。

1.1 LHC 加速器

Large Hadron Collider (LHC) はスイス、ジュネーブにある欧州原子核研究機構 (CERN) の地下 100m、周長 26.7km のリングで構成される円形加速器である。最大で 14TeV の重心系エネルギーで陽子・陽子衝突させることができ、世界最大の陽子・陽子衝突型加速器である。新粒子の探索や、ヒッグス粒子やトップクォーク等の質量が大きい粒子を多く生成できるので、結合定数などの精密測定も行うことができる。LHC には、陽子・陽子衝突点を 4 点設けていて、各衝突点に、衝突に伴う生成粒子の観測を目的として、大型の検出器 (ATLAS, ALICE, CMS, LHCb) が配置されている。2017 年に陽子ビームのエネルギーが 6.5 TeV、重心系衝突エネルギーでは 13TeV、瞬間ルミノシティは $2 \times 10^{34} \text{ cm}^{-2} \text{s}^{-1}$ で物理実験が行われている。図 1.1 に LHC 加速器の全体図を示す。LHC では、陽子はバンチという塊で連なりビームを形成し、25 ns に 1 回、すなわち 40 MHz でバンチ同士の衝突が行われている。

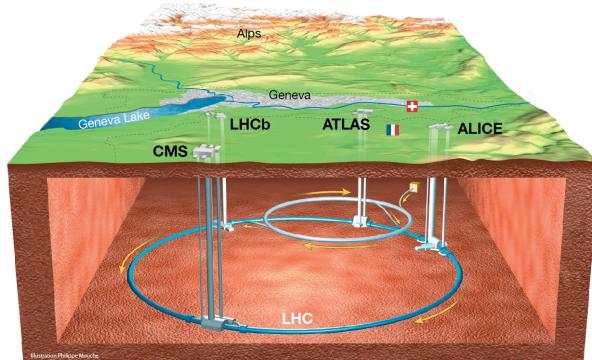


図 1.1: LHC 加速器全体図

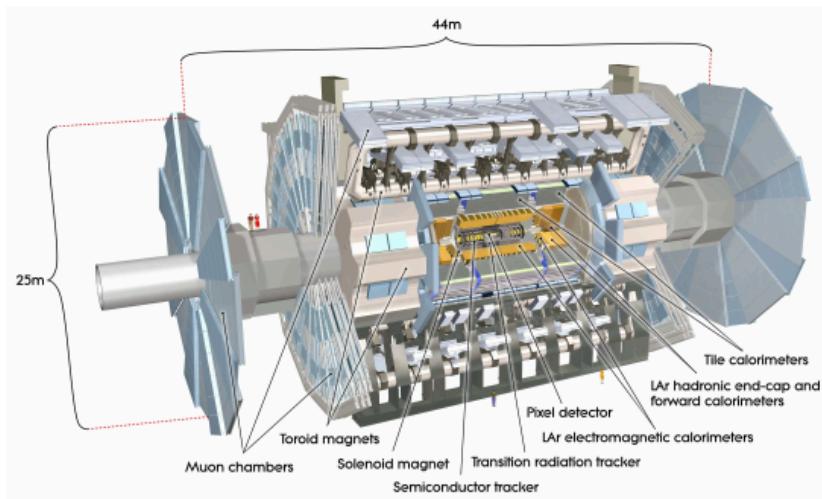


図 1.2: ATLAS 検出器全体図

1.2 ATLAS 実験

ATLAS 実験は LHC の 4 つの衝突点の 1 つに設置された ATLAS 検出器を用いて陽子陽子衝突から TeV スケールまでの高エネルギー物理事象を探査する実験である。2012 年には、LHC 実験の 1 つである CMS 実験と共にヒッグス粒子を発見し、標準理論の完成お大きな役割を担った。世界最高エネルギーの LHC を使ったヒッグス粒子やトップクォークといった重い粒子の精密測定は ATLAS 実験の重要な目的の 1 つである。他にも超対称性粒子などの新粒子を発見することが特に大きな目的となっている。

1.3 ATLAS 検出器

ATLAS 検出器の全体図を図 1.2 に示す。ATLAS 検出器は直径 25 m、長さ 44 m の円筒形で、陽子同士の衝突点から生じる粒子を検出できる構造になっている。また、多数の検出器の複合体である、内側から層状に、内部飛跡検出器、電磁カロリメータ、ハドロンカロリメータ、ミューオン検出器の順に配置されている。これらの複数の検出器を組み合わせることにより、粒子の追跡と識別をすることが可能になる。

ATLAS 検出器を構成する検出器の概要は以下のようになっている。

- 内部飛跡検出器
衝突点に一番近い最内層に位置する検出器、荷電粒子の飛跡を再構成して、運動量や粒子の崩壊点を測定。内側からピクセル検出器・ストリップ検出器・遷移輻射検出器で構成される。
- 電磁カロリメータ
入射した電子や γ 線のエネルギーおよび位置を測定。
- ハドロンカロリメータ
陽子や π 中間子などのハドロンのエネルギーを測定。
- ミューオン検出器
最外層に位置する検出器。ミューオンは透過率が高いため、最外層まで到達可能である。飛跡

精密測定用の Monitored Drift Tube(MDT), Cathode Strip Chamber(CSC), トリガ用の Resistive Plate Chamber(RPC), Thin Gap Chamber(TGC) の 4 種から構成される。

以降, 本論文に関係する内部飛跡検出器について述べる。

1.3.1 現行の内部飛跡検出器

現行の内部飛跡検出器は, 半径 1.15 m, 長さ 7 m の円筒形で, 荷電粒子の飛跡を検出する。Insertable B-Layer(IBL), Pixel 検出器, Semiconductor Tracker(SCT) と Transition Radiation Tracker(TRT) からなり, 荷電粒子の飛跡を検出する, 内部飛跡検出器の構造を図 1.3 に示す。

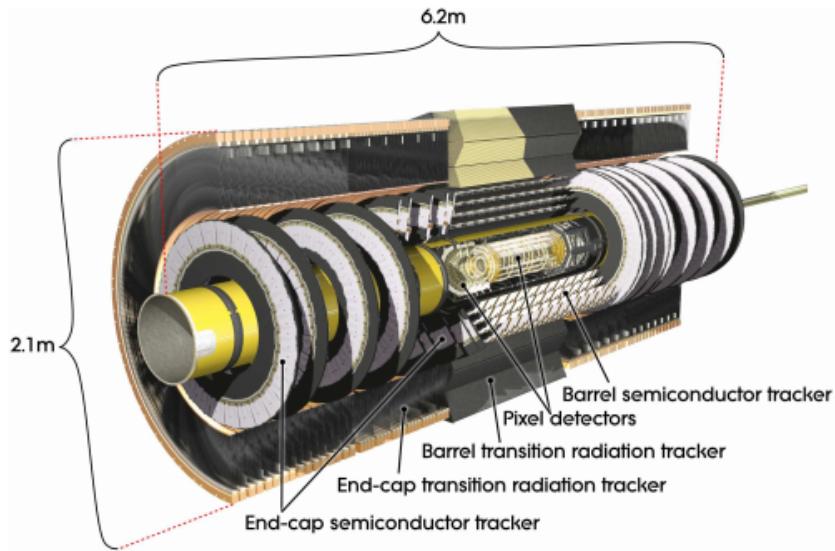


図 1.3: 内部飛跡検出器全体図

Pixel 検出器

ここでは, ピクセル検出器を IBL と他 3 層に分けて説明する。ピクセル検出器は内部飛跡検出器の最内層に位置し, バレル部 3 層, エンドキャップ部は 5 枚のディスクからなり, それぞれに合計約 1500 個, 約 700 個の検出器モジュールが配置されている。微小な読み出しチャンネルを 2 次元格子状に多数並べた作りをしているため, ピクセル検出器と呼ばれている。読み出しチャンネル毎のセンササイズが小さいため, 位置分解能が高く, 粒子密度の高い最内層でも粒子の飛跡の再構成の性能を維持する。

2014 年にバレル部最内層で, ピクセルサイズが $50 \mu\text{m}^2$ である IBL が導入された。残りのバレル部の 3 層はピクセルサイズが $50 \times 400 \mu\text{m}^2$ である。ピクセルの読み出し用 ASIC, 信号処理用 Flex 基板からなる。センサは R- ϕ 方向に $50 \mu\text{m}$, z 方向に $400 \mu\text{m}$ に細分化されている。読み出しには FEI3 と呼ばれる 18×160 ピクセル分の読み出しチャンネルをもつ ASIC が使用されている。センサは厚み $250 \mu\text{m}$ の

Strip 検出器

SCT は、細長い短冊状の読み出しチャンネルを 1 次元方向に多数並べたストリップタイプのシリコン検出器である、ストリップ間隔は $80\text{ }\mu\text{m}$ 、長さは 128 mm である。2枚のシリコンセンサを互いに 40 mrad の角度をつけて重ねて配置し、二次元位置情報を得る。SCT の読み出しチャンネルの総数は、約 630 万である。

1.4 HL-LHC 計画

本章では、HL-LHC 計画の概要とそれに伴う ATLAS 検出器のアップグレード項目について述べる。

1.4.1 概要

High Luminosity-LHC(HL-LHC) 計画とは、LHC のルミノシティを向上させることで、陽子中の大きなエネルギーを持つバートンの衝突を可能にし、思い粒子の探索を目的とした計画である。また、統計量が増えるので、超対称性などの様々な模型が予想する新粒子の感度を高めることができる。

HL-LHC 計画に向けて、図 1.4 のようにエネルギー・ルミノシティの段階的なアップグレードが行われてきた。LHC は 2010 年に重心系エネルギー 7TeV にて稼働を開始。2010 年から 2013 年までのデータ取得期間を Run1 と呼ぶ。Run1 が終わってから Run2 が始まるまでの期間を LS1 と呼び、Run2 に受けた Phase0 アップグレードが行われた。Run2 は 2015 年に重心系エネルギー 13TeV で開始され、2018 年に終了した。その後 Phase1 アップグレードを LS2 期間に行い、2021 年から 2023 年まで重心系エネルギー 14TeV での Run3 が行われる予定となっている。そして、2024 年から始まる LS3 期間にさらなるアップグレードが行われ、2026 年から HL-LHC として稼働を開始する計画となっている。

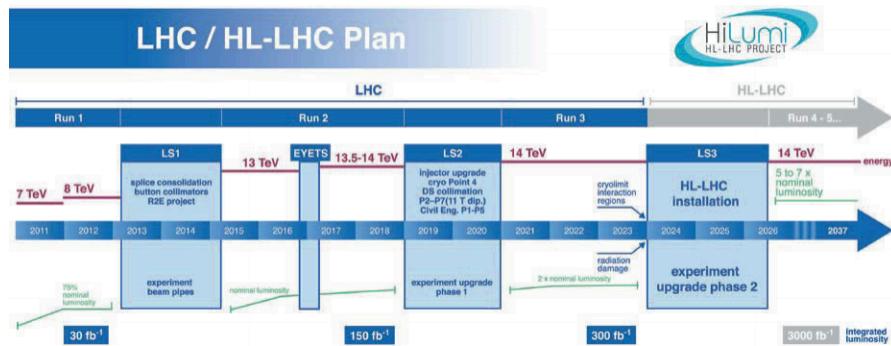


図 1.4: HL-LHC 計画

1.4.2 HL-LHC に伴う ATLAS 検出器のアップグレード

HL-LHC 計画に伴い、ATLAS 検出器もアップグレードが行われる。HL-LHC を達成するために、陽子の衝突点近傍に設置する超伝導磁石や荷電粒子の飛跡を測定する内部飛跡検出器、ミューオントリガ用の電子回路の開発・製造が行われる。ATLAS 検出器のアップグレードは 3 段階に分けて行われる。

- Phase0 アップグレード

2014-2017 年の LS1 期間中に行われたアップグレード内部飛跡検出器の最内層のピクセル検出器である Insertable B-Layer(IBL) を導入

- Phase1 アップグレード

2019-2021 年の LS2 期間に行われるアップグレード Fast Track Trigger(FTK) が導入され, TGC の最内層が取り替えられる

- Phase2 アップグレード

2023-2026 年の LS3 期間に行われるアップグレード内部飛跡検出器の総入れ替え。

ルミノシティが 2019 年現在の約 3 倍に増加することで、生成粒子密度や放射線の増加が見込まれるため、検出器の細分化や高速レートでの読み出し、放射耐性の向上が要求される。本研究では、アップグレード後の内部飛跡検出器で必要とされる高速読み出しの性能について系統的に調べた。

1.4.3 内部飛跡検出器のアップグレード

以降、本論文に関わる内部飛跡検出器のアップグレードについて述べる。HL-LHC に向けて、内部飛跡検出器は Inner Tracker(ITk) と呼ばれるシリコン検出器に置き換えられる。粒子密度の増加に対応できないために TRT 層は廃止され、内側にピクセル、それを覆うようにストリップ検出器が配置される。ピクセル検出器はバレル部とエンドキャップ部に 5 層、ストリップ検出器はバレル部に 4 層、エンドキャップ部に 6 層配置される予定である。

現行の ATLAS 内部飛跡検出器は、重心系衝突エネルギー 14TeV 、瞬間ルミノシティ $1 \times 10^{34}\text{cm}^{-2}\text{s}^{-1}$ を想定した設計になっているが、HL-LHC ではビーム衝突あたりの非弾性陽子・陽子衝突の数が現在の約 7.5 倍に増加する。

この際の問題が 2 点存在する。1 点目は、衝突あたりの生成粒子増加による放射線損傷である。検出器が放射線損傷を受けると検出効率が低下するため、より高い放射線耐性をもつ検出器が要求される。2 点目は、検出器のヒット占有率の増加である。ヒット占有率とは、衝突イベントごとに 1 検出器あたり、全チャンネルのうちヒット判定されたチャンネル数である、HL-LHC では、衝突ごとに発生する粒子数が約 7.5 倍程度増加するため、現状の検出器のままでは、ヒットチャンネルで埋まり、パターン認識を用いた飛跡再構成の性能が低下する。HL-LHC の環境下で飛跡再構成の性能を維持したまま運転を続けるためには、より微細に位置検出が可能な検出器が必要となる。

以上の理由により、内部飛跡検出器の全てをシリコン検出器にし、Pixel、SCT の領域を拡張し、TRT を廃止する予定である。

Pixel 検出器のアップグレード

HL-LHC における高い放射線環境とヒット占有率の増加に対応するため、Pixel はより放射線耐性の高いもの、よりピクセルサイズが小さいものへの変更が要求される。飛跡再構成の性能を維持するために、衝突ごとに発生する粒子の密度が 5 倍程度増加することに合わせ、ピクセルのサイズを現行の Pixel の $1/5$ まで小さくし、チャンネル数を 5 倍に増やしたセンサを配置する。それにあわせて、ピクセル検出器からの信号を読み出すための特定用途向け集積回路についても現行と比べてより性能が高いものが要求される。現在はその要求を満たす新型 ASIC のプロトタイプ版が完成してい

る..

1.4.4 アップグレードに伴うモジュールの量産

前節でも述べたように、HL-LHC 計画に伴い、内部飛跡検出器の総入れ替えが計画されている。これにあたって、内部に用いるピクセルモジュールの量産が必要となる。そのため、世界で約 10000 個のモジュールの量産が計画されており、日本グループはそのうちの約 2000 個を担当する予定になっている。

現在、新型 ASIC のプロトタイプ版が 1 チップ接続されたシングルチップモジュールが生成されており、2月ごろに 4 チップ接続されたクアッドチップモジュールが完成する予定である。このクアッドチップモジュールを用いて、量産体制の確認が行われ、実機で用いられる新型 ASIC 付きモジュールの量産に向けた体制が見直される計画である。

第 2 章

アップグレードに向けたモジュール量産

前章で述べたように、HL-LHC 計画に伴い、内部飛跡検出器のアップグレードが計画されている。本章では、それに伴う、モジュールの量産について説明し、モジュールの構成、要素であるシリコンセンサの原理、フロントエンド ASIC について述べ、モジュールの量産について必要な試験項目について説明する。

2.1 モジュール量産

HL-LHC 計画にあたって、内部飛跡検出器の総入れ替えを予定しているため、内部に用いるピクセルモジュールの量産が必要である。世界で約 10000 個のモジュールの量産が計画されており、日本グループはそのうちの約 2000 個を担当する予定になっている。

現在は、実機で用いるモジュールを量産するための準備として、プロトタイプ版のモジュールで量産体制の確認が計画されている。プロトタイプ版のモジュールは 2 月ごろに完成が予定されている。

2.2 ピクセルモジュールの構成

この節では、ピクセル検出器の構成について説明する。以下にピクセル検出器の構造図を示す。ピクセル検出器は Flex 基板、フロントエンド ASIC、シリコンピクセルセンサの 3 要素で構成されている。

2.3 シリコンピクセルセンサ

この節では、ピクセル検出器を構成する要素の 1 つであるシリコンピクセルセンサについて説明する。

2.3.1 シリコンピクセルセンサの原理

シリコンセンサの動作原理は半導体に従う。この節では、半導体の基本原理と性質について述べる。物質は導体、絶縁体、半導体の 3 種に分類することができる。これは、電気抵抗値によって決まっており、半導体は導体と絶縁体の中間の値をもつ。一般に室温で、 10^{-2} から $10^9 \Omega\text{cm}$ の範囲に分類される。典型的な半導体物質にはシリコン、ゲルマニウム、ガリウムヒ素などがあげられる。

pn 接合と空乏化

高純度の半導体は、電気を通しにくいが、不純物を添加(ドープ)することによって電気的特性を変えることができる。ホウ素などの3価の元素をドープする場合、これをp型半導体と称する。p型半導体では、価電子帯に電子の欠損である正孔が生じ、これが電気伝導に寄与する。一方ヒ素やリンなど5価の元素をドープする場合は、n型半導体と称する。n型半導体では自由電子が発生し、これが電気伝導に寄与する。p型半導体における不純物をアクセプタ、n型半導体における不純物をドナーと呼ぶ。

一般的な半導体検出器は、n型とp型の半導体を接合(pn接合)した構造をもつ。以下の図のよう、n型とp型の接合面付近では、電子-正孔が再結合した空乏層が発生する。これに逆電圧 V_b を印加することによって空乏層を拡張することができる。このときの電圧 V_b と空乏層の幅 d の関係は以下のように求められる。接合面を原点、空乏層を $x_p < x < x_n$ とし、ある位置での電位を V 、電荷密度を ρ_e とする。また、各半導体のアクセプタ濃度を N_a 、ドナー濃度を N_d とする。素電荷を e 、シリコンの誘電率を ϵ とする。

荷電粒子の検出

荷電粒子が物質中の電子との衝突によって失うエネルギーは、Bethe Blochの式であらわされる。

エネルギー帯

孤立した原子では、エネルギー順位は離散的な値をとる。多数の原子が集めると原子同士の引力と斥力の混じった相互作用により、位置に依存する連続的なバンド状順位をみなすことができる。これをエネルギー帯という。エネルギー帯構造は、価電子帯、禁制帯、伝導帯から構成される。絶縁体・半導体・導体の違いはこのエネルギー帯構造の違いによるものである。導体では、バンドが重なっているため、電子やホールといった電荷のキャリアが自由に動くことが可能である。一方で、半導体や絶縁体では、バンド間にギャップがあるため、自由に動くことができない。半導体の場合は、このギャップ幅がeVオーダーであり、熱的な励起によってギャップを超えることが可能になる。絶縁体の場合は、ギャップ幅が約4eVより大きく、室温においてキャリアが自由に動くことができない。

ドナーとアクセプタ

2.3.2 バイアス構造

シリコンピクセルセンサには、製造時に良品不良品を選別するための高電圧用のバイアス構造が備わっている。

パンチボンディングの前にセンサのみの試験を行い、動作不良センサを取り除く品質評価の工程がある。このピクセルセンサ評価方法として、IV測定がある。IV測定には全てのピクセルがGNDに落とされている必要があり、また、各ピクセルは分離されている必要がある。そのために必要になるのがバイアス構造である。バイアス構造は、ピクセル間にバイアスレールを置き、そこから各ピクセルにバイアス抵抗を引く。この構造により、ピクセルはGNDと同電位とることができ、また、各ピクセルが抵抗により、分離される。

2.3.3 今回使用したシリコンピクセルセンサ構造

本論文で扱うピクセルセンサの表面構造について述べる。上から見たセンサの様子である。ピクセルセンサは2次元的に電極が配列されており、センサのみのテストのためにバイアスレールが敷かれている。

2.4 HL-LHC ATLAS 実験用新型 ASIC · RD53A

この節では、ピクセル検出器からの信号は、検出器に直接接続された電気回路で最初に処理される。この電気回路をフロントエンドエレクトロニクスと呼ぶ。この回路は、全て専用の信号読み出し用ASIC内に実装されている。そのため、フロントエンドASICと呼ぶこともあるが、以降ではASICと呼ぶことにする。

この回路を用いて検出器からの微弱な電気信号を受け取り、計測用のシステムに最適化した応答をするように信号をアンプ回路や波形整形回路などで調整する。さらに、コンピュータでの解析処理や、データの保存のためにアナログ信号をデジタル信号に変換する。

以下にピクセル検出器と読み出しASICの接続図を示す。ピクセル検出器の各チャンネルとASICはバンブボンディングという手法で接合し、ASICでは検出器からの信号に対して処理を行う。

RD53AはHL-LHC ATLAS実験用に開発されたプロトタイプ版の新型ASICであり、前章で述べたような、高い放射線耐性と、高い位置分解能を達成する。以下に現行のATLAS検出器で用いられているASIC・FEI4とFEI3、プロトタイプ版新型ASIC・RD53Aの比較を示す。

表 2.1: 現行のASIC2種と新型プロトタイプ版ASICの比較

ASIC名	FEI3	FEI4	RD53A
ピクセルサイズ	$50 \times 400 \mu\text{m}^2$	$50 \times 250 \mu\text{m}^2$	$50 \times 50 \mu\text{m}^2$
ピクセルのチャンネル数	18 × 160	80 × 336	$50 \times 50 \mu\text{m}^2$
チップサイズ	$7.6 \times 10.8 \text{ mm}^2$	$20.2 \times 19.0 \text{ mm}^2$	$20 \times 11.8 \text{ mm}^2$

このように、RD53Aは現行のASICと比較してピクセルサイズが小さいため、高い位置分解能を達成する。

2.4.1 レジスタ

ASICには、アナログ回路とデジタル回路の振る舞いを調節するために、回路の動作を制御する設定値を保持するレジスタが存在する。RD53Aのレジスタは2種類存在し、全てのピクセルに共通の設定を保存するグローバルレジスタ(GR)と各ピクセルの設定値を保持するピクセルレジスタ(PR)がある。

- グローバルレジスタ

RD53Aには137個のGRがあり、ピクセルに共通が閾値(threshold)，回路のオンオフなどを設定することができる。

- ピクセルレジスタ

Synchronous Frontend には 3 bit, その他の 2 つのフロントエンドには 8 bit のレジスタがある。ピクセルのデジタル回路のオンオフや閾値 (threshold) を設定することができる。

2.4.2 RD53A フロントエンドデザイン

RD53A はプロトタイプ版のため, Synchronase Frontend, Linear Frontend, Differential Frontend と, 3 つの異なるフロントエンドデザインが存在する。

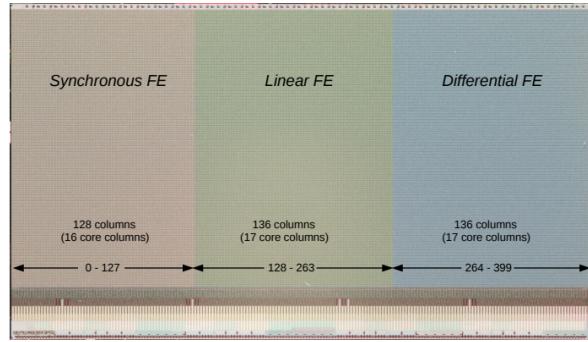


図 2.1: RD53A のフロントエンドデザイン

今回は実機で利用されることが予定されている Differential Frontend(以下 : Diff FE) のみを用いて研究を行なったため, それについて詳しく説明する。

Diff FE の仕組み

3 つのフロントエンドで大きく異なるのは, アナログ回路部分の構造である。Diff FE のアナログ回路構造を以下に示す。

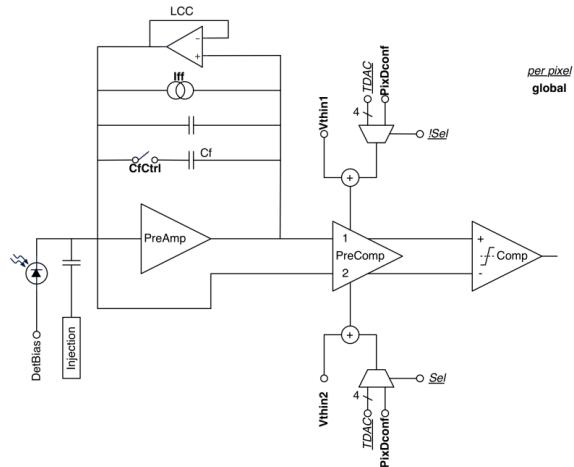


図 2.2: Diff FE のアナログ回路構造

図 2.2 に示したように, Diff FE では, RD53A の GR 値である”DiffVthin1” と ”DiffVthin2” で閾値

を設定可能である。これらのGR値は、入力された信号(2.2の赤い信号)と、それに対して反転増幅を行なった後の信号(2.2の青い信号)それぞれに作用するオフセット電圧である。Diff FEはこれらの信号の差動によって、出力信号を定義しているため、オフセットを変化させることで、閾値を調整することができる。

2.4.3 HitOR 信号

RD53Aには、現行のFEI4に実装されているセルフトリガ機能がない代わりに、HitORというセンサに荷電粒子が入射したタイミングで、出力される信号が存在する。HitOR信号出力する仕組みについて説明する。図2.3はRD53Aの一部である $8 \times 8\text{pixel}$ を示している。

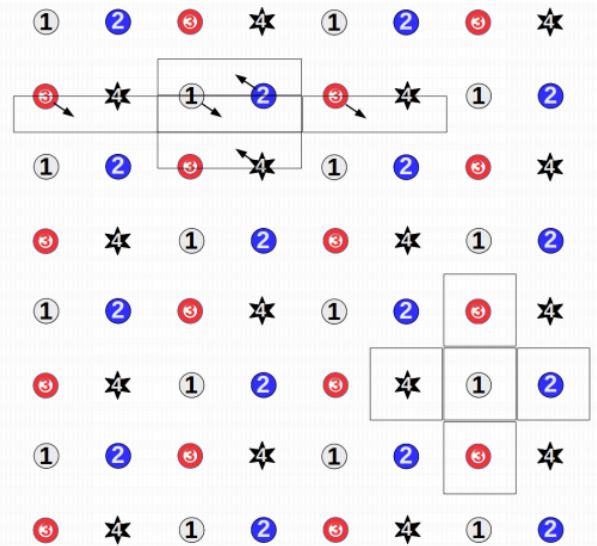


図2.3: HitOR信号のネットワーク図

HitOR信号は、図??の各ピクセルに割り当てられている番号1-4ごとにまとめて読み出される。これを番号ごとにネットワークと呼ぶ。このネットワークは任意のネットワークに含まれるピクセルの上下に1つのネットワーク、左右に異なる2つのネットワークが存在するように配置されている。例えば、1番のネットワークのあるピクセルには、3番のネットワークが上下に存在し、左右には2番と4番のネットワークが存在するようになっている。このように配置されたネットワークごとに、HitORは読み出される仕組みになっている。

2.5 モジュール量産に向けた品質性能試験

量産されたモジュールは品質性能基準を達成するために、試験にかけられる。その試験項目の1つとして、本論文に関わる、粒子線に対する応答評価試験が存在する。

2.5.1 粒子線に対する応答評価試験の意義

HL-LHC ATLAS実験に向けたピクセル検出器量産に際して、全ての検出器モジュールに対して、品質管理のための試験を行う。この試験項目の1つとして、粒子線に対する応答評価試験（以下:ソーラー

ススキャン) が設けられている。

前章でも述べたように、ピクセル検出器の各チャネルと ASIC はバンプボンディングという手法で接続されている。このバンプボンディングに異常がないかどうかを確認するための試験が、ソーススキャンである。

2.5.2 応答評価試験の手法

応答評価試験には、主に 2 種類の手法がある。1 つは、センサに荷電粒子が入射した時の信号を取得したタイミングでデータ取得を行う、セルフトリガと呼ばれる手法。もう 1 つは、センサの上にシンチレータ、その上に粒子線源を設置し、シンチレータに粒子線が入射した時の信号を取得したタイミングでデータ取得を行う手法である。今回はこれら 2 種類の手法を用いてソーススキャンを行い、どのような試験結果の振る舞いがなされるかの検証を行なった。

今回用いた読み出し ASIC・RD53A には、セルフトリガ機能が実装されていないため、HitOR 信号を外部に出力し、FPGA を用いて処理することでデータ取得を行なった。

YARR ソフトウェアには、外部トリガスキャンという機能が実装されているため、今回はこの外部トリガに HitOR 信号を用いた手法をセルフトリガ、シンチレータに粒子線が入射した時の信号を用いた手法を外部トリガと呼ぶ。

2.5.3 本研究の目的

本研究では、シリコンピクセルセンサが接続された HL-LHC ATLAS 実験用新型 ASIC 搭載モジュールを用いて、2 種類の手法で行なったの粒子線に対する応答評価試験結果について報告する。

第 3 章

粒子線に対する応答評価試験のための読み出しシステムの動作確認

この章では、粒子線に対する応答評価試験のために行なった、外部トリガを処理する機能の追加と、応答評価試験のための準備について述べる。

3.1 読み出しセットアップ概要

以下に読み出しシステムの概要を示す。主に RD53A 搭載の Single Chip Card (SCC) と FPGA ボード、PC を用いて読み出しシステムを構成している。今回は読み出し ASIC と FPGA ボードは、HPC-mDP 変換ボードを用いてケーブルにて接続を行い、FPGA 内部で ASIC からのデータ信号の処理を行なった。また、高速通信用インターフェースで PC と FPGA ボードを接続し、データ転送を行なった。

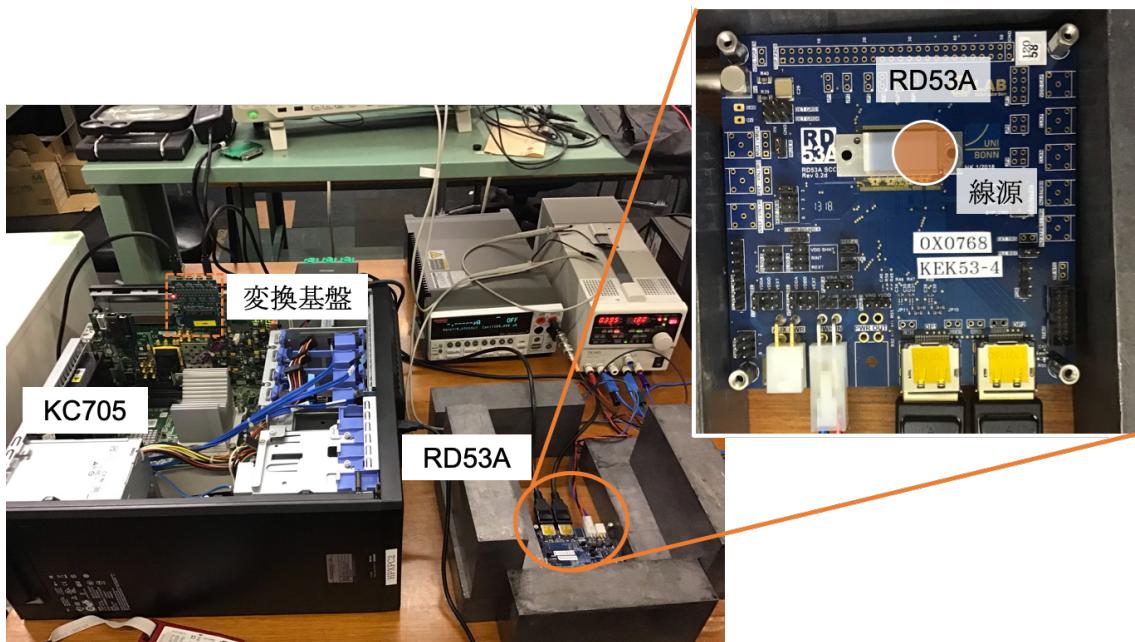


図 3.1: セットアップ

PC

PC から PCIe によって接続された FPGA ボードに制御コマンドを送る。また、FPGA ボードからきたデータを整理する。DAQ の基本的なソフトウェアとファームウェアは YARR の DAQ システムを用いた。YARR は読み出しシステムの構築と性能向上を目指すオープンソースプロジェクトである。

FPGA ボード

Xilinx, Inc. の Kintex-7 FPGA 搭載 KC705 評価ボードを使用。この FPGA ボードは、研究室規模の実験で使うことを想定しているため、FPGA 評価ボードは一般的に流通して入手性がよいため、この FPGA ボードを使用している。また、KC705 は PCIe 通信に対応し、PC と PCIe 間では 5.12 Gbps の通信速度に対応している。今回は YARR のシステムに外部トリガを受信、処理を行う機能を追加し、RD53A の出力する HitOR 信号を用いて、外部トリガを受信できているかを確認した。

アダプタカード

ASIC は DP-mDP ケーブルから mDP-HPC アダプタカードを通して FPGA ボードに接続される。

RD53A 搭載 Single Chip Card モジュール

ASIC を 1 チップ搭載した試験用モジュールが Single Chip Card モジュールである。今回試験したのはアップグレード用のプロトタイプ版 ASIC である RD53A 搭載のモジュールである。センサ付きの RD53A が搭載されたモジュールの写真を以下に示す。RD53A は細い金属ワイヤにより基板上の回路パターンと電気的に接続されている。基板に RD53A が外部と通信するための DP コネクタ(図中: DP1), 電源供給のための molex コネクタ(図中: PWR IN), センサに電圧を印加するための LEMO コネクタ(図中: HV), センサが検出した信号を外部に出力するための DP コネクタ(DP2)が実装されている。

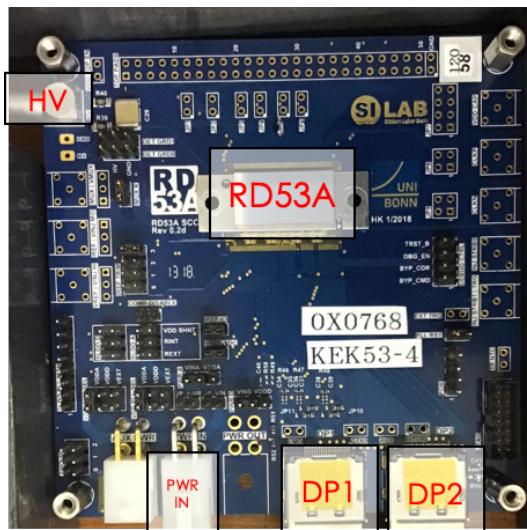


図 3.2: センサ付き RD53A 搭載 Single Chip Card モジュール

今回電源とセンサに印加した電圧は 3.1 に示す。

表 3.1: 今回 RD53A とセンサに供給した電圧

	RD53A アナログ回路	RD53A デジタル回路	ピクセル センサ
印加電圧 [V]	1.80	1.80	-50

β 線源

今回は粒子線として β 線源であるストロンチウム 90 を使用した。ストロンチウム 90 は中性子過剰であるため、 β 崩壊によってイットリウム 90 を生成し、その後さらなる β 崩壊によってジルコニウム 90 となる。半減期は 28.79 年であるが、2 段階の β 崩壊が起こるため、 β 線のエネルギーは高いものになっている。式 3.1 にベータ崩壊の機構を、式 3.2 にストロンチウムの崩壊過程を示す。



β 線の今回用いた β 線源は 2017/02/13 時点で $5.00 \times 10^3 \text{Bq}$ のものであった。すなわち現在の放射能は以下のように求められる。

$$A = -\lambda N_1 = A_0 \exp\left(-\frac{\ln 2}{T} t\right) \quad (3.3)$$

ここで、

A_0 : 2017/02/13 時点での放射能 ($5.00 \times 10^3 \text{Bq}$)

T : ^{90}Sr の半減期 (28.79 year)

t : 2017/02/13 から現在までの時間 (25/12 year)

式 3.3 より、現在の放射能 A は、 $4.76 \times 10^3 \text{Bq}$ と求まる。

3.2 伝達確認

ソーススキャンを行うために、既存の KC705 用 YARR フームウェアに外部トリガを処理する機能を追加した。本節では、機能を追加したフームが外部トリガを受信確認について述べる。

3.2.1 コマンド信号とデータ信号の確認

オシロスコープでコマンド信号とデータ信号を RD53A SCC 上でプローブし、波形を確認した。

3.2.2 デジタルスキャン

全ピクセルのデジタル回路に複数回擬似パルスを注入して、注入した回数のうち何回応答が返ってくるのかを確認する。この作業をデジタルスキャンと呼ぶ。全ピクセルごとの回路の応答を確認し、データの転送線、FPGA 内部の処理、PC への通信の各経路でデータの損失がないことを確認するのに有効である。図 3.3 に 100 回擬似パルスを注入した時の応答数の分布を示す。

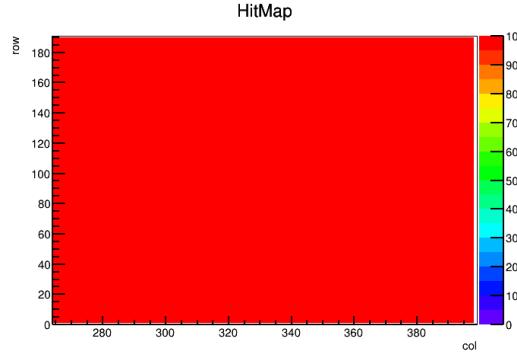


図 3.3: デジタルスキャン

3.2.3 アナログスキャン

アナログ回路に複数回擬似パルスを注入して、注入した回路のうち何回応答が返ってくるのかを確認した。この作業をアナログスキャンと呼ぶ。今回はDiff FEのみを使用するので、その他のフロントエンドは、グローバルレジスタの”EnCoreColSync1/2”, ”EnCoreColEnLin1/2”を全て0にすることで非使用に設定した。また、Diff FE内接続されているピクセルセンサの上下構造の違いにより、上半分にノイズが多く現れるため、それを防ぐために、Diff FEのアナログ回路のLCC回路の部分をオンにする。これは、グローバルレジスタ”DiffLccEn”という値を0から1に変更し、”DiffLcc”を255にすることでオンにすることができます。図3.4aにLCC回路をオフにした場合、図3.4bオンにした場合それぞれのDiff FEのアナログスキャンの結果を示す。LCC回路をオフにすると、上部の横端にノイズが多く発生してしまうため、ASICのピクセルが非使用に設定されてしまう。LCC回路をオンにすることで、ノイズの量が減り、センサの面積を有効に利用することができる。

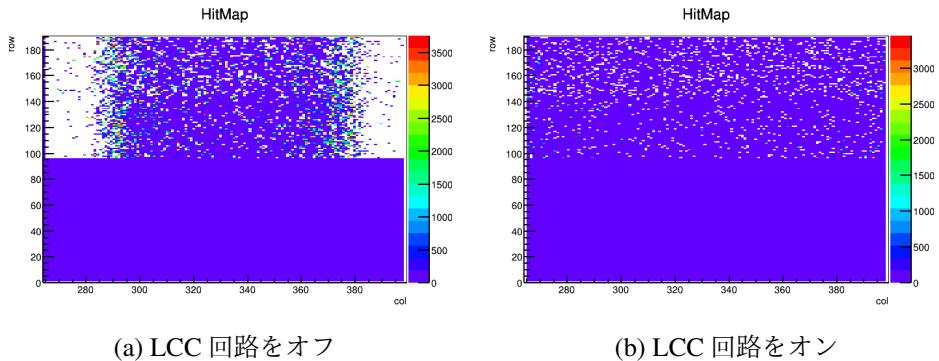


図 3.4: アナログスキャン

3.2.4 閾値のチューニング

閾値とはピクセルの応答率が50%となる電荷量で定義される、ピクセルごとの閾値を決めるDAC値を調節することによってピクセルごとの閾値を揃える。この作業を閾値のチューニングという。図3.5aは、注入電荷を変化させながら、各ピクセルに試験電荷を複数回入射したときの応答数の概念図である。この閾値をチューニング目標値になるように、各ピクセルのパラメータを変更する。

閾値チューニング前後の各ピクセルの閾値のヒストグラムを図3.5bと図3.5cに示す。目標値は

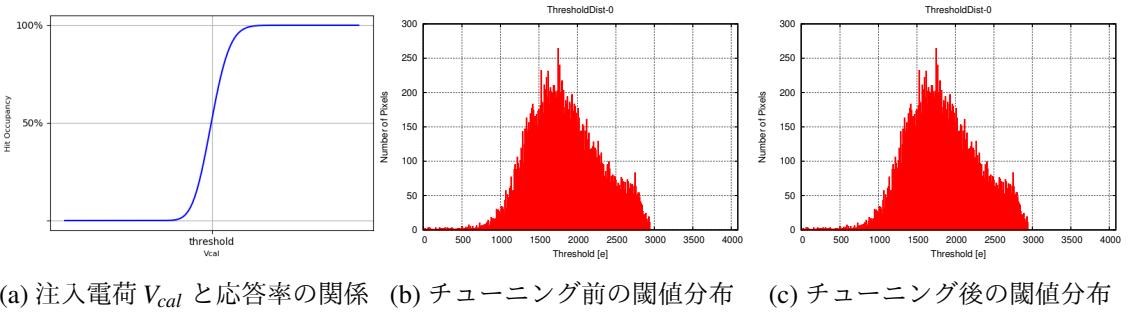


図 3.5: 閾値チューニング

2500e と設定した。

2500e という閾値は、センサの厚みとノイズ信号の大きさを考慮した値である。今回使用したセンサの厚みは、 $150 \mu\text{m}$ であり、全て空乏化した場合に発生する信号は 10000 e である。まず、この信号を ASIC が読み出す際に、4分割されてしまったとしても、検出してほしいために閾値は 2400 e 以下であることが望ましい。また、ノイズ σ の大きさに対して 6-7 σ 離れている必要があるため、バイアスレール有りの場合、 $\sigma = 200\text{e}$ と知られているため、1200 e 以上にすることが望ましい。閾値のヒストグラムを見ると、1200 e にチューニングした場合は、1200 e 以下まで多く分布してしまっているため、今回は分布が 1200 e 以上に収まるような、2500 e を目標値としてチューニングを行なった。

3.2.5 ノイズスキャン

任意の周波数でトリガを発行し、その全トリガ数に対するのアナログ回路から何回応答が返ってくるのかを確認する。この作業をノイズスキャンと呼ぶ。ピクセルセンサが粒子線以外の信号に対して反応していないことを確認するために有効である。

この作業によって、粒子線以外の信号に対して反応している部分は非使用に設定される。引き続き Diff FE のみを使用した。任意の周波数でトリガを送り、その時のアナログ回路からの応答に対して、閾値を超えるものを非使用に設定する。この作業をノイズスキャンと呼ぶ。今回は 20000 Hz で 5 分間ノイズスキャンを行なった。以下にノイズスキャンを行う前と行なった後の Occupancy Map と Enable Pixel Map を示す。

3.2.6 HitOR 信号の伝達確認

モジュールの上に β 線源を配置し、オシロスコープで HitOR 信号を RD53A SCC 上でプローブすることで、波形を確認した。また、FPGA まで HitOR 信号が伝わっているかどうか、正常に処理され、そのタイミングでトリガが出力されているかどうかを Vivado の Logic Analyzer を用いて確認した。それが以下の図である。

このようにファームウェアに外部トリガを取得し、処理する機能を追加できていることを確認した。

第 4 章

セルフトリガを用いた応答評価試験

この章では、セルフトリガを用いた粒子線に対する応答評価試験について述べる。

4.1 Latency チューニング機能の追加

この節では、粒子線に対する応答評価のために必要だった Latency チューニング機能について述べる。

4.1.1 YARR におけるトリガ DAQ と Latency の意義

YARR ソフトウェアを用いたデータ取得におけるトリガ DAQ について説明する図を以下に示す。Latency とは、図の trigger 入力時にどれだけの時間遡ってメモリから情報を読み出すかを定める値である。この Latency がずれないと、データを正しく読み出すことができない。YARR では、指定された Latency 分遡った Clock の前 8 Clock, 後 7 Clock, 計 16 Clock 分のデータを読み出す。16 Clock の中で何 Clock 目のデータであるかを示す値として、L1ID というものが記録される。アナログスキャンにおける L1ID の分布を以下に示す。

理想的には L1ID が 7 のところにトリガの中心を合わせたい。そのために、YARR で指定できる Latency に関する 3 種類のパラメータを以下に示す。

delay

ソフトウェアを通してファームを制御する。

delay

ソフトウェアを通してファームを制御する。

グローバルレジスタ”LatencyConfig”

RD53A の全てのピクセルに共通する設定値であるグローバルレジスタの内の 1 つに LatencyConfig という Latency に関する設定値が存在する。LatencyConfig がどのような値であるか説明する図を以下に示す。

ASIC のあるピクセルが信号を検知すると、そのピクセルが 40 MHz の Clock に合わせてカウントを始める。そして、FPGA から送られてくるトリガを受け取った時に、そのカウントが設定し

た”LatencyConfig”の値と等しいピクセルの情報を読み出すようになっている。

”LatencyConfig”は、9bitの値であり、0-511まで変化させることが可能である。

4.1.2 Latency チューニング機能

前節で述べたように、Latencyが合っていないと、データを正しく読み出すことができないので、Latencyを正しい値にすることが、データを正しく読み出す上で大変重要となる。そこで、今回はグローバルレジスタ”LatencyConfig”値を変化させることで、Latencyを合わせられるような機能をYARRに追加した。

今回、センサからの信号をASICがHitOR信号として出力したTriggerに対するLatencyを合わせたかった。前章で述べたように、HitOR信号がFPGAに伝わっていることを確認した上で、以下を行なった。

1. セルフトリガによって100イベントを取得する
2. 取得したデータのL1IDの分布を得る
3. L1ID == 7であるイベント数を記録

以上を0-511の各”LatencyConfig”値に対して行い、”LatencyConfig”値とL1ID == 7だったイベント数の関係を図4.1のように得る。この時にもっともイベント数が多かった”LatencyConfig”値の時にLatencyが合っていると定義した、

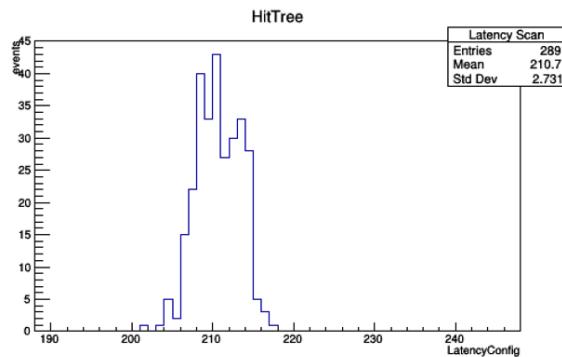


図4.1: ”LatencyConfig”値とL1ID == 7だったイベント数の関係

4.1.2.1 Latency チューニングが幅を持つ理由

理想的には、Latencyチューニングを行なった時の分布は、正しいLatency値にのみピークが立つはずであるが、今回の結果はそうはない。理由は2つある。

- YARRの仕組みとして、32bitに1回トリガを発行するかどうかを決めているので、前後8Clock分の幅が生じる
- アナログアウトプットのキャパシタンスにズレがあるために前後2Clock分の幅が生じる。これは、アナログスキャンを行なった時のL1IDの分布を見ると、L1ID == 7のところにのみピークが立つのではなく、前後に2Clock分の幅を持っていることから確認できる。

4.2 セルフトリガを用いた応答試験セットアップ

主なセットアップは読み出しシステムの動作確認と変わらず、RD53A 搭載の Single Chip Card(SCC) と FPGA ボード、PC を用いて読み出しシステムを構成し、センサからの信号を外部に出力するためのコネクタをアダプタカードの port D、RD53A がコマンドを受け取るためのコネクタをアダプタカードの port A に繋ぐようにしている。

4.3 応答試験手順

前章で述べた HitOR 信号の伝達確認を行なったのち、前節で述べた Latency チューニングを行った。"LatencyConfig" の分布が図 4.1 のように得られた。

この分布から、今回は"LatencyConfig" の値を 211 に設定することで、Latency を合わせた。Latency を合わせた上で、線源を上をセンサに設置した場合としない場合について、30 分間のセルフトリガによるデータ取得を行なった。

4.4 応答試験結果

以下に線源をセンサ上に設置した場合としない場合それぞれの、30 分間セルフトリガによるデータ取得結果を示す。線源あり、なしの場合で、Occupancy Map の分布に差があることが見て取れるが、数値としては、ヒットレートに大きく変化は無かった。応答評価試験として、センサ-ASIC 間の接続確認を行うためには、センサからの信号でトリガをかけたデータ取得が行われているか確認する必要がある。すなわち、センサからの信号

4.5 考察

第 5 章

外部トリガを用いた応答評価試験

この章では、外部トリガを用いた粒子線に対する応答評価試験について述べる。

5.1 外部トリガを用いた応答評価試験セットアップ

RD53A の量産にあたって、行われる品質試験では、外部トリガを用いた応答評価試験が行われる。そのため、実際に行われる試験環境に近いセットアップで試験を行なった。セットアップの写真を以下に示す。実際に行われる試験環境はクーリングボックスと呼ばれる、温度が低温に維持された小さな箱の中で行う。それに合う応答評価試験セットアップを考えるにあたって、線源とシンチレータ、シンチレータの光信号を電気信号に変換する MPPC が乗ったソースホルダと、MPPC からのアナログ信号を波形整形し、LVDS のデジタル信号に変換するような基板の設計を行なった。

5.1.1 ソースホルダの設計

ソースホルダの外観を以下に示す。クーリングボックス内で使用することを想定し、コンパクトな作りになっている。これは、FreeCAD というオープンソース汎用 3D CAD モデラで設計し、3D プリンタを用いて作成した。

5.1.2 MPPC からの信号を波形整形する回路

MPPC からの信号を波形整形する回路は以下のようになっている。

大きく、電圧供給回路、反転増幅回路、コンバレータ回路、LVDS 変換回路から構成されている。基板は KiCAD という CERN 開発のオープンソースプリント基板 CAD を用いて設計し、によって作成した。

5.2 応答評価試験手順

5.3 応答評価試験結果

5.4 考察

第 6 章

結論

Acknowledgement

Thanks, many thanks for all my friends. ありがとう。本当にありがとう。

参考文献

図目次

1.1	LHC 加速器全体図	1
1.2	ATLAS 検出器全体図	2
1.3	内部飛跡検出器全体図	3
1.4	HL-LHC 計画	4
2.1	RD53A のフロントエンドデザイン	10
2.2	Diff FE のアナログ回路構造	10
2.3	HitOR 信号のネットワーク図	11
3.1	セットアップ	13
3.2	センサ付き RD53A 搭載 Single Chip Card モジュール	14
3.3	デジタルスキャン	16
3.4	アナログスキャン	16
3.5	閾値チューニング	17
4.1	”LatencyConfig” 値と L1ID == 7 だったイベント数の関係	20

表目次

2.1 現行の ASIC2 種と新型プロトタイプ版 ASIC の比較	9
3.1 今回 RD53A とセンサに供給した電圧	15