

修士論文

Title of your thesis

The Author

Department of Physics, A University

November 30, 2019

概要

This is the abstract of the thesis.

目次

1	LHC ATLAS 実験	1
1.1	ATLAS 実験	1
1.2	ATLAS 検出器	1
2	ピクセル検出器	3
2.1	ピクセル検出器概要	3
2.2	シリコンピクセルセンサ	3
2.2.1	シリコンピクセルセンサの原理	3
2.2.2	バイアス構造	3
2.2.3	今回使用したシリコンピクセルセンサ構造	4
2.3	HL-LHC ATLAS 実験用新型 ASIC・RD53A	4
2.3.1	RD53A フロントエンドデザイン	4
2.3.2	レジスタ	4
2.3.3	HitOR 信号	5
2.4	粒子線に対する応答評価試験について	5
2.4.1	応答評価試験の意義	5
2.4.2	応答評価試験の手法	5
3	粒子線に対する応答評価試験のための読み出しシステムの動作確認	7
3.1	読み出しセットアップ概要	7
3.1.1	PC	7
3.1.2	FPGA ボード	7
3.1.3	アダプタカード	7
3.1.4	RD53A 搭載 Single Chip Card モジュール	7
3.1.5	β 線源	7
3.2	読み出し試験	8
3.2.1	コマンド信号とデータ信号の確認	8
3.2.2	デジタルスキャン	8
3.2.3	アナログスキャン	8
3.2.4	閾値のチューニング	8
3.2.5	ノイズスキャン	8
3.2.6	HitOR 信号の伝達確認	8

4	セルフトリガを用いた応答評価試験	11
4.1	Latency チューニング機能の追加	11
4.1.1	YARR におけるトリガ DAQ と Latency の意義	11
4.1.2	Latency チューニング機能	12
4.2	セルフトリガを用いた応答試験セットアップ	12
4.3	応答試験手順	12
4.4	応答試験結果	13
4.5	考察	13
5	Signal Optimisation	15
6	Background Estimation	17
7	Results	19
8	Conclusion	21

第 1 章

LHC ATLAS 実験

Large Hadron Collider (LHC) はスイス、ジュネーブにある欧州原子核研究機構 (CERN) の地下 100m, 周長 26.7km のリングで構成される円形加速器である。最大で 14TeV の重心系エネルギーで陽子陽子衝突させることが可能な、世界最大の陽子陽子衝突型加速器である。新粒子の探索や、ヒッグス粒子やトップクォーク等の質量が大きい粒子を多く生成できるので、結合定数などの精密測定も行うことが可能である。

LHC は 2010 年から運転を開始し、7TeV から 8TeV の重心系エネルギーで 2012 年まで稼働した。この期間を LHC Run-1 と呼び、瞬間最高ルミノシティは $0.77 \times 10^{34} \text{cm}^{-2}\text{s}^{-1}$ であった。その後、2013 年から 2015 年までのシャットダウン期間で加速器のアップグレードを行い、2015 年からは重心系エネルギー 13TeV で LHC Run-2 が始まり、2018 年まで続いた。Run-2 の 3 年間で得られた積分ルミノシティは約 150fb^{-1} であった。

LHC は 2 年間のシャットダウン期間を経て 2021 年から重心系エネルギー 14TeV の LHC Run-3 を予定している。Run-3 が約 3 年間運転したのち、シャットダウン期間を挟んで、High Luminosity LHC (HL-LHC) が開始する予定である。

1.1 ATLAS 実験

ATLAS 実験は LHC の衝突点に設置された ATLAS 検出器を用いて陽子陽子衝突から TeV スケールまでの高エネルギー物理事象を探索する実験である。2012 年には、LHC 実験の 1 つである CMS 実験と共にヒッグス粒子を発見し、標準理論の完成お大きな役割を担った。世界最高エネルギーの LHC を使ったヒッグス粒子やトップクォークといった重い粒子の精密測定は ATLAS 実験の重要な目的の 1 つである。他にも超対称性粒子などの新粒子を発見することが特に大きな目的となっている。

1.2 ATLAS 検出器

ATLAS 検出器の全体図を示す。ATLAS 検出器は高さ

第 2 章

ピクセル検出器

この章では，3 章以降を理解するために必要な知識についてまとめる．

2.1 ピクセル検出器概要

この節では，ピクセル検出器の構成について説明する．以下にピクセル検出器の構造図を示す．ピクセル検出器は Flex 基板，フロントエンド ASIC，シリコンピクセルセンサの 3 要素で構成されている．

2.2 シリコンピクセルセンサ

この節では，ピクセル検出器を構成する要素の 1 つであるシリコンピクセルセンサについて説明する．

2.2.1 シリコンピクセルセンサの原理

シリコンセンサの動作原理は半導体に従う．この節では，半導体の基本原理と性質について述べる．

2.2.1.1 半導体

物質は導体，絶縁体，半導体の 3 種に分類することができる．これは，電気抵抗値によって決まっており，半導体は導体と絶縁体の中間の値をもつ．一般に室温で， 10^{-2} から $10^9 \Omega cm$ の範囲に分類される．典型的な半導体物質にはシリコン，ゲルマニウム，ガリウムヒ素などがあげられる．

エネルギーバンド

ドナーとアクセプタ

2.2.2 バイアス構造

シリコンピクセルセンサには，製造時に良品不良品を選別するための高電圧用のバイアス構造が備わっている．

バンプボンディングの前にセンサのみの試験を行い，動作不良センサを取り除く品質評価の工程がある．このピクセルセンサ評価方法として，IV 測定がある．IV 測定には全てのピクセルが *GND* に落とされている必要があり，また，各ピクセルは分離されている必要がある．そのために必要になる

のがバイアス構造である。バイアス構造は、ピクセル間にバイアスレールを置き、そこから各ピクセルにバイアス抵抗を引く。この構造により、ピクセルは *GND* と同電位とすることができ、また、各ピクセルが抵抗により、分離される。

2.2.3 今回使用したシリコンピクセルセンサ構造

本論文で扱うピクセルセンサの表面構造について述べる。上から見たセンサの様子である。ピクセルセンサは2次元的に電極が配列されており、センサのみのテストのためにバイアスレールが敷かれている。

2.3 HL-LHC ATLAS 実験用新型 ASIC・RD53A

この節では、ピクセル検出器からの信号は、検出器に直接接続された電気回路で最初に処理される。この電気回路をフロントエンドエレクトロニクスと呼ぶ。この回路は、全て専用の信号読み出し用 ASIC 内に実装されている。そのため、フロントエンド ASIC と呼ぶこともあるが、以降では ASIC と呼ぶことにする。

この回路を用いて検出器からの微弱な電気信号を受け取り、計測用のシステムに最適化した応答をするように信号をアンプ回路や波形整形回路などで調整する。さらに、コンピュータでの解析処理や、データの保存のためにアナログ信号をデジタル信号に変換する。

以下にピクセル検出器と読み出し ASIC の接続図を示す。ピクセル検出器の各チャンネルと ASIC はバンプボンディングという手法で接合し、ASIC では検出器からの信号に対して処理を行う。

2.3.1 RD53A フロントエンドデザイン

RD53A はプロトタイプ版のため、Synchronase Frontend, Linear Frontend, Differential Frontend と、3つの異なるフロントエンドデザインが存在する。今回は実機で利用されることが想定されている Differential Frontend（以下：Diff FE）について詳しく説明する。

2.3.1.1 Diff FE の仕組み

3つのフロントエンドで大きく異なるのは、アナログ回路部分の構造である。Diff FE のアナログ回路構造を以下に示す。

2.3.2 レジスタ

ASIC には、アナログ回路とデジタル回路の振る舞いを調節するために、回路の動作を制御する設定値を保持するレジスタが存在する。RD53A のレジスタは2種類存在し、全てのピクセルに共通の設定を保存するグローバルレジスタ（GR）と各ピクセルの設定値を保持するピクセルレジスタ（PR）がある。

- グローバルレジスタ RD53A には 137 個の GR があり、ピクセルに共通が閾値 (threshold)、回路のオンオフなどを設定することができる。

- ピクセルレジスタ Synchronus Frontend には 3 *bit*, その他の 2 つのフロントエンドには 8 *bit* のレジスタがある。ピクセルのデジタル回路のオンオフや閾値 (threshold) を設定することができる。

2.3.3 HitOR 信号

RD53A には、現行の FEI4 に実装されているセルフトリガ機能がない代わりに、HitOR というセンサに荷電粒子が入射したタイミングで、出力される信号が存在する。HitOR 出力の仕組みを以下に示す。

2.4 粒子線に対する応答評価試験について

この章では、粒子線に対する応答評価試験の意義と手法について述べる。

2.4.1 応答評価試験の意義

HL-LHC ATLAS 実験に向けたピクセル検出器量産に際して、全ての検出器モジュールに対して、品質管理のための試験を行う。この試験項目の 1 つとして、粒子線に対する応答評価試験（以下:ソーススキャン）が設けられている。

前章でも述べたように、ピクセル検出器の各チャンネルと ASIC はバンプボンディングという手法で接続されている。このバンプボンディングに異常がないかどうかを確認するための試験が、ソーススキャンである。

2.4.2 応答評価試験の手法

ソーススキャンには、主に 2 種類の手法がある。1 つは、センサに荷電粒子が入射した時の信号を取得したタイミングでデータ取得を行う、セルフトリガと呼ばれる手法。もう 1 つは、センサの上にシンチレータ、その上に粒子線源を設置し、シンチレータに粒子線が入射した時の信号を取得したタイミングでデータ取得を行う手法である。今回はこれら 2 種類の手法を用いてソーススキャンを行い、どのような試験結果の振る舞いがなされるかの検証を行なった。

今回用いた読み出し ASIC・RD53A には、セルフトリガ機能が実装されていないため、HitOR 信号を外部に出力し、FPGA を用いて処理することでデータ取得を行なった。

YARR ソフトウェアには、外部トリガスキャンという機能が実装されているため、今回はこの外部トリガに HitOR 信号を用いた手法をセルフトリガ、シンチレータに粒子線が入射した時の信号を用いた手法を外部トリガと呼ぶ。

第 3 章

粒子線に対する応答評価試験のための読み出しシステムの動作確認

この章では，粒子線に対する応答評価試験のために行なった，外部トリガを処理する機能の追加と，応答評価試験のための準備について述べる．

3.1 読み出しセットアップ概要

以下に読み出しシステムの概要を示す．主に RD53A 搭載の Single Chip Card (SCC) と FPGA ボード，PC を用いて読み出しシステムを構成している．今回は読み出し ASIC と FPGA ボードは，HPC-mDP 変換ボードを用いてケーブルにて接続を行い，FPGA 内部で ASIC からのデータ信号の処理を行なった．また，高速通信用インターフェースで PC と FPGA ボードを接続し，データ転送を行なった．

3.1.1 PC

3.1.2 FPGA ボード

Xilinx, Inc. の Kintex-7 FPGA 搭載 KC705 評価ボードを使用．この FPGA ボードは，研究室規模の実験で使うことを想定しているため，FPGA 評価ボードは一般的に流通してて入手性がよいため，この FPGA ボードを使用している．

3.1.3 アダプタカード

3.1.4 RD53A 搭載 Single Chip Card モジュール

3.1.5 β 線源

今回は粒子線として β 線源であるストロンチウム 90 を使用した．使用した線源の現在の放射能は以下のように計算した．

3.2 読み出し試験

ソーススキャンを行うために、既存の KC705 用 YARR ファームウェアに外部トリガを処理する機能を追加した。本節では、機能を追加したファームの動作確認について述べる。

3.2.1 コマンド信号とデータ信号の確認

オシロスコープでコマンド信号とデータ信号を RD53A SCC 上でプローブし、波形を確認した。

3.2.2 デジタルスキャン

全ピクセルのデジタル回路とアナログ回路に複数回擬似パルスを入力して、入力した回数のうち何回応答が返ってくるのかを確認する。それぞれの作業をデジタルスキャン、アナログスキャンと呼ぶ。全ピクセルごとの回路の応答を確認し、データの転送線、FPGA 内部の処理、PC への通信の各経路でデータの損失がないことを確認するのに有効である。

3.2.3 アナログスキャン

アナログ回路に複数回擬似パルスを入力して、入力した回路のうち何回応答が返ってくるのかを確認した。この作業をアナログスキャンと呼ぶ。今回は Diff FE のみを使用するので、その他のフロントエンドは、グローバルレジスタの "CoreColEnSyn1/2", "CoreColLin1/2" を全て 0 にすることで非使用に設定した。また、Diff FE 内接続されているピクセルセンサの上下構造の違いにより、上半分にノイズが多く現れるため、それを防ぐために、Diff FE のアナログ回路の LCC 回路の部分をオンにする。これは、グローバルレジスタ "DiffLccEn" という値を 0 から 1 に変更することでオンにすることができる。以下に LCC 回路をオフにした場合、オンにした場合それぞれの Diff FE のアナログスキャンの結果を示す。

3.2.4 閾値のチューニング

閾値を全ピクセルで均一に揃えるようにチューニングを行う。今回は Diff FE のみを使用したため、Diff FE 内のピクセルのみをチューニング対象とした。まず、アナログ回路にキャリブレーション用のテストパルス V_{cal} を複数回入力して、入力回数のうち、応答が返ってくる割合から応答率を得る。

3.2.5 ノイズスキャン

引き続き Diff FE のみを使用した。任意の周波数でトリガを送り、その時のアナログ回路からの応答に対して、閾値を超えるものを非使用に設定する。この作業をノイズスキャンと呼ぶ。今回は 20000 Hz で 5 分間ノイズスキャンを行なった。ノイズスキャンを行なう前と行なった後のノイズスキャンの結果を示す。

3.2.6 HitOR 信号の伝達確認

モジュールの上に β 線源を配置し、オシロスコープで HitOR 信号を RD53A SCC 上でプローブすることで、波形を確認した。また、FPGA まで HitOR 信号が伝わっているかどうか、正常に処理され、

そのタイミングでトリガが出力されているかどうかを Vivado の Logic Analyzer を用いて確認した。それが以下の図である。

このようにファームウェアに外部トリガを取得し、処理する機能を追加できていることを確認した。

本節では、シリコンピクセルセンサが接続された RD53A から出力される HitOR 信号を外部トリガに用いて、機能の動作を検証する。センサ付き RD53A が搭載された基盤の写真を以下に示す。RD53A は細い金属ワイヤにより基板上の回路パターンと電氣的に接続されている。基板に RD53A が外部と通信するためのコネクタ、電源供給のためのコネクタ、センサからの信号を外部に出力するためのコネクタ、センサに電圧を印加するためのコネクタが実装されている。RD53A とのデジタル通信は、コネクタを介して行う。

第 4 章

セルフトリガを用いた応答評価試験

この章では、セルフトリガを用いた粒子線に対する応答評価試験について述べる。

4.1 Latency チューニング機能の追加

この節では、粒子線に対する応答評価のために必要だった Latency チューニング機能について述べる。

4.1.1 YARR におけるトリガ DAQ と Latency の意義

YARR ソフトウェアを用いたデータ取得におけるトリガ DAQ について説明する図を以下に示す。Latency とは、図の trigger 入力時にどれだけの時間遡ってメモリから情報を読み出すかを定める値である。この Latency がずれていると、データを正しく読み出すことができない。YARR では、指定された Latency 分遡った Clock の前 8 Clock, 後 7 Clock, 計 16 Clock 分のデータを読み出す。16 Clock の中で何 Clock 目のデータであるかを示す値として、L1ID というものが記録される。アナログスキャンにおける L1ID の分布を以下に示す。

理想的には L1ID が 7 のところにトリガの中心を合わせたい。そのために、YARR で指定できる Latency に関する 3 種類のパラメータを以下に示す。

4.1.1.1 delay

ソフトウェアを通してファームを制御する。

4.1.1.2 delay

ソフトウェアを通してファームを制御する。

4.1.1.3 グローバルレジスタ”LatencyConfig”

RD53A の全てのピクセルに共通する設定値であるグローバルレジスタの内の 1 つに LatencyConfig という Latency に関する設定値が存在する。LatencyConfig がどのような値であるか説明する図を以下に示す。

ASIC のあるピクセルが信号を検知すると、そのピクセルが 40 MHz の Clock に合わせてカウントを始める。そして、FPGA から送られてくるトリガを受け取った時に、そのカウントが設定し

た”LatencyConfig”の値と等しいピクセルの情報を読み出すようになっている。
”LatencyConfig”は、9bitの値であり、0-511まで変化させることが可能である。

4.1.2 Latency チューニング機能

前節で述べたように、Latency が合っていないと、データを正しく読み出すことができないので、Latency を正しい値にすることが、データを正しく読み出す上で大変重要となる。そこで、今回はグローバルレジスタ”LatencyConfig”値を変化させることで、Latency を合わせられるような機能を YARR に追加した。

今回、センサからの信号を ASIC が HitOR 信号として出力した Trigger に対する Latency を合わせたかった。前章で述べたように、HitOR 信号が FPGA に伝わっていることを確認した上で、以下を行なった。

1. セルフトリガによって 100 イベントを取得する
2. 取得したデータの L1ID の分布を得る
3. L1ID == 7 であるイベント数を記録

以上を 0-511 の各”LatencyConfig”値に対して行い、”LatencyConfig”値と L1ID == 7 だったイベント数の関係を得、この時にもっともイベント数が多かった”LatencyConfig”値の時に Latency が合っていると定義した、

4.1.2.1 Latency チューニングが幅を持つ理由

理想的には、Latency チューニングを行なった時の分布は、正しい Latency 値にのみピークが立つはずであるが、今回の結果はそうはなっていない。理由は 2 つある。

- YARR の仕組みとして、32bit に 1 回トリガを発行するかどうかを決めているので、前後 8 Clock 分の幅が生じる
- アナログアウトプットのキャパシタンスにズレがあるために前後 2 Clock 分の幅が生じる。これは、アナログスキャンを行なった時の L1ID の分布を見ると、L1ID == 7 のところにのみピークが立つのではなく、前後に 2 Clock 分の幅を持っていることから確認できる。

4.2 セルフトリガを用いた応答試験セットアップ

主なセットアップは読み出しシステムの動作確認と変わらず、RD53A 搭載の Single Chip Card(SCC) と FPGA ボード、PC を用いて読み出しシステムを構成し、センサからの信号を外部に出力するためのコネクタをアダプタカードの port D、RD53A がコマンドを受け取るためのコネクタをアダプタカードの port A に繋ぐようにしている。

4.3 応答試験手順

前章で述べた HitOR 信号の伝達確認を行なったのち、前節で述べた Latency チューニングを行った。”LatencyConfig”の分布図が以下のように得られた。

この分布から、今回は”LatencyConfig”の値を 211 に設定することで、Latency を合わせた。Latency

を合わせた上で，線源を上をセンサに設置した場合としない場合それぞれについて，30 分間のセルフトリガによるデータ取得を行なった．

4.4 応答試験結果

4.5 考察

第 5 章

Signal Optimisation

第 6 章

Background Estimation

第 7 章

Results

第 8 章

Conclusion

Acknowledgement

Thanks, many thanks for all my friends. ありがとう。本当にありがとう。

参考文献

図目次

表目次