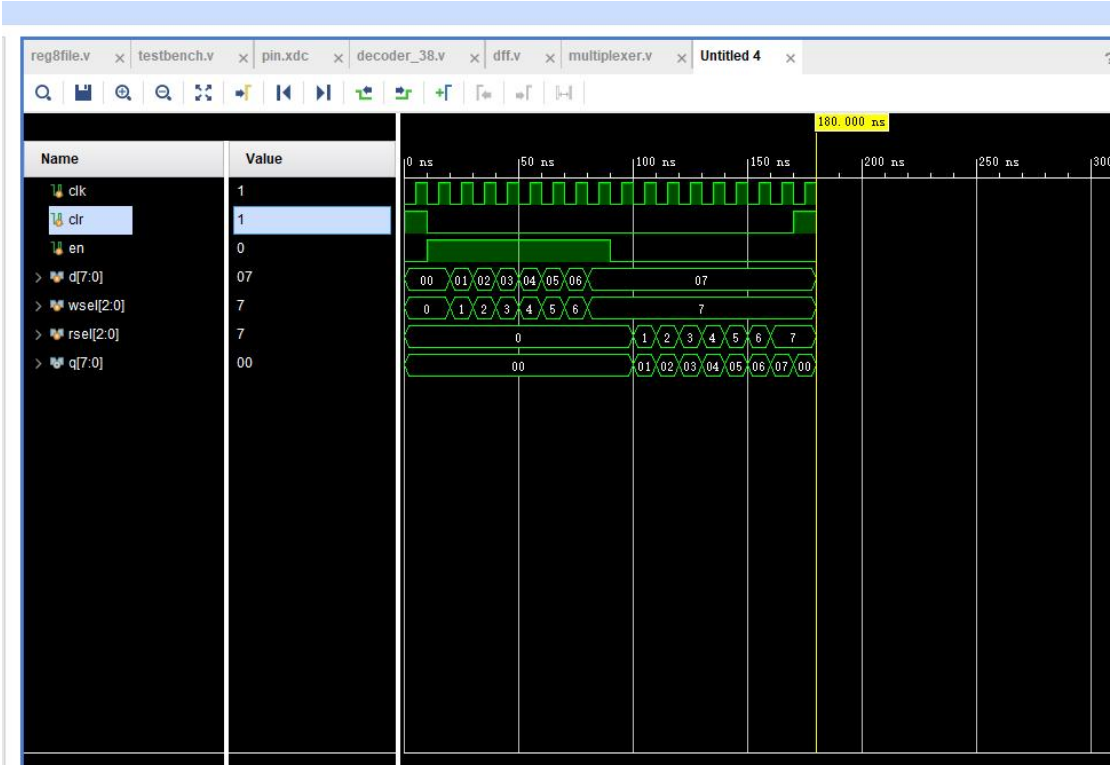


# 一、8 位寄存器（reg8file）

1. 8 位寄存器的波形如下：



信号说明：使能 en、时钟信号 clk、复位信号 clr、写入选择信号 wsel、读取选择信号 rsel、数据 d 为输入，q 为输出。

从上述波形可以看出：

- (1) 第一个时钟上升沿 5ns 时，clr 为 1，en 为 0，写入选择信号 wsel 为 0，读取选择信号 rsel 为 0，处于复位态，输入数据 d 为 00，输出 q 为 00,符合预期；
- (2) 第二个时钟上升沿 15ns 时，clr 由 1 变为 0，en 由 0 变为 1，使能有效，写入选择信号 wsel 为 0，读取选择信号 rsel 为 0，输入数据 d 为 00，输出 q 为 00,符合预期；

- (3) 第三个时钟上升沿 25ns 时, clr 维持 0, en 维持 1, 使能有效, 写入选择信号 wsel 为 1, 读取选择信号 rsel 为 0, 输入数据 d 为 01, 输出 q 为 00, 符合预期;
- (4) 第四个时钟上升沿 35ns 时, clr 维持 0, en 维持 1, 使能有效, 写入选择信号 wsel 为 2, 读取选择信号 rsel 为 0, 输入数据 d 为 02, 输出 q 为 00, 符合预期;
- (5) 第五个时钟上升沿 45ns 时, clr 维持 0, en 维持 1, 使能有效, 写入选择信号 wsel 为 3, 读取选择信号 rsel 为 0, 输入数据 d 为 03, 输出 q 为 00, 符合预期;
- (6) 第六个时钟上升沿 55ns 时, clr 维持 0, en 维持 1, 使能有效, 写入选择信号 wsel 为 4, 读取选择信号 rsel 为 0, 输入数据 d 为 04, 输出 q 为 00, 符合预期;
- (7) 第七个时钟上升沿 65ns 时, clr 维持 0, en 维持 1, 使能有效, 写入选择信号 wsel 为 5, 读取选择信号 rsel 为 0, 输入数据 d 为 05, 输出 q 为 00, 符合预期;
- (8) 第八个时钟上升沿 75ns 时, clr 维持 0, en 维持 1, 使能有效, 写入选择信号 wsel 为 6, 读取选择信号 rsel 为 0, 输入数据 d 为 06, 输出 q 为 00, 符合预期;
- (9) 第九个时钟上升沿 85ns 时, clr 维持 0, en 维持 1, 使能有效, 写入选择信号 wsel 为 7, 读取选择信号 rsel 为 0, 输入数据 d 为 07, 输出 q 为 00, 符合预期;
- (10) 第十个时钟上升沿 95ns 时, clr 维持 0, en 由 0 变为 1, 写入选

择信号 wsel 维持 7，读取选择信号 rsel 为 0，输入数据 d 维持 07，输出 q 为 00，符合预期；

(11) 第十一个时钟上升沿 105ns 时，clr 维持 0，en 维持 0，写入选择信号 wsel 维持 7，读取选择信号 rsel 为 1，输入数据 d 维持 07，输出 q 为 01，符合预期；

(12) 第十二个时钟上升沿 115ns 时，clr 维持 0，en 维持 0，写入选择信号 wsel 维持 7，读取选择信号 rsel 为 2，输入数据 d 维持 07，输出 q 为 02，符合预期；

(13) 第十三个时钟上升沿 125ns 时，clr 维持 0，en 维持 0，写入选择信号 wsel 维持 7，读取选择信号 rsel 为 3，输入数据 d 维持 07，输出 q 为 03，符合预期；

(14) 第十四个时钟上升沿 135ns 时，clr 维持 0，en 维持 0，写入选择信号 wsel 维持 7，读取选择信号 rsel 为 4，输入数据 d 维持 07，输出 q 为 04，符合预期；

(15) 第十五个时钟上升沿 145ns 时，clr 维持 0，en 维持 0，写入选择信号 wsel 维持 7，读取选择信号 rsel 为 5，输入数据 d 维持 07，输出 q 为 05，符合预期；

(16) 第十六个时钟上升沿 155ns 时，clr 维持 0，en 维持 0，写入选择信号 wsel 维持 7，读取选择信号 rsel 为 6，输入数据 d 维持 07，输出 q 为 06，符合预期；

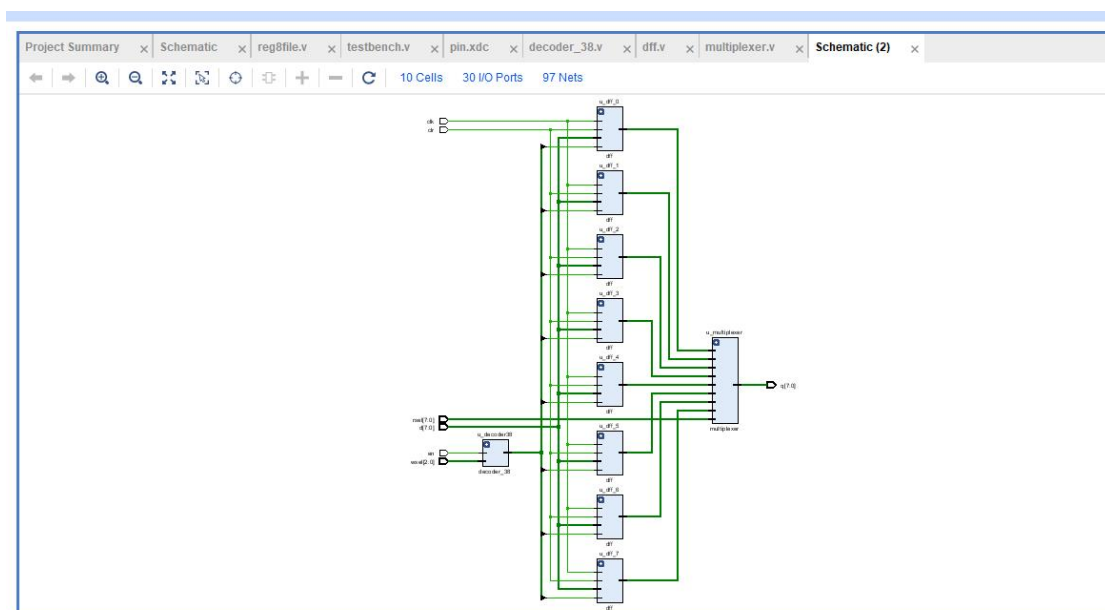
(17) 第十七个时钟上升沿 165ns 时，clr 维持 0，en 维持 0，写入选择信号 wsel 维持 7，读取选择信号 rsel 为 7，输入数据 d 维持 07，输出

q 为 07，符合预期；

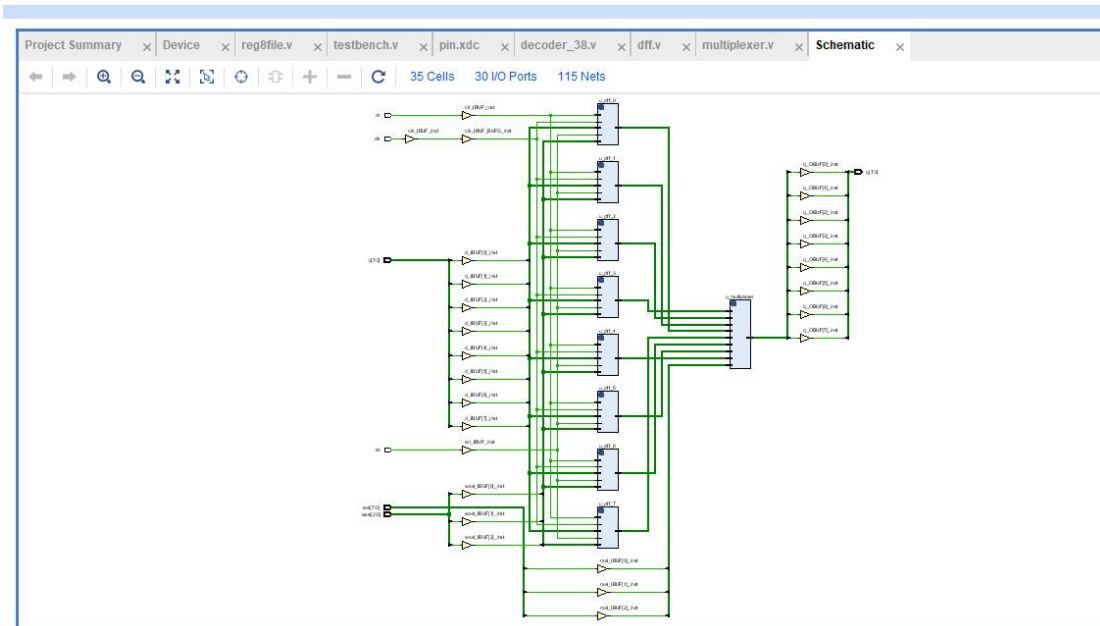
(18) 第十八个时钟上升沿 175ns 时，clr 由 0 变为 1，en 维持 0，写入选择信号 wsel 维持 7，读取选择信号 rsel 维持 7，输入数据 d 维持 07，输出 q 为 00，实现复位功能，符合预期；

故根据上述分析，reg8file 模块实现了 8 位寄存器功能：使能有效且复位信号维持 0 时，写入选择信号由 0 变化为 7 时，实现选择寄存器写入的功能；读取选择信号由 0 变化为 7 时，实现选择读取功能；使能有效时，复位信号由 0 变化为 1 时，全部寄存数据归 0。

## 2. RTL Analysis

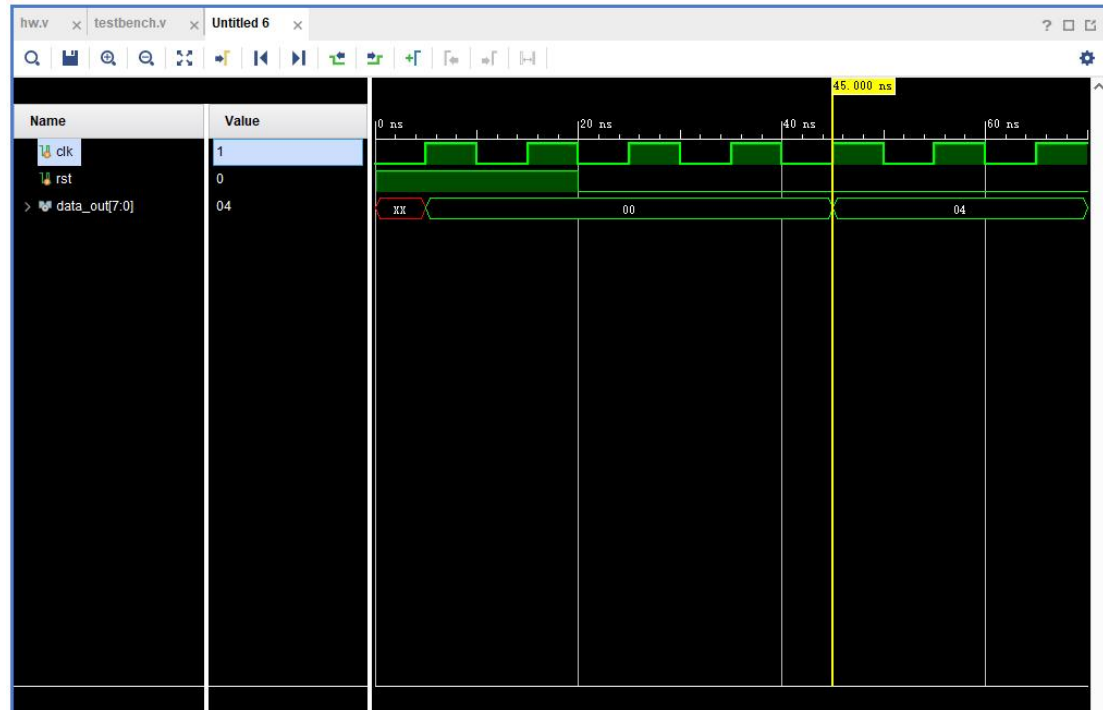


### 3. Synthesis schematic



## 二、课后作业

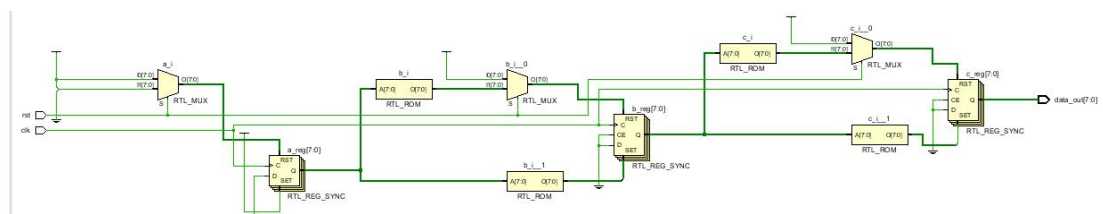
### 1. 仿真分析



在 25ns、35ns、45ns 时连续出现 3 次时钟上升沿，但前两次（25ns、35ns）输出 data\_out 都维持为 00 没有变化，只有在第三次（45ns）时钟上升沿出现（45ns）时，输出 data\_out 从 00 变为 04。

故根据上述分析，第一次触发（25ns）时，a 被赋值而 b、c 没有被赋值，第二次触发（35ns）时，b 被赋值而 c 没有被赋值，直到第三次触发（45ns）时，c 被赋值。即当时钟上升沿时第一个 always 块将 a 置为了 2，此时 b，c 不会立即同步置为 3 和 4。

### 2. RTL Analysis



### 3. Synthesis schematic

