

計算機科学実験及演習 2  
(SPICE シミュレーション)

第 3 回、第 4 回

締め切り  
2016 年 12 月 27 日

提出  
2016 年 12 月 27 日

実験者

1029272870

谷 勇輝

## 課題 1

前回までの「論理素子」実験で測定した、微分回路、および、積分回路を SPICE で記述してシミュレーションせよ。パラメータは現実的な値を適当に設定せよ。時定数を計算し、動作が正しいことを確認せよ。

### 1.1 実験方法

#### 1.1.1 手順

1. SPICE を用いて微分回路（図 1）、積分回路（図 2）を設計した。
2. print と plot で結果を数値、グラフとして得た。
3. plot で得られたグラフが「論理素子」実験で得たグラフと同じであることを確認した。
4. 考察として、print で得られた数値データを使って時定数を算出し、時定数の理論値と比べた。

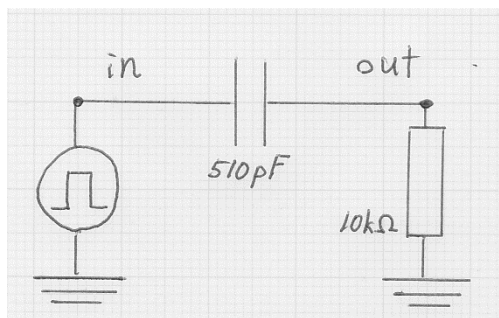


図 1 微分回路

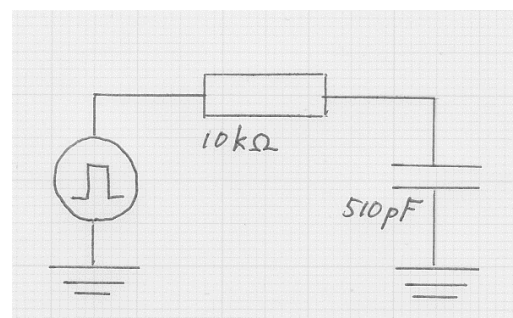


図 2 積分回路

#### 1.1.2 パラメータ

抵抗、コンデンサの数値は「論理素子」実験と同じ値を設定した。

- 抵抗  $10\text{k}\Omega$
- コンデンサ  $510\text{pF}$

入力信号は以下のように変化するステップ状信号とした。

0 秒 ～ 49.995  $\mu$  秒      -10V  
50.005  $\mu$  秒 ～ 99.995  $\mu$  秒      +10V  
100.005  $\mu$  秒 ～      -10V

(49.995  $\mu$  秒～50.005  $\mu$  秒、99.995  $\mu$  秒～100.005  $\mu$  秒の間はいずれも線形に変化)

## 1.2 記述した SPICE ファイル

### 微分回路

```
*ex1def

v1 in 0 pwl ( 0.0u -10
+ 49.995u -10
+ 50.005u 10
+ 99.995u 10
+ 100.005u -10 )

c1 in out 510pF
ri out 0 10k

.tran 1u 150u

.control
run
plot v(in) v(out)
print v(in) v(out)
.endc

.end
```

### 積分回路

```
*ex1int

v1 in 0 pwl ( 0.0u -10
+ 49.995u -10
+ 50.005u 10
+ 99.995u 10
+ 100.005u -10 )

c1 out 0 510pF
ri in out 10k

.tran 1u 150u

.control
run
plot v(in) v(out)
print v(in) v(out)
.endc

.end
```

## 1.3 結果

### 1.3.1 print で得られたデータ(微分回路)

微分回路の **print** によって得られた数値データの一部を以下に示す。

数値は小数第2位まで（四捨五入）に変換し、時定数に関連の深いデータをさらに太字で示した。

	経過時間( $\mu$ s)	v(in) (V)	v(out) (V)
73	52.64	10.00	11.90
74	53.64	10.00	9.78

75	54.64	10.00	8.03
76	55.64	10.00	6.60
77	56.64	10.00	5.42
78	57.64	10.00	4.45

137	102.64	-10.00	-11.90
138	103.64	-10.00	-9.77
139	104.64	-10.00	-8.02
140	105.64	-10.00	-6.60
141	106.64	-10.00	-5.42
142	107.64	-10.00	-4.45

### 1.3.2 print で得られたデータ（積分回路）

微分回路の print によって得られた数値データの一部を以下に示す。

数値は小数第2位まで（四捨五入）に変換し、時定数に関連の深いデータをさらに太字で示した。。

	経過時間( $\mu$ s)	v(in) (V)	v(out) (V)
...			
73	52.64	10.00	-1.90
74	53.64	10.00	0.23
75	54.64	10.00	<b>1.97</b>
76	55.64	10.00	<b>3.40</b>
77	56.64	10.00	4.58
78	57.64	10.00	5.55
...			
137	102.64	-10.00	1.90
138	103.64	-10.00	-2.26
139	104.64	-10.00	<b>-1.97</b>
140	105.64	-10.00	<b>-3.40</b>
141	106.64	-10.00	-4.58
142	107.64	-10.00	-5.55
...			

### 1.3.3 plot で得られたグラフ(微分回路)

図 3 に示す。

### 1.3.4 plot で得られたグラフ(積分回路)

図 4 に示す。

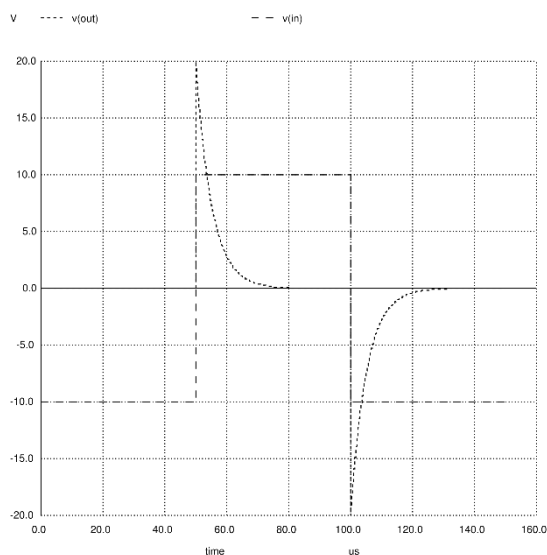


図 3 微分回路のグラフ

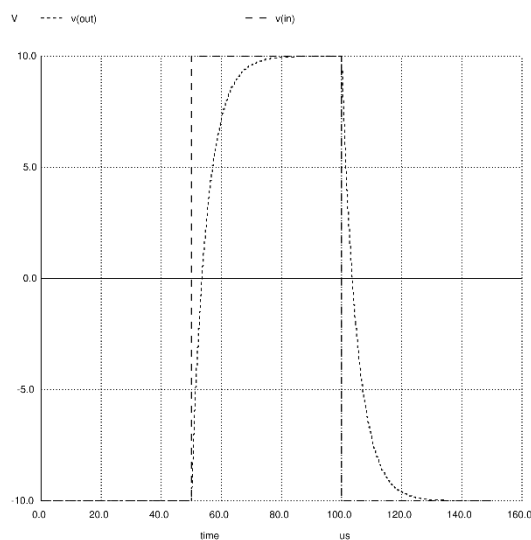


図 4 積分回路のグラフ

## 1.4 考察

### 1.4.1 時定数の計算

それぞれの回路について、時定数を計算する。

理論的な時定数  $\tau'$  は微分回路、積分回路いずれの場合も次式の通りである。

$$\tau' = CR = 510(\text{pF}) \times 10(\text{k}\Omega) = 5.1(\mu\text{s})$$

微分回路について、

グラフの波形の立下りが 37% ( $20\text{V} \times 37\% = 7.4\text{V}$ ) となるのは 1 回目が +7.4V、二回目が -7.4V の時であり、その時間  $\tau$  は、

1.3.1 のデータより、

1 回目                      54.64  $\mu$  秒と 55.64  $\mu$  秒の間

2 回目                      104.64  $\mu$  秒と 105.64  $\mu$  秒の間

である。

微小区間の変化が直線に近似できるとすると、

1 回目

$$\tau \cong \frac{7.4 - 8.03}{6.60 - 8.03} (55.64 - 54.64) + 54.64 \cong 55.08(\mu\text{s})$$

2 回目

$$\tau \cong \frac{-7.4 - (-8.03)}{-6.60 - (-8.03)} (105.64 - 104.64) + 104.64 \cong 105.08(\mu\text{s})$$

1 回目の立ち上がり時間は  $50\mu$  秒、2 回目は  $100\mu$  秒であるから、立ち上がりにかかった時間は1回目、2回目共に  **$5.08\mu$  秒**である。直線近似を行ったことなどを踏まえて、ほぼ完全に理論値通りの値が出ていると言える。

**積分回路**について、

グラフの波形の立ち上がりが 63% ( $20\text{V} \times 63\% = 12.6\text{V}$ ) となるのは1回目  $+2.6\text{V}$ 、2 回目が  $-2.6\text{V}$  となる時で、その時間  $\tau$  は、

1.3.2 のデータより、

1 回目	$54.64\mu$ 秒と $55.64\mu$ 秒の間
2 回目	$104.64\mu$ 秒と $105.64\mu$ 秒の間

である。

微小区間の変化が直線に近似できるとすると、

1 回目

$$\tau \cong \frac{2.6 - 1.90}{3.47 - 1.90} (55.64 - 54.64) + 54.64 \cong 55.09(\mu\text{s})$$

2 回目

$$\tau \cong \frac{-2.6 - (-1.90)}{-3.47 - (-1.90)} (105.64 - 104.64) + 104.64 \cong 105.09(\mu\text{s})$$

1 回目の立ち上がり時間は  $50\mu$  秒、2 回目は  $100\mu$  秒であるから、立ち上がりにかかった時間は1回目、2回目共に  **$5.09\mu$  秒**である。直線近似を行ったことなどを踏まえて、こちらの回路でもほぼ完全に理論値通りの値が出ていると言える。

以上より、この SPICE コードは正しく動作していることが確認できた。

## 課題 2

インバータ（NOT ゲート）をパルス波形で駆動し、動作を確認せよ。

**課題 2-1** 出力に負荷として  $30\text{fF}$  のコンデンサを接続し、立ち上がりおよび立ち下がり遅延時間を評価せよ。

**課題 2-2** 出力に負荷として種々の論理ゲートを接続し、インバータの遅延がどう変化するかを評価せよ。

## 2.1 実験方法

### 2.1.1 課題 2-1 の手順

1. 図 5 に示す回路図を **SPICE** ファイルで設計した。(パラメータは後述)
2. **measure** 文を利用しインバータの入力、出力間の立ち下がり、の遅延時間 (**t1**)、立ち上がりの遅延時間 (**t2**) を測定した。  
(共に **50%**の通過点を基準として測定した。)
3. **plot** を利用してグラフの概形を確認した。

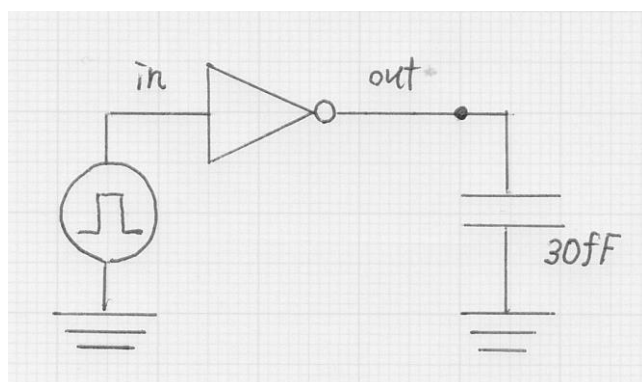


図 5 インバータの回路 (コンデンサ負荷)

### 2.1.2 課題 2-2 の詳細

- インバータ logic.cir の inv を利用
- 電源電圧 2.5V(直流) インバータ用
- 温度 27 度
- コンデンサ 30fF
- 入力信号 0 秒 ~ 9.9n 秒 0V  
10.1n 秒 ~ 19.9n 秒 2.5V  
20.1n 秒 ~ 0V  
(間は直線的に変化)

### 2.1.3 課題 2-2 の手順

1. 図 5 の回路図のコンデンサの部分を後述の各種論理ゲートに変更し新たな回路を設計した。
2. `measure` 文を利用し、インバータの入力と出力間の立ち下がりの遅延時間と立ち上がりの遅延時間を測定した。

### 2.1.4 課題 2-2 の詳細

使用したインバータ、電源電圧、コンデンサ、入力信号は 2.1.2 課題 2-1 の詳細 に記載のものと同一にした。

コンデンサの代わりに接続を試した素子は以下の通り。

- インバータ(`inv`)
- インバータの複数並列 (2 個、3 個、4 個)
- サイズが 2 倍のインバータ(`invp2`)
- 2 入力 `nand` 素子(`nand2`)
- 2 入力 `nor` 素子(`nor2`)  
(2 入力の素子のもう一方の入力には、電源 `vdd`、`GND`、入力と同じ信号をそれぞれ試した。)

## 2.2 記述した SPICE ファイル

### 2.2.1 課題 2-1 のファイル

```
*ex2-1

.include /home/lab3/ktakagi/spice_model/mos_model3
.include /home/lab3/ktakagi/spice_model/logic.cir

.options post temp=27

v1 in 0 pwl ( 0.0n 0.0
+ 9.9n 0.0
+ 10.1n 2.5
+ 19.9n 2.5
+ 20.1n 0.0 )

vdd p 0 2.5v

X1 in out p inv
```



```

c1 out 0 30f

.tran 0.01n 30n

.control
run
plot v(in) v(out)
*print v(in) v(out)
.endc

.measure tran t1
+trig v(in) val=1.25 td=1ns rise=1
+targ v(out) val=1.25 fall=1

.measure tran t2
+trig v(in) val=1.25 td=1ns fall=1
+targ v(out) val=1.25 rise=1

.end

```

### 2.2.2 課題 2-2 のファイル

ファイル内のコメントは必要に応じて解除し、さまざまな論理ゲートの接続を試した。

```

*ex2-2

.include /home/lab3/ktakagi/spice_model/mos_model3
.include /home/lab3/ktakagi/spice_model/logic.cir

.options post temp=27

v1 in 0 pwl ( 0.0n 0.0
+ 9.9n 0.0
+ 10.1n 2.5
+ 19.9n 2.5
+ 20.1n 0.0 )

vdd p 0 2.5v

X1 in out p inv

*c1 out 0 30f
*X2 out 0 p inv
*X3 out 0 p inv
*X4 out 0 p inv
*X5 out 0 p inv
*XV out 0 p invp2
XNav out p 0 p nand2
*XNavr p out 0 p nand2
*XNag out 0 0 p nand2

```

```

*XNas out out 0 p nand2
*XNov out p 0 p nor2
*XNog out 0 0 p nor2
*XNos out out 0 p nor2

.tran 0.01n 30n

.control
run
plot v(in) v(out)
*print v(in) v(out)

.endc

.measure tran t1
+trig v(in) val=1.25 td=1ns rise=1
+targ v(out) val=1.25 fall=1

.measure tran t2
+trig v(in) val=1.25 td=1ns fall=1
+targ v(out) val=1.25 rise=1

.end

```

## 2.3 結果

### 2.3.1 課題 2-1 の結果

t1	=	74.65(ps)	(	targ = 1.007465e-08	trig = 1.000000e-08)
t2	=	102.46(ps)	(	targ = 2.010247e-08	trig = 2.000000e-08)

図 6 に plot で確認したグラフを示す。

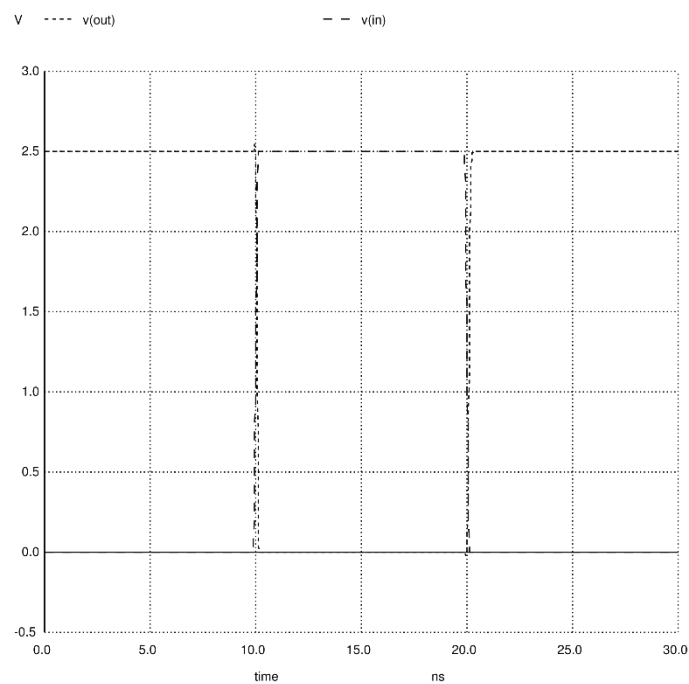


図 6 インバーターの入出力

### 2.3.2 課題 2-2 の結果

接続した負荷		立ち下がり遅延(ps)	立ち上がり遅延(ps)
inv	1 つ	49.78	76.96
	2 つ (並列)	73.83	101.62
	3 つ (並列)	94.01	123.13
	4 つ (並列)	111.94	144.89
invp2		73.63	101.31
nand2	信号 + vdd	59.13	86.54
	信号 + GND	58.90	85.39
	信号 + 信号	88.78	115.16
nor2	信号 + vdd	54.52	86.59
	信号 + GND	61.52	84.51
	信号 + 信号	91.55	121.15

## 2.4 考察

#### 2.4.1 課題 2-1 の考察

立ち上がり、立ち下りの遅延時間の平均は **88.56(ps)**であった。

インバータは **not** 回路として機能するので、入力が高電圧である時には出力は低電圧に、入力が低電圧である時には出力は高電圧になる。グラフでは入力と出力がちょうど逆転する形で推移している様子が確認できる。

また、立ち上がりは立ち下りよりも反応が遅れ、両者の間に約 **28ps** もの差ができています。

信号の切り替えは入力、出力の両電圧が十分に安定してから行われているので、入力信号が遅延時間に差を及ぼしたと考えるのは難しい。この反応時間の差はインバータの内部構造、特に内蔵された 2 つの **CMOS** の充電、放電の時間差に起因するものと考察できる。

#### 2.4.2 課題 2-2 の考察

使用する素子、接続方法によって互いに大きく異なる遅延時間が観察できた。

まず第一に、遅延時間は全ての素子、接続方法において立ち下りの時より立ち上りの時の方が **23ps~33ps** 程度長かった。理由については 2.4.1 で記した通りである。

第二に、インバータは並列に接続すればするほど遅延時間が延びていくことが分かった。並列数による変化量は立ち上がり、立ち下りともにほぼ直線上に分布している。また、サイズが 2 のインバータはインバータを 2 つ並列に繋げた時とほぼ同じ遅延時間となった。

第三に、2 入力 **nand** と 2 入力 **nor** は共に近寄った遅延時間を示し、もう一方の入力に何を接続するかによっても値は変化した。特に入力信号をもう一方の入力にも接続すると大きく時間が遅れた。遅れた時間はインバータを 2 つ並列に繋げた時と同じ程度であり、2 つの素子に出力が入っていったのと回路的に同等であることを示唆している。

### 課題 3

種々の基本論理ゲートで 4 入力 **AND** 回路を構成し、動作を確認せよ。また、遅延時間を評価せよ。

#### 3.1 実験方法

### 3.1.1 実験の手順

1. 図 6 の回路図に従って SPICE ファイル上に回路を設計した。
2. AND 回路として三種類の設計（図 7、図 8、図 9）を用意し、後に述べる様々な素子を用いてそれぞれ 1 の回路に埋め込み設計をした。
3. measure 文を利用して 50%を基準とした遅延時間を測定した。

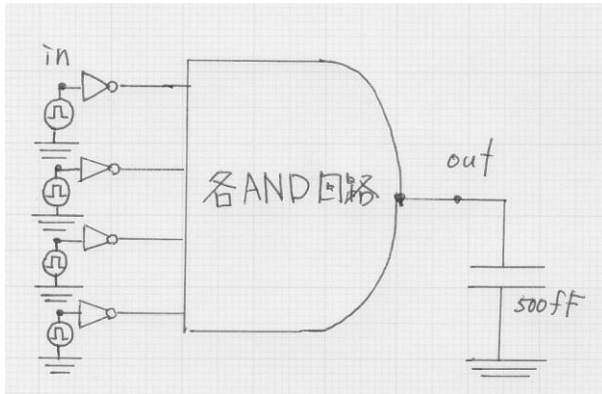


図 6 課題3回路図

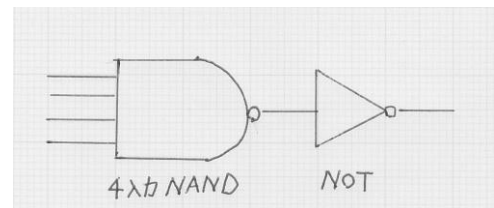


図 7 4入力 NAND + NOT

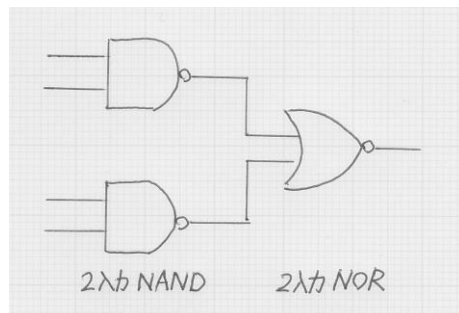


図 8 2入力 NAND×2 + 2入力 NOR

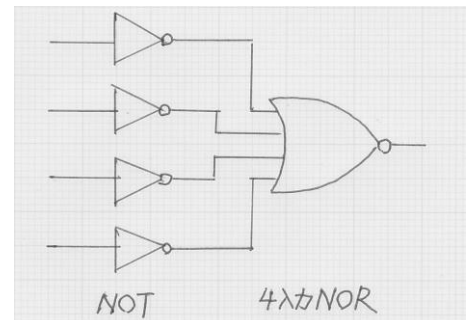


図 9 NOT×4 + 4入力 NOR

### 3.1.2 実験の詳細

- インバータ logic.cir の inv を利用
- 電源電圧 2.5V(直流) インバータ用
- 温度 27 度
- コンデンサ 500fF
- 入力信号 0 秒 ~ 9.9n 秒 0V  
10.1n 秒 ~ 19.9n 秒 2.5V  
20.1n 秒 ~ 0V  
(間は直線的に変化)  
(4つの入力はそれぞれ 0.2n 秒ずつ段々に遅らせて入力)

### 3.1.3 使用した回路と論理素子

以下に示す素子の全ての組み合わせを試行した。

#### 図 7 (4 入力 NAND+NOT)

4 入力 NAND	nand4、nand4p2
NOT	inv、invp2、invp3、invp4、invp6、invp8、invp16

#### 図 8 (2 入力 NAND×2 +2 入力 NOR)

2 入力 NAND	nand2、nand2p2、nand2p3、nand2p4
2 入力 NOR	nor2、nor2p2、nor2p3、nor2p4

#### 図 9 (NOT×4 + 4 入力 NOR)

NOT	inv、invp2、invp3、invp4、invp6、invp8、invp16
4 入力 NOR	nor4、nor4p2

## 3.2 記述した SPICE ファイル例

```
*ex3

.include /home/lab3/ktakagi/spice_model/mos_model3
.include /home/lab3/ktakagi/spice_model/logic.cir

.options post temp=27

vdd p 0 2.5v

v1 in1 0 pwl ( 0.0n 0.0
+ 9.9n 0.0
+ 10.1n 2.5
+ 19.9n 2.5
+ 20.1n 0.0 )
Xi1 in1 rl1 p inv

v2 in2 0 pwl ( 0.0n 0.0
+ 10.1n 0.0
+ 10.3n 2.5
+ 20.1n 2.5
+ 20.3n 0.0 )
Xi2 in2 rl2 p inv

v3 in3 0 pwl ( 0.0n 0.0
+ 10.3n 0.0
+ 10.5n 2.5
+ 20.3n 2.5
+ 20.5n 0.0 )
```

```

Xi3 in3 rl3 p inv
v4 in4 0 pwl ( 0.0n 0.0
+ 10.5n 0.0
+ 10.7n 2.5
+ 20.5n 2.5
+ 20.7n 0.0 )
Xi4 in4 rl4 p inv

c out 0 500f

X1 rl1 rl5 p inv
X2 rl2 rl6 p inv
X3 rl3 rl7 p inv
X4 rl4 rl8 p inv

X5 rl5 rl6 rl7 rl8 out p nor4

.tran 0.01n 30n

.control
run
plot v(in1) v(in2) v(in3) v(in4) v(out)
*print v(in1) v(out)

.endc

.measure tran t1
+trig v(in1) val=1.25 td=1ns rise=1
+targ v(out) val=1.25 fall=1

.measure tran t2
+trig v(in4) val=1.25 td=1ns fall=1
+targ v(out) val=1.25 rise=1

.end

```

### 3.3 結果

全ての組み合わせの結果を以下に示す。表中単位は全て ps である。

#### 3.3.1 4 入力 NAND + NOT

	nand4			nand4p2		
	下	上	平均	下	上	平均
inv	816.2	969.97	893.085	865.85	1009.22	937.535
invp2	547.76	613.71	580.735	579.53	645.7	612.615
invp3	476.48	505.53	491.005	494.06	530.35	512.205
invp4	453.11	459.2	456.155	459.41	476.72	468.065

invp6	447.62	428.1	437.86	437.4	431.58	434.49
invp8	459.13	426.83	442.98	436.71	416.95	426.83
invp16	537.42	494.71	516.065	473.03	433.27	453.15

### 3.3.2 2入力 NAND × 2 + 2入力 NOR

	nor2			nor2p2		
	下	上	平均	下	上	平均
nand2	690.21	854.3	772.255	561.13	581.8	571.465
nand2p2	705.44	872.43	788.935	555.47	586.61	571.04
nand2p3	739.12	896.67	817.895	579.11	606.9	593.005
nand2p4	777.25	921.82	849.535	611.75	628.8	620.275

	nor2p3			nor2p4		
	下	上	平均	下	上	平均
nand2	508.72	512.8	510.76	496.24	492.78	494.51
nand2p2	482.13	504.39	493.26	456.95	456.95	456.95
nand2p3	497.2	519.89	508.545	464.68	464.67	464.675
nand2p4	525.24	539.79	532.515	488.63	488.63	488.63

### 3.3.3 NOT × 4 + 4入力 NOR

	nor4			nor4p2		
	下	上	平均	下	上	平均
inv	609.9	960.26	785.08	573.02	766.23	669.625
invp2	596.67	952.83	774.75	509.89	736.34	623.115
invp3	610.89	968.4	789.645	509.06	743.07	626.065
invp4	631.95	991.21	811.58	522.81	760.49	641.65
invp6	681.51	1042.85	862.18	564.91	806.44	685.675
invp8	734.89	1096.32	915.605	615.1	856.56	735.83
invp16	962.63	1313.19	1137.91	839.6	1065.64	952.62



## 3.4 考察

### 3.4.1 遅延時間の評価

3 種類の AND 回路それぞれについて、立ち上がりと立ち下りの平均遅延時間が最も長くなる組み合わせは上記結果より以下の通りである。

- 4 入力 NAND + NOT  
 $\text{nand4p2} + \text{inv}$  (937.535 ps)
- 2 入力 NAND $\times 2$  + 2 入力 NOR  
 $\text{nand2p4} + \text{nor2}$  (849.535 ps)
- NOT $\times 4$  + 4 入力 NOR  
 $\text{invp16} + \text{nor4}$  (1137.91 ps)

従ってこの 3 つの AND 回路の中で最も遅延時間が長くなるのは、  
 $\text{invp16}$  と  $\text{nor4}$  を使った NOT $\times 4$  + 4 入力 NOR  
で構成された回路となる。

3 種類の AND 回路それぞれについて、立ち上がりと立ち下りの平均遅延時間が最も短くなる組み合わせは上記結果より以下の通りである。

- 4 入力 NAND + NOT  
 $\text{nand4p2} + \text{invp8}$  (426.83 ps)
- 2 入力 NAND $\times 2$  + 2 入力 NOR  
 $\text{nand2p2} + \text{nor2p4}$  (456.95 ps)
- NOT $\times 4$  + 4 入力 NOR  
 $\text{invp2} + \text{nor4p2}$  (623.115 ps)

従ってこの 3 つの AND 回路の中で最も遅延時間が短くなるのは、  
 $\text{nand4p2}$  と  $\text{invp8}$  を使った 4 入力 NAND + NOT  
で構成された回路となる。

## 4 参考文献

CMOS. (日付不明). 参照先: Wikipedia: <https://ja.wikipedia.org/wiki/CMOS>

杉山進, 田中克彦, 小西聡. (2014). 電気電子回路 -アナログ・デジタル回路-.  
コロナ社.