平成29年度　計算機科学実験及演習3A

(3回生前期学生実験　HW中間報告)

機能設計仕様書

提出期限：5月11日

提出日：5月11日

第22班

**1029272870 　谷　勇輝**

目次

[1 要求仕様、設計目標、方針、特長 2](#_Toc481941262)

[1.1 要求仕様 2](#_Toc481941263)

[1.1.1 命令セット仕様 2](#_Toc481941264)

[1.1.2 ハードウェア設計仕様 2](#_Toc481941265)

[1.1.3 補助モジュール仕様 2](#_Toc481941266)

[1.2 設計目標 3](#_Toc481941267)

[1.3 設計方針 3](#_Toc481941268)

[1.3.1 基本の方針 3](#_Toc481941269)

[1.3.2 制御の方針 4](#_Toc481941270)

[1.3.3 メモリ・レジスタの方針 4](#_Toc481941271)

[1.3.4 分岐処理の方針 5](#_Toc481941272)

[1.3.5 環境の構築方針 5](#_Toc481941273)

[1.4　特長 5](#_Toc481941274)

[1.4.1 高速動作 5](#_Toc481941275)

[1.4.2 高実用性 6](#_Toc481941276)

[2 高速化/並列処理の方式 6](#_Toc481941277)

[2.1　基本設計の改良による高速化 6](#_Toc481941278)

[2.1.1 ハーバード・アーキテクチャによる高速化 6](#_Toc481941279)

[2.1.2 分岐処理の繰上げによる高速化 6](#_Toc481941280)

[2.2　命令の拡張による高速化 6](#_Toc481941281)

[2.2.1 即値ADD演算による高速化 6](#_Toc481941282)

[2.2　5段パイプライン化による高速化 7](#_Toc481941283)

[3 性能/コストの予測 7](#_Toc481941284)

[3.1　基本設計の改良の性能/コスト予測 7](#_Toc481941285)

[3.1.1 ハーバード・アーキテクチャの性能/コスト予測 7](#_Toc481941286)

[3.1.2 分岐処理の繰上げの性能/コスト予測 8](#_Toc481941287)

[3.2　命令の拡張の性能/コスト予測 8](#_Toc481941288)

[3.2.1 即値ADD演算の性能/コスト予測 8](#_Toc481941289)

[3.2.2 その他の命令拡張による性能/コスト予測 9](#_Toc481941290)

[3.3　5段パイプラインの性能/コスト予測 9](#_Toc481941291)

[4 考察等 10](#_Toc481941292)

# 1 コンポーネント分割と担当

## 1.1 コンポーネント分割

プロセッサは、最上位レベルの分割として、図１に示す8つのコンポーネントで構成される。各コンポーネント内部の設計（次レベルの分割等）はそれぞれの設計担当者が行う。

## 1.2 担当

2017年5月11日現在、私が設計・実装を担当したプロセッサのコンポーネントは以下のとおりである。

* EX
* MA
* WB

また、本体プロセッサとは別に、入出力用のモジュール**Test Environment**の設計・実装も担当した。

# 2 外部仕様

## 2.1 EX

### 2.1.1 概要

EXモジュールは、演算を担当するEXフェーズの一連の機能を提供する。

上流モジュールIDからの制御に応じて同期的に動作し、内包するALU、シフタを用いて下流モジュールMAへ演算結果を渡す。また、分岐の判断を行いIFに結果を伝搬する。

### 2.1.2 構造

入力構造を表１に、出力構造を表２に示す。

表 1　入力構造 (EX)

|  |  |  |  |
| --- | --- | --- | --- |
| 入力信号名 | bit幅 | 接続 | 内容 |
| clock | 1 |  | クロック信号 |
| reset | 1 |  | リセット信号（負論理） |
| PC | 16 | ID | プログラムカウンタ値+1 |
| WBaddress | 3 | ID | レジスタ書き込みアドレス (or 分岐種類) |
| control | 6 | ID | 制御信号 |
| ALUcontrol | 4 | ID | 演算器の機能制御コード |
| immediate | 16 | ID | 即値（or 演算器の第２入力） |
| Rs\_Ra | 16 | ID | 演算器の第２入力（or メモリの指定アドレス） |
| Rd\_Rb | 16 | ID | 演算器の第１入力 |

表 2　出力構造 (EX)

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 出力信号名 | bit幅 | 接続 | 同期 | 内容 |
| IMnextPC\_ | 16 | IF | × | 分岐先プログラムカウンタ値 |
| branch\_ | 1 | IF | × | 分岐判定 (0:分岐無し1:分岐有り) |
| WBaddress\_ | 3 | MA | ○ | レジスタ書き込みアドレス |
| control\_ | 4 | MA | ○ | 制御信号 |
| result\_ | 16 | MA | ○ | 演算結果 |
| Ra\_ | 16 | MA | ○ | メモリの指定アドレス |
| ConditonCode\_ | 4 | MA | ○ | コンディションコード (S,Z,C,V) |

### 2.1.3 動作

#### 分岐処理　(ID→EX→IF)

* PC (プログラムカウンタ+1の値) + immediate (即値) を

IMnextPC\_(分岐先PCアドレス) として出力

* control [4] (分岐制御信号Branch) が１(分岐命令)であり、直前の演算のコンディションコードの状態がWBaddress(制御種類コードcond)の示す分岐条件に合致するならば、branch\_(分岐判定)に1を出力

#### 演算処理 (ID→EX→MA)

* control[5] (第２入力制御信号ALUSrc)が0ならば演算に使用する第２入力としてRs\_Raを選択
* control[5] (第２入力制御信号ALUSrc)が1ならば演算に使用する第２入力としてimmediate (即値)を選択
* 第１入力をRd\_Rb、第２入力を選択した信号として、ALUControl (演算器機能制御コード) の値に従って演算を行い(表３)、clockと同期して演算結果をresult\_に出力

表 3　演算器の機能制御コード

|  |  |  |
| --- | --- | --- |
| 機能コード | 動作 | 代用コード |
| 0000 | 加算 (+) |  |
| 0001 | 減算 (- ) | 0101 |
| 0010 | 論理積 (AND) |  |
| 0011 | 論理和 (OR) |  |
| 0100 | 排他的論理和 (XOR) |  |
| 0110 | 第２入力を出力 | 1100 ,1101 ,1111 |
| 1000 | 左論理シフト |  |
| 1001 | 左循環シフト |  |
| 1010 | 右論理シフト |  |
| 1011 | 右算術シフト |  |

* 演算結果に従って４つのコンディションコード(表４)を設定し、clockと同期してConditionCode\_に出力

表 4　コンディションコード

|  |  |  |
| --- | --- | --- |
| コード | 内容 | 例外 |
| S | 負ならば1 |  |
| Z | 0ならば1 |  |
| C | 桁上げがあれば1 | 論理演算、第２入力出力、左循環シフト演算では０  その他のシフト演算では最後にシフトされた値で判定 |
| V | オーバーフローで1 | シフト演算では0 |

* WBaddress (レジスタ書き込みアドレス)をclockと同期してWBaddress\_にそのまま出力
* Rs\_Ra(メモリの書き込みアドレス)をclockと同期してRa\_にそのまま出力
* controlのうち、使用していない下4bitをclockと同期してcontrol\_に出力
* clock同期時resetが0であれば全ての同期式出力を0にする

## 2.2 MA

### 2.2.1 概要

MAモジュールは、データメモリの書き込み、読み出しを管理するMAフェーズの一連の機能を提供する。

上流モジュールEXを伝播してきた制御信号に応じて同期的に動作し、内包するメモリを操作して下流モジュールWBに結果を伝搬する。

### 2.2.2 構造

入力構造を表５に、出力構造を表６に示す。

表 5　入力構造 (MA)

|  |  |  |  |
| --- | --- | --- | --- |
| 入力信号名 | bit幅 | 接続 | 内容 |
| clock | 1 |  | クロック信号 |
| reset | 1 |  | リセット信号（負論理） |
| WBaddress | 3 | EX | レジスタ書き込みアドレス |
| control | 4 | EX | 制御信号 |
| ALUresult | 16 | EX | 演算の結果 |
| Ra | 16 | EX | メモリの指定アドレス |

表 6　出力構造 (MA)

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 出力信号名 | bit幅 | 接続 | 同期 | 内容 |
| WBaddress\_ | 3 | WB | ○ | レジスタ書み込みアドレス |
| control\_ | 2 | WB | ○ | 制御信号 |
| ALUresult\_ | 16 | WB | ○ | 演算結果 |
| LDresult\_ | 16 | WB | ○ | メモリ読み出し結果 |

### 2.2.3 動作

#### メモリ処理 (EX→MA→WB)

* control[3](メモリ読み出し制a御信号MemRead) が1ならばメモリからRa(メモリ指定アドレス)番地に格納されているデータを読み出し、clockと同期してLDresult\_に出力
* control[2](メモリ書き込み制御信号MemWrite) が1ならばメモリのRa(メモリ指定アドレス)番地にALUresultを格納
* WBaddress (レジスタ書き込みアドレス)をclockと同期してWBaddress\_にそのまま出力
* ALUresult (演算結果)をclockと同期してALUresult\_にそのまま出力
* controlのうち、使用していない下2bitをclockと同期してcontrol\_に出力
* clock同期時resetが0であれば全ての同期式出力を0にする

## 2.3 WB

### 2.3.1 概要

WBモジュールは、レジスタ書き込みを行うWBフェーズの機能の一部を提供する。

上流モジュールMAを伝播してきた制御信号に応じて動作し、IDモジュールにメモリ書き込みを依頼する。クロックと書き込みの管理はIDモジュールに委任する。

### 2.3.2 構造

入力構造を表７に、出力構造を表８に示す。

表 7　入力構造 (WB)

|  |  |  |  |
| --- | --- | --- | --- |
| 入力信号名 | bit幅 | 接続 | 内容 |
| clock | 1 |  | クロック信号（拡張時用） |
| WBaddress | 3 | MA | レジスタ書き込みアドレス |
| control | 2 | MA | 制御信号 |
| ALUresult | 16 | MA | 演算結果 |
| LDresult | 16 | MA | メモリ読み出し結果 |

表 8　出力構造 (WB)

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 出力信号名 | bit幅 | 接続 | 同期 | 内容 |
| RegWrite\_ | 1 | ID | × | レジスタ書き込み制御 |
| WBaddress\_ | 3 | ID | × | レジスタ書み込みアドレス |
| WBdata\_ | 16 | ID | × | レジスタ書き込みデータ |

### 2.3.3 動作

#### レジスタ書き込みデータの選択 (MA→WB→ID)

* control[0] (レジスタ書き込みデータ制御信号MemtoReg)が0ならば、ALUresult(演算結果)をWBdata\_に出力
* control[0] (レジスタ書き込みデータ制御信号MemtoReg)が1ならば、LDresult(メモリ読み出し結果)をWBdata\_に出力
* WBaddress (レジスタ書き込みアドレス)をWBaddress\_にそのまま出力
* controlのうち、使用していない1bit (第1番信号)をRegWrite\_に出力
* clock同期時resetが0であれば全ての同期式出力を0にする

## 2.4 Test Environment

### 2.4.1 概要

### 2.4.2 構造

### 2.4.3 動作

# 3 内部仕様

## 3.1 EX

### 3.1.1 構造

### 3.1.2 動作

## 3.2 MA

### 3.2.1 構造

### 3.2.2 動作

## 3.3 WB

### 3.3.1 構造

### 3.3.2 動作

## 3.4 Test Environment

### 3.4.1 構造

### 3.4.2 動作