

## 一. 概论

1. 占空比  $q = \text{脉冲宽度 } t_w / \text{周期 } T$

2. 数制 负: 补码 = 反码 + 1 = 模 - 原码 (= 原码 - 1 再取反)

正: 原码 = 反码 = 补码

溢出判定 同符号相加 =  $B[A] \dots$  A符号位  $A \neq B$  则溢出



4. 编码 BCD码 有权码  $N = \sum w_i b_i$

余3码: 8421码 + 3 余3循环: 格雷码去掉前后3个 (0~9)

格雷码: 对折, 第一列先补0再补1 相邻码仅有一位不同

ASCII (字符)

## 5. 逻辑运算


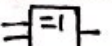
与  $\odot$   


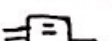
或  $\oplus$   

非  $\neg$   

与非  $\overline{A \cdot B}$

或非  $\overline{A + B}$

异或  $\oplus$     $\overline{A}B + A\overline{B}$

同或  $\odot$     $AB + \overline{A}\overline{B}$

## 二. 逻辑代数

1. 基本定律和规则 (结合 交换 分配)

代入规则

反演规则  $\cdot \leftrightarrow +$   $\neg \leftrightarrow \neg$   $0 \leftrightarrow 1$  则  $L \leftrightarrow \overline{L}$

对偶规则  $\cdot \leftrightarrow +$   $0 \leftrightarrow 1$  则  $L \Rightarrow L'$   $A=B$  有  $A'=B'$

有  $L' = \overline{L(A, B, \dots)}$

2. 卡诺图化简法 (基于最小项表达式)

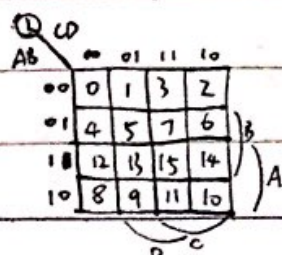
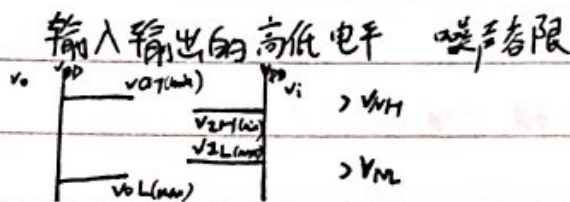


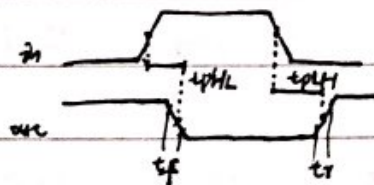
图1 (也可由反演律 圈0取反)

### 三. 逻辑门电路

#### 1. 一般特性



传输延迟时间



$$t_{pd} = \frac{t_{PHL} + t_{PLH}}{2}$$

功耗

$$P_D = (C_{PD} + C_L) V_{DD}^2 f$$

$$DP = t_{pd} P_D$$

功耗容限

扇入数

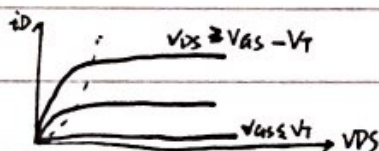
扇出数

$$N_{OH} (N_{OL}) = \frac{I_{OH}(I_{OL})}{I_{IH}(I_{IL})}$$

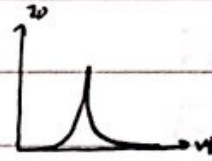
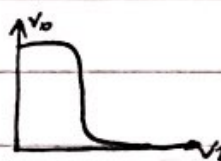
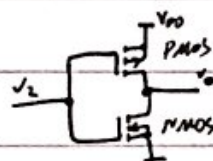
#### 2. CMOS

NMOS 特性

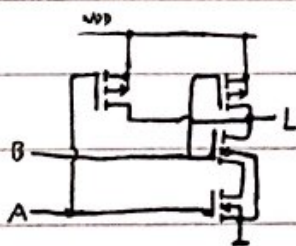
$$I_D \propto \frac{W}{L} \mu_n C_{ox} (V_{GS} - V_T)^2$$



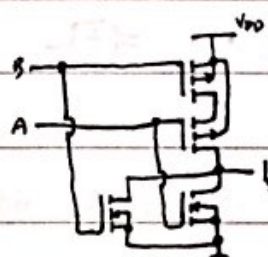
CMOS



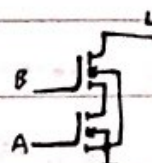
与非



或非



漏极开路门 OD (线与)



上拉电阻的计算

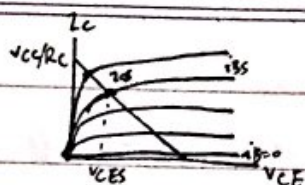
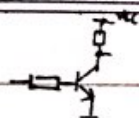
$$L: R_{p(min)} = \frac{V_{DD} - V_{OL}}{I_{OL} - I_{IL} \times n}$$

$$H: R_{p(max)} = \frac{V_{DD} - V_{OH}}{I_{OH} + I_{IH} \times n}$$

三态门、传输门



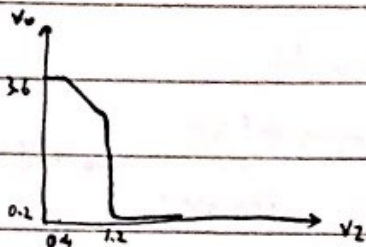
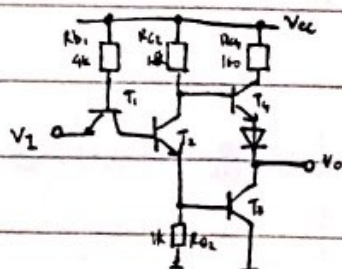
### 3. TTL BJT特性



$i_b < \frac{I_{cs}}{\beta}$  时 放大

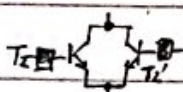
$i_b > \frac{I_{cs}}{\beta}$  时 饱和, 修正偏  $I_c = I_{cs}$   $V_{ces} \approx 0.2V$

### TTL

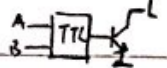


与非  $T_1$

或非



开路门 OC



(类似 CMOS)

三态门 传输门

### 4. ECL (自举线夹)

### 四. 组合逻辑电路

3. 竞争冒险  $A \rightarrow \bar{A}$   $A \cdot \bar{A}$  加乘积项 并互补项

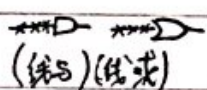
编码器 优先编码器

译码器/数据分配器

数据选择器

数值比较器

可编程器件



### 五. 锁存器和触发器

锁存器: 对脉冲电平敏感的存储单元电路

触发器: 在时钟脉冲边沿作用下状态更新的存储单元电路

(注从 维持阻塞 传输延迟)

SR:  $Q^{n+1} = S + \bar{R}Q^n$  约束:  $SR = 0$

JK:  $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$

D:  $Q^{n+1} = D$

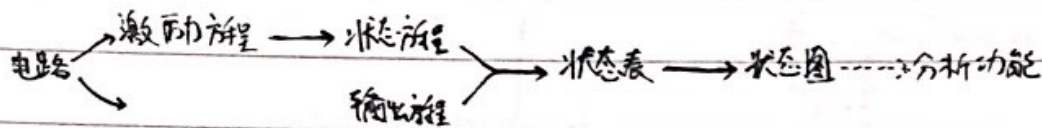
T:  $Q^{n+1} = T \oplus Q^n$

## 六. 时序逻辑电路

1. 基本不既急 功能的表述: 逻辑方程组 (输出方程组 激励方程组 状态方程组)

(状态表) 状态表 状态图 时序图

2. 同步时序逻辑电路的分析



3. 同步时序电路的设计

功能  $\rightarrow$  状态图 (状态表)  $\rightarrow$  化简、分配  $\rightarrow$  (选寄存器) 确定 激励方程组 和 输出方程组  $\rightarrow$  逻辑电路图并检查自启动能力

4. 异步时序电路分析

列时钟信号的表达式、输出方程组、激励方程组  $\rightarrow$  列状态方程组  $\rightarrow$  列状态表  $\rightarrow$  状态图  $\rightarrow$  分析功能

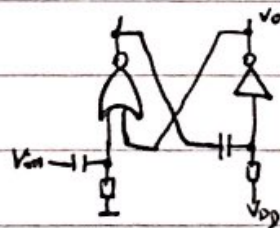
5. 寄存器 计数器  $\downarrow$  下降沿  $\uparrow$  上升沿 同步:  $T_3 = Q_2 Q_1 Q_0 \cdot CP$

## 七. 存储器

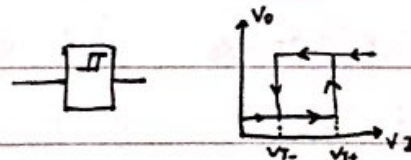
ROM 只读 RAM 随机 SRAM: 锁存器 静态 DRAM: MOS管电容 动态 须刷新

## 八. 脉冲波形的变换与产生

1. 单稳态触发器

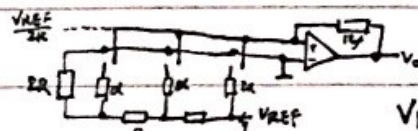


2. 施密特触发器



3. 多谐振荡器: 门电路 施密特触发器 石英晶体振荡器

## 九. 数模模数转换



D/A

$\frac{V_{REF}}{2^n} (2^0 2^1 \dots 2^{n-1}) \frac{R_F}{R}$  正负: 符号位取反, 再减  $\frac{V_{REF}}{2^n}$

A/D

比较器: 并行 逐次

双积分型



# 数电听课

No.

Date

9.16 赵雷 zlei@ 63607746 理代 1楼 611

助 杨云帆 18755109559 yyf1993@mail.

讲义 课本 = 考试范围

1.2 院系设置 物院 近代物理与光电3

30% 70%

3. 信号与物理学 技术 (不是科学)

0917 信号分析方法 时域 频域

周期数字信号  $V_m$   $T$   $f$   $t_u$  脉冲宽度 占空比

脉冲信号 上升时间  $t_r$  10%~90% 下降时间  $t_f$  脉冲  $t_w$  50%~50%  
(指数 反射? 上升 下降) 占空比  $\frac{t_w}{T}$

时序图

数制 小数部分  $b_1 \cdot 2^{-1} + b_2 \cdot 2^{-2} + \dots$  乘2取整数

$$= D_1 \cdot 10^{-1} + D_2 \cdot 10^{-2} + \dots$$

二进制算术运算 原码 反码 补码 = 反 + 1 = 模 - 原 补 = (原 - 1) 反

正: 原 = 反 = 补 负: 符号位不动, 1

溢出判定 溢出 溢出 溢出 溢出 溢出 溢出 溢出 溢出

BCD 码

$\Delta$  P36 1.1.2 1.1.4 P37 1.2.2-(234) 1.3.3 1.4.1-(23)

(1.6.1-(12))

阐述模拟信号和数字信号定义

8421 2421 5421 1024 612 256, 128 64 32 16, 8 4 2 1  
全3码 = 8421 + 3

9.24 格雷码 (对照第一列 刷 D 刷 1)

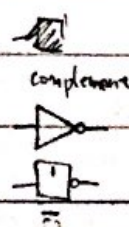
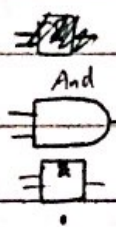
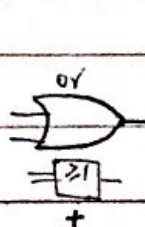
ASCII 码

bool 代数

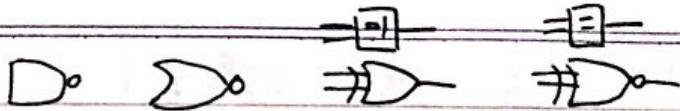
OR And Complement

0+0 0+1

0







$$X \oplus Y = A\bar{B} + \bar{A}B \quad \oplus$$

$$\text{同或} = \bar{A}\bar{B} + AB \quad \odot$$

$$\overline{A+B} = \bar{A} \cdot \bar{B} \quad \overline{A \cdot B} = \bar{A} + \bar{B}$$

$$A + AB = A$$

$$A + \bar{A}B = A + B$$

$$A(A+B) = A$$

$$(A+B)(A+C) = A + BC$$

代入规则

反演

$$\bullet \leftrightarrow +$$

$$\square \leftrightarrow \bar{\square}$$

$$0 \leftrightarrow 1$$

$$1 \leftrightarrow 0$$

对偶规则

$$\bullet \leftrightarrow + \quad \text{则} \quad L \leftrightarrow L'$$

$$0 \leftrightarrow 1$$

$$A=B \text{ 则 } A'=B'$$

$$L(A, B, \dots)$$

$$L' = L(\bar{A}, \bar{B}, \dots)$$

(由反演规则可证)

最简与或表达式

最小项表达式

卡诺图

作业

P37 1.6(1a)

P64

2.1.1(3)

2.1.2

2.1.3(2,3)

2.1.4(24,6,9)

P65

2.1.5(1,2)

2.1.6

2.1.7(1,3)

2.1.8

10-22

与或：判圈

与非-或非：先与或，加两个反

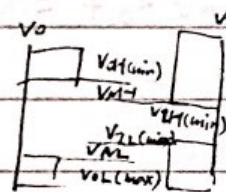
题型：任意项

约束项

三. 脉冲数字电路

TTL

噪声容限

 $V_{MH}$  $V_{ML}$ 

传输延迟时间

 $t_{PLH}$  $t_{PHL}$ 上升时间  $t_r$  $t_f$ 

功耗

$$P_D = (C_{PD} + C_L) V_{DD} f$$

TTL

作业

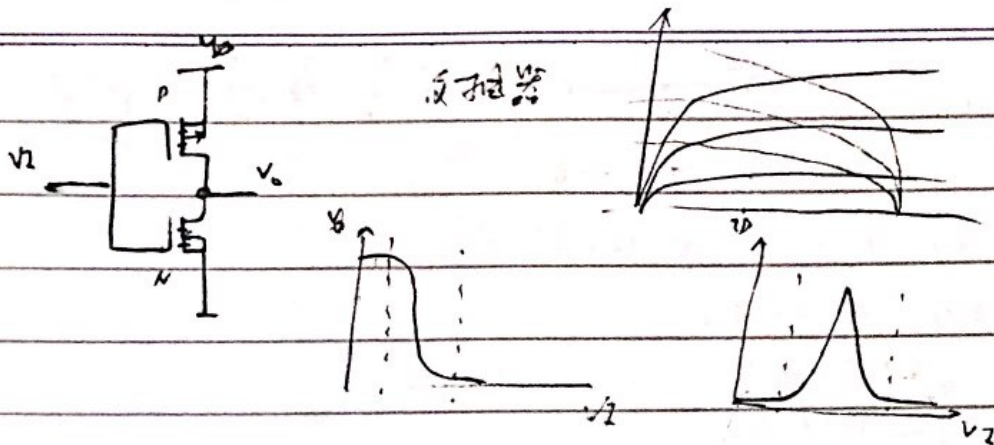
P65

2.1.8/2-2.1.1(3)

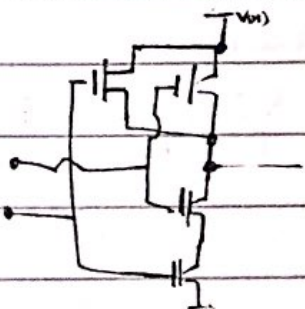
2.2.4(2,3,5,6)

P124 3.2.1

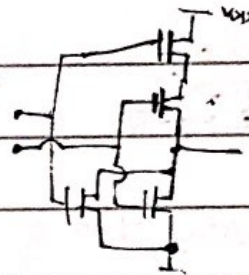




与非



或非



P125 3.2.4 3.3.1

P122 3.1.6 ~ 3.1.9

**11.5** 第4章 组合逻辑电路竞争冒险  $\overline{A}A$   $A + \overline{A}$ 

实际例子 编码器 4线2线编码器

优先编码器

 $\Delta$ 作业 P192 4.1.1(a) 4.1.1 P193 4.1.7

P194 4.2.3 4.2.5 P195 4.3.3 4.4.2

**11.12** 译码器 二进制唯一地址译码

代码变换器

显示译码器

数据分配器

数据选择器

数值比较器

**11.19** 双稳态电路 锁存器和触发器

双稳态电路

触发器

锁存器

电平

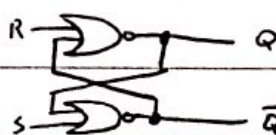
边沿

边沿

SR JK T D



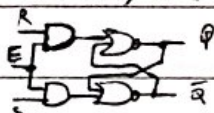
SR (set - Reset 1-0)



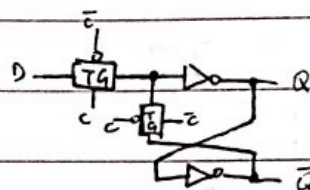
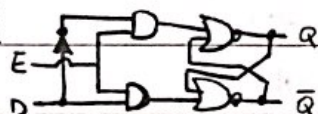
S	R	Q 现	Q 预
0	0	1	0
1	0	1	0
0	1	0	1
1	1	0	0

特征方程 ( $Q_{n+1} = S + \bar{R}Q_n$  约束  $SR = 0$ )(用与非门则  $R \rightarrow \bar{R}$   $S \rightarrow \bar{S}$ , 变逻辑)

逻辑门控SR



D 锁存器



$$Q_{n+1} = D$$

D  $t_{su}$   $t_{setup}$  建立时间  $t_H$   $t_{hold}$  保持时间E  $t_w$ Q:  $t_{pLH}$   $t_{pHL}$ 

主从 D 触发器 主从 SR 触发器 (互补控制)

主从 JK 触发器  $Q^{n+1} = JQ^n + \bar{K}Q^n$  ( $Q \rightarrow S$   $\bar{Q} \rightarrow R$ )

维持阻塞

利用传输延迟的触发器 JK

T

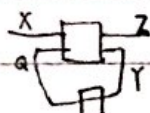
JK 异或门

$$Q^{n+1} = T\bar{Q}_n + \bar{T}Q_n = T \oplus Q_n$$

cp  $t_{CH}$   $t_{CPL}$  高电平持续时间D  $t_{setup}$   $t_{hold}$  Q  $t_{pLH}$   $t_{pHL}$ 

习题 5.2.1 5.2.6 5.3.2 P237

## 11.26 时序逻辑电路



$$Z = F_1(X, Q_n)$$

$$Y = F_2(X, Q_n)$$

$$Q_{n+1} = F_3(Y, Q_n)$$

逻辑方程组

状态表

状态图

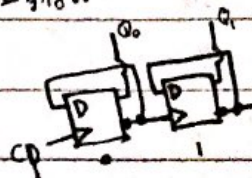
时序图

## 12.3

计数器

寄存器和移位寄存器

异步二进制加法计数器

 $Q_i$  下降时  $Q_{i+1}$  翻转



## 同步二位制计数器

同步可逆计数器

非二位制计数器

反馈清零法(异步)

反馈置数法

寄存器

移位寄存器

译码器

6.1.4

6.1.3

6.1.7

6.1.8

## 12.10 半导体存储器

RAM

ROM

RAM 随机存取

ROM 只读

SRAM

DRAM

存储容量 存取时间 功耗

ROM 地址译码器

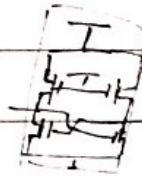
存储阵列

输出控制电路

(快闪存储器)

二维译码

SRAM



DRAM

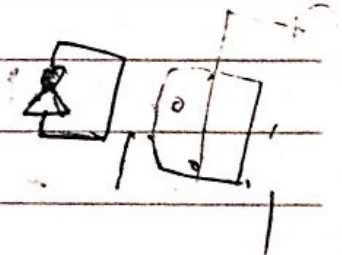
ROM 实现组合逻辑

## 12.11 脉冲波形产生与变换

单稳态触发器

1 稳 + 1 暂稳

RC 常数

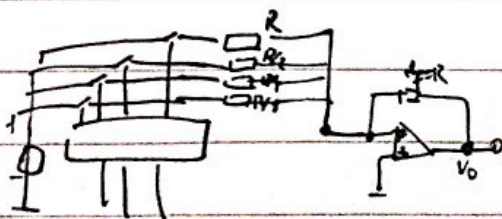


8.1.1 8.1.3 8.2.2

## 12.24

## 12.27 数模转换变形

D/A 转换器的基本原理 (有数码)



$$A_f = -\frac{R_F}{R}$$

倒T型电阻网络

△

9.1.2

9.1.3

9.2.1

9.2.2

9.2.5